**台州学院**

**电子与信息工程学院实验报告**

班级 学号 姓名

实验课程： 电工电子技术

实验项目：  **组合逻辑电路实验分析**

同组姓名：

实验日期： 年 月 日

主要内容（参考）

预习简要（可选） 四、实验内容、方法、步骤

一、实验目的和任务 五、实验数据记录与处理

二、实验原理 六、实验结果分析、思考、心得

三、实验器材 七、原始数据

一、实验目的

1．掌握组合逻辑电路的分析方法与测试方法；

2．验证半加器、全加器的逻辑功能；

3．了解组合逻辑电路的设计过程。

二、预习要求

1．复习组合逻辑电路的分析方法；

2．复习用与非门和异或门等构成的半加器、全加器的工作原理；

3．复习组合电路设计过程。

三、实验原理

1. 组合逻辑电路

由很多常用的门电路组合在一起，实现某种功能的电路，它在任意时刻的输出，仅

取决于该时刻输入信号的逻辑取值，而与信号作用前电路原来的状态无关。

2. 组合逻辑电路的分析

是指根据所给的逻辑电路，写出其输入与输出之间的逻辑函数表达式或真值表，从而

确定该电路的逻辑功能。其分析步骤为：

图示

描述已自动生成

3. 组合逻辑电路设计举例

设计的主要过程：根据设计任务的要求建立输入、输出变量，并列出真值表。然后用

逻辑代数或卡诺图化简法求出简化的逻辑表达式。并按实际选用逻辑门的类型修改逻辑表

达式。 根据简化后的逻辑表达式，画出逻辑图，用标准器件构成逻辑电路。最后，用实验

来验证设计的正确性。

例：用“与非”门设计一个表决电路。当四个输入端中有三个或四个为“1”时，输出

端才为“1”。

设计步骤：根据题意列出真值表如表 3.5-1 所示，再填入卡诺图表 3.5-2 中。

由卡诺图得出逻辑表达式，并演化成“与非”的形式。

表 3.5-1 真值表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| A | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| B | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| C | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Z | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |

表 3.5-2 Z 的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| DA BC | 00 | 01 | 11 | 10 |
| 00 |  |  |  |  |
| 01 |  |  | 1 |  |
| 11 |  | 1 | 1 | 1 |
| 10 |  |  | 1 |  |



四、实验器件

1．数字电路实验箱 2.双踪示波器 YB4320G 3. 74LS00 74LS86 74LS02 4.若干导线

五、实验内容

1. 用异或门及与非门实现半加器

下图是一个用异或门 74LS86 及与非门 74LS00 实现的一个半加器。

（1）标出与非门的各个引脚编号。

（2）按照电路图在实验箱连接硬件，实验时需要给芯片上电，即芯片上 VCC 引脚接

+5V，GND 引脚接地（GND）。接线检查无误后打开实验箱电源，进行实验。

（3）验证实验结果，完成下表。

手机屏幕的截图

描述已自动生成

表 2.3 用与非门和异或门组成的半加器实验结果

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

2. 用与非门实现半加器

用与非门 74LS00 设计一个半加器。

（1）列出真值表。

（2）由真值表用卡诺图写出逻辑表达式。

（3）画出逻辑电路接线图。

（4）在实验箱连接硬件电路。

（5）验证实验结果，并记录(表格自拟)。

表 2.3 用与非门组成的半加器实验结果

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

3．用异或门及与非门实现全加器

下图是一个用异或门 74LS86 及与非门 74LS00 实现的一个全加器。

（1）标出与非门的各个引脚编号。

（2）按照电路图在实验箱连接硬件，实验时需要给芯片上电，即芯片上 VCC 引脚接+5V，

GND 引脚接地（GND）。接线检查无误后打开实验箱电源，进行实验。

（3）验证实验结果，完成下表。

图示, 示意图

描述已自动生成

表 用异或门及与非门实现全加器实验结果记录

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ai | Bi | Ci-1 | Ci | Si |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

六、实验报告与思考

1. 写出图 2-3 的输出表达式并化简并列出实验结果。

2. 写出图 2-4 的输出表达式并化简并列出实验结果。

3. 写出图 2-5 的输出表达式并化简并列出实验结果。

4. 列出三路表决器的设计过程，并列出实验结果。

5. 总结组合逻辑电路的分析、设计步骤。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **成绩** |  | **教师** |  | **批阅日期** |  |
| **评语：** | | | | | |