

コンピュータシステムの 理論と実装

2025/2/23

1章 ハードウェア実装

最初 NAND ゲートのみから与えられる。

NAND ゲートから各ゲートを実装していく。

NAND (No + And)

a	b	out
0	0	1
1	0	1
0	1	1
1	1	0

NOT

a	out
0	1
1	0
0	1
1	0

OR

a	b	out
0	0	0
1	0	1
0	1	1
1	1	1

AND

a	b	out
0	0	0
1	0	0
0	1	0
1	1	1

✓ Xor (And, Or, Not)

a	b	out
0	0	0
1	0	1
0	1	1
1	1	0

a, b が異なる時にビットが立つ
a, b が同じ時にビットは立たない。

Xor.hdl ファイルの if 文を見て解いてしまったので、
表から if 文作って hdl 文作成しようか
勉強にしよう

Mux (マルチプレクサ)

sel	out
0	a
1	b

if sel == 0 out = a
else out = b

$a \text{ Or } sel = out$ $(a \text{ Or } sel) \text{ Or } (b \text{ And } sel)$

0	0	0	0
0	0	1	0
1	0	0	0
1	0	1	0

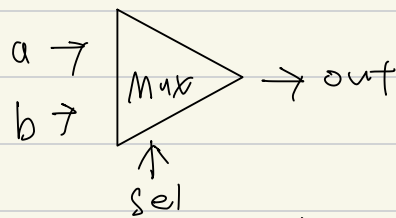
$b \text{ And } sel = out$

Max

$(a \text{ Or } sel) \text{ Or } (\text{Not } b \text{ And } sel)$

0	0	1	1	0	0	1
0	0	1	0	0	0	1
1	0	1	1	0	0	1
1	0	1	0	0	0	1
			Or			
	0	1			0	1
	0	1			0	0
	1	1			0	1
	1	1			0	0

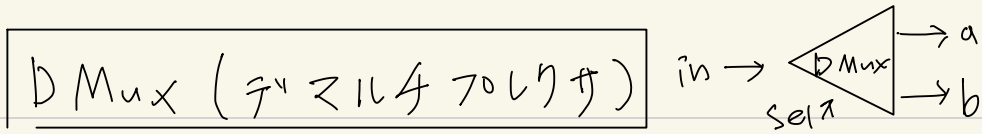
	Or
0	1
0	1
1	1
1	1



sel	out
0	a
1	b

	Xor
0	0
0	1
1	0
1	1

$(a \text{ Or } sel) \text{ Xor } (\text{Not } b \text{ And } sel)$



sel	a	b	if (sel == 0)
0	in	0	$\{a, b\} = \{in, 0\}$
1	0	in	else $\{a, b\} = \{0, in\}$

in	sel	a	Xor	And	or	NAnd
0	0	0	0	0	0	1
1	0	1	1	0	1	1
0	1	0	1	0	1	1
1	1	0	0	1	1	0

in	sel	b
0	0	0
1	0	0
0	1	0
1	1	1

$outb = And(a = in, b = sel, out = b)$

$outa = Xor(a = in, b = outb, out = a)$

ifDL:

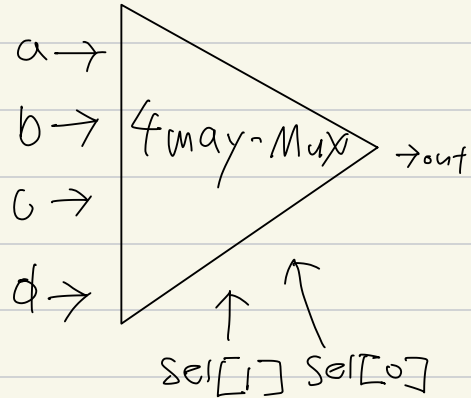
$And(a = in, b = sel, out = outb, out = b);$

$Xor(a = in, b = outb, out = a);$

P. 388 ~~48~~ ~~48~~

Mux 4Way lb

sel[1]	sel[0]	out
0	0	a
0	1	b
1	0	c
1	1	d



a	b	c	d	sel[1]	sel[0]	out
1	0	0	0	0	0	1
1	1	0	0	0	1	1
1	1	1	0	1	0	1
1	1	1	1	1	1	1

sel[1]が0のは a, b を出力, sel[1]が1のは c, d を出力

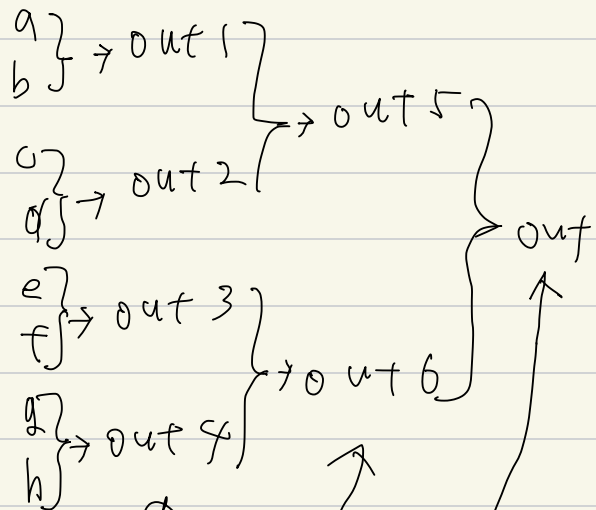
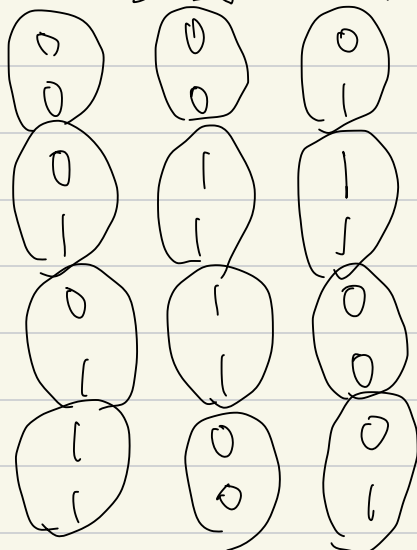
Mux lb (a=a, b=b, sel=sel[0], out=out0); ← sel[1]=0

Mux lb (a=c, b=d, sel=sel[0], out=out1); ← sel[1]=1

Mux lb (a=out0, b=out1, sel=sel[1], out=out);

Mux 8 Way 1b

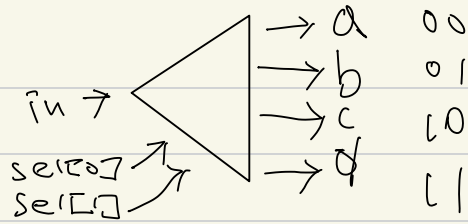
sel0 sel1 sel2



Mux 4 Way 1b

Mux 1b

DMax 4Way



in	sel[0]	sel[1]	a	b	c	d
0	0	0	0	0	0	0
1	0	1	0	1	0	0
0	1	0	0	0	0	0
1	1	1	0	0	0	1
1	0	0	1	0	0	0
0	0	1	0	0	0	0
1	1	0	0	0	1	0
0	1	1	0	0	0	0

sel[0] が 0 のときは c, d を 0 に置き、1 のときは a-b を出す。

DMax (in=in, sel=sel[0], a=out a, b=out b);

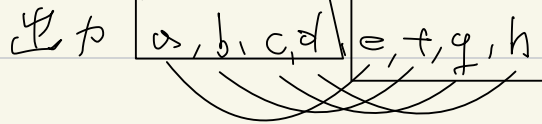
~~DMax (in=in, sel=sel[1], a=out c, b=out d);~~

DMax (in=out a, sel=sel[1], a=a, b=c);

DMax (in=out b, sel=sel[1], a=b, b=d);

DMux 8Way

入力 in, sel[3]



- sel[2] が 0 のときは e, f, g, h が 0 になる
- sel[2] が 1 のときは a, b, c, d が 0 になる

DMux 4Way (in=in, sel=sel[0..1], a=a, b=b, c=c, d=d);

DMux 4Way (in=in, sel=sel[0..1], a=e, b=f, c=g, d=h);

DMux (in=a, sel=sel[2], a=a, b=e);

DMux (in=b, sel=sel[2], a=b, b=f);

DMux (in=c, sel=sel[2], a=c, b=g);

DMux (in=d, sel=sel[2], a=d, b=h);