

BÁO CÁO BÀI TẬP LỚN

Học phần: Điện tử tương tự 1

Mã Lớp: 150141

Thời khóa biểu: Thứ 3, phòng: TC-308

Nhóm số: 10

Họ tên	MSSV	Phân công công việc
Nguyễn Văn Tài	20214082	<ul style="list-style-type: none">- Tính toán thông số lý thuyết mạch nguyên lý- Hiệu chỉnh mạch- Thiết kế PCB, đặt hàng và hàn PCB- Làm báo cáo phần phân tích thiết kế; tính toán lý thuyết; kết luận
Lê Văn Minh	20214001	<ul style="list-style-type: none">- Mô phỏng mạch và đo thông số mô phỏng- Làm báo cáo phần mô phỏng mạch
Đặng Thanh Hải	20210310	<ul style="list-style-type: none">- Thực hiện mạch thử nghiệm trên breadboard; đo thông số thực tế trên breadboard và PCB- Làm báo cáo phần đo đạc thực tế
Đoàn Minh Quang	20214047	<ul style="list-style-type: none">- Tham chiếu thông số yêu cầu và chọn linh kiện phù hợp- Tổng hợp số liệu lý thuyết, mô phỏng, thực tế và đánh giá sai số, nguyên nhân sai số (nếu có)

Đề tài số: 06

Yêu cầu thiết kế: Thiết kế mạch khuếch đại âm thanh đáp ứng các yêu cầu kỹ thuật: công suất ra trên tải 1.5W, tải loa 4 Ω , tín hiệu đầu vào hiệu dụng 100mV.

1. PHÂN TÍCH THIẾT KẾ

Phân tích: Do công suất ra là $P_{out} = 1.5\text{ W}$, điện trở loa là $R_L = 4\ \Omega$, sử dụng nguồn nuôi 12V

Nên điện áp đầu ra của mạch khuếch đại chế độ đẩy kéo AB là $V_{out, rms} = \sqrt{P_{out} * R_L} \approx 2.5\ V_{rms}$

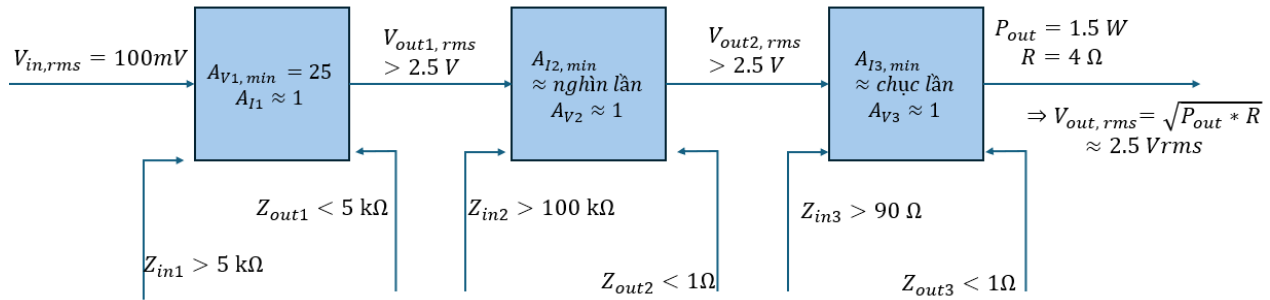
Tầng 1 là tầng khuếch đại điện áp. Các tầng 2 và 3 chỉ cần khuếch đại dòng điện, không cần khuếch đại điện áp, nên điện áp ra của tầng 1 chính là xấp xỉ điện áp ra của toàn mạch. Nên:

$$V_{out1, rms} > 2.5\ V$$

Do yêu cầu đề bài điện áp hiệu dụng tín hiệu vào là 100mV. Nên từ đó ta tính toán được hệ số khuếch đại điện áp tối thiểu của tầng 1:

$$A_{V1} > \frac{V_{out1, rms}}{V_{in, rms}} = 25\ (\text{lần})$$

Yêu cầu đáp ứng tần số toàn mạch tối thiểu nằm trong vùng từ 100Hz đến 10Khz



1.1. Tầng khuếch đại 1 (Khuếch đại điện áp)

- Yêu cầu tầng khuếch đại 1:
 - o $A_{V1} > 25$ (lần)
 - o Để phối hợp trở kháng tốt với nguồn và các tải: $Z_{in1} > 5k\Omega$ và $Z_{out1} < 5k\Omega$
 - o Đáp ứng tần số: $f \in (20Hz; 20kHz)$
- Kiến trúc sử dụng: Tầng khuếch đại tín hiệu E chung (CE), phân cực theo kiểu phân áp (Voltage divide)
- Transistor sử dụng: 2N2222A

1.2. Tầng khuếch đại 2 (Khuếch đại dòng điện)

Do dòng điện từ đầu vào không được khuếch đại ở tầng đầu tiên thậm chí còn bị suy giảm bởi phối hợp trở kháng. Nên nếu đưa tín hiệu trực tiếp vào tầng khuếch đại công suất, đường tải tĩnh bị thấp xuống dẫn đến công suất cũng như hiệu suất bị suy giảm. Tầng khuếch đại 2 này cũng được sử dụng như một bộ đệm tín hiệu (đáp ứng phối hợp trở kháng giữa tầng 1 và tầng 3)

- Yêu cầu tầng khuếch đại 2:
 - o $A_{I2} \approx$ vài nghìn lần
 - o Để phối hợp trở kháng tốt giữa tầng 1 và tầng 3: $Z_{in2} > 100k\Omega$ và $Z_{out2} < 1\Omega$
 - o Đáp ứng tần số: $f \in (20Hz; 20kHz)$
- Kiến trúc sử dụng: Tầng khuếch đại tín hiệu C chung (CC), mắc theo kiểu Darlington
- Transistor sử dụng: 2N2222A và TIP41C (do cần phải chịu dòng điện cao)

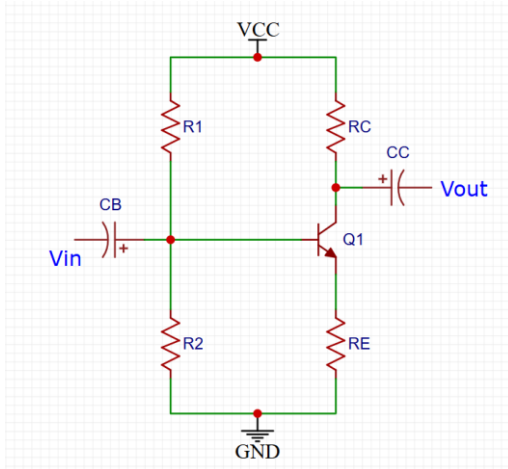
1.3. Tầng khuếch đại 3 (Khuếch đại công suất)

- Yêu cầu tầng khuếch đại 3:
 - o $A_{I3} \approx$ vài chục lần
 - o Để phối hợp trở kháng tốt giữa tầng 2 và loa: $Z_{in3} > 90\Omega$ và $Z_{out3} < 1\Omega$
 - o Đáp ứng tần số: $f \in (20Hz; 20kHz)$
- Kiến trúc sử dụng: Tầng khuếch đại công suất đẩy kéo chế độ AB, mắc theo kiểu C chung (CC)
- Transistor sử dụng: TIP41C và TIP42C (do làm việc với công suất cao)

2. TÍNH TOÁN LÝ THUYẾT

2.1. Tầng khuếch đại 1 (Khuếch đại điện áp)

Dựa vào kiến trúc và yêu cầu của phần 1. Ta có sơ đồ cần thực hiện như sau:



Chọn $\left\{ \begin{array}{l} \text{Transistor: 2N2222A có } \beta = 300 \\ V_{BEon} \approx 0.7 \text{ V} \\ V_T = \frac{kq}{T(^{\circ}K)} = 26 \text{ mV} \\ \text{Hệ số khuếch đại: } G = 30 \text{ lần} \\ \text{Tần số hoạt động: } (20\text{Hz} \div 20\text{kHz}) \end{array} \right.$

Đối với BJT ứng dụng khuếch đại, ta cần phân cực điểm Q nằm trong vùng tích cực (active region). Để hạn chế tín hiệu ra bị méo và để tăng hiệu suất tầng khuếch đại công suất, nên điểm Q cần nằm chính giữa đường tải tĩnh. Nên:

$$I_{CQ} = \frac{I_{Cmax}}{2} = \frac{V_{CC}}{2(R_C + R_E)} \Leftrightarrow R_E = \frac{V_{CC}}{2I_C} - R_C \quad (2.1.1)$$

Đối với mạch khuếch đại E chung, hệ số khuếch đại điện áp của mạch là (coi như dùng giá trị tuyệt đối):

$$G = \frac{R_C}{\frac{1}{g_m} + R_E} \Leftrightarrow G \left(\frac{V_T}{I_C} + \frac{V_{CC}}{2I_C} - R_C \right) = R_C \Leftrightarrow I_C = \frac{G(V_{CC} + 2V_T)}{2R_C(1 + G)} \quad (2.1.2)$$

Ta có thể thấy biểu thức 2.1.2 chỉ rõ sự phụ thuộc của I_C vào R_C thỏa mãn điều kiện ở công thức 2.1.1 (điểm Q nằm chính giữa đường tải tĩnh). Đồng thời với việc để chọn giá trị trở theo các giá trị mặc định của nhà sản xuất (hạn chế việc nối tiếp nhiều trở), ta thấy R_C tăng thì hệ số khuếch đại tăng nhưng trở kháng ra lại giảm. Nên để cân bằng thông thường ta chọn R_C trong khoảng từ $(1k\Omega \div 10k\Omega)$.

Ta chọn $R_C = 2k\Omega \Rightarrow \left\{ \begin{array}{l} I_C = \frac{30 \cdot (12 + 2 \cdot 26(mV))}{2 \cdot 2(k\Omega) \cdot (1 + 30)} \approx 2.92 \text{ mA} \\ R_E = \frac{12}{2 \cdot 2.92(mA)} - 2(k\Omega) \approx 54.8 \Omega. \text{ Chọn } R_E = 56 \Omega \end{array} \right.$

Điện áp tại cực B được tính theo 2 cách: Theo phân áp qua R_1, R_2 và thông qua định luật Kirchoff về điện áp:

$$V_B = V_{CC} \frac{R_2}{R_1 + R_2} = V_{BEon} + I_C R_E \Leftrightarrow R_1 = \frac{V_{CC} R_2}{V_{BEon} + I_C R_E} - R_2$$

$$\frac{R_1}{R_1 + R_2} = \frac{V_B}{V_{CC}} = \frac{0.7 + 2.92m \cdot 56}{12} \approx 0.08$$

Ta thấy, giá trị I_C cỡ mA , nên giá trị I_B nhỏ cỡ μA . Do đó, giá trị I_B có thể xấp xỉ 0. Khi đó, R_1 và R_2 có thể được coi là nối tiếp nhau, và $I_{R1} \gg I_B$. Thông thường ta lấy:

$$I_{R1} \geq 10I_B \Leftrightarrow R_1 \leq \frac{V_{R1}}{10I_B} = \frac{\beta(V_{CC} - V_B)}{10I_C} = \frac{300 \cdot (12 - 0.7 - 2.92(mA) \cdot 56)}{10 \cdot 2.92(mA)} \approx 114 k\Omega$$

Chọn $R_1 = 100 k\Omega \Rightarrow R_2 = \frac{(0.7 + 2.92m \cdot 56) \cdot 100k}{12 - 0.7 - 2.92m \cdot 56} \approx 9.4k\Omega$. Nên chọn $R_2 \approx 10k\Omega$.

Tính toán lại các thông số 1 chiều và xoay chiều:

Chế độ 1 chiều (DC mode): $I_C = \beta \frac{V_{TH} - V_{BEon}}{R_{TH} + (\beta + 1)R_E} \approx 3.2 \text{ mA} \approx \frac{V_{CC}}{2(R_C + R_E)} = 2.92 \text{ mA} \Rightarrow Q$ nằm gần giữa đường tải

$$V_{CE} = V_{CC} - I_C(R_C + R_E) = 12 - 3.2m * (2k + 56) = 5.4 (V)$$

Chế độ xoay chiều (DC mode):

$$\left\{ \begin{array}{l} A_{V,1} = -\frac{R_C}{\frac{V_T}{I_C} + R_E} \approx -31 \text{ lần} \\ Z_{in,1} = R_1 \parallel R_2 \parallel [(\tau_\pi + (1 + \beta) * R_E)] \approx 100k \parallel 10k \parallel 19k \approx 6 k\Omega; \text{ Với } r_\pi = \frac{\beta}{g_m} \\ Z_{out,1} \approx R_C = 2 k\Omega \end{array} \right.$$

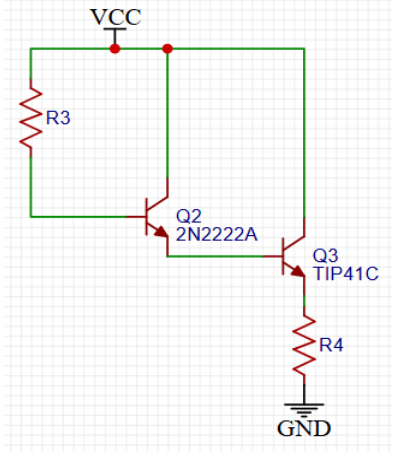
Đáp ứng tần số: Các tụ nối tầng mắc theo kiểu DC-Block tạo thành mô hình lọc thông cao (HPF)

$$f_{LB} = \frac{1}{2\pi Z_{in} C_B} < f_L \text{ Hz} \Rightarrow C_B > \frac{1}{2\pi f_L Z_{in}} = \frac{1}{2\pi * 20 * 6k} \approx 1.32 (\mu F). \text{ Chọn } C_B = 47\mu F \text{ do phổ biến}$$

$$f_{LC} = \frac{1}{2\pi Z_{out} C_C} < f_L \Rightarrow C_C > \frac{1}{2\pi f_L Z_{out}} = \frac{1}{2\pi * 20 * 2k} \approx 4 (\mu F). \text{ Chọn } C_C = 47\mu F \text{ do phổ biến}$$

2.2. Tầng khuếch đại 2 (Khuếch đại dòng điện)

Dựa vào kiến trúc và yêu cầu của phần 1: Mạch khuếch đại C chung, mắc theo kiểu Darlington để tăng hệ số khuếch đại dòng điện. Ta có sơ đồ cần thực hiện như sau:



$$\text{Với: } \left\{ \begin{array}{l} 2N222A (Q2): \begin{cases} V_{BEon} \approx 0.7 V \\ \beta_2 = 300 \end{cases} \\ TIP 41C (Q3): \begin{cases} V_{BEon} \approx 0.67 V \\ \beta_3 = 35 \end{cases} \end{array} \right.$$

$$I_{C3} = \beta_D \frac{V_{CC} - V_{BED}}{R_3 + \beta_D R_4}$$

Để điểm làm việc tĩnh của Q3 nằm chính giữa đường tải: $I_{C3} = \frac{1}{2} I_{C3,max} = \frac{1}{2} \frac{V_{CC}}{R_4}$

$$\Leftrightarrow \beta_D \frac{V_{CC} - V_{BED}}{R_3 + \beta_D R_4} = \frac{1}{2} \frac{V_{CC}}{R_4} \Leftrightarrow R_B = \frac{\beta_D R_E (V_{CC} - V_{BED})}{V_{CC}}$$

Mặt khác V_{CE} là vùng sinh của tín hiệu xoay chiều. Nên tín hiệu đầu ra của tầng 1 không được vượt quá V_{CE3} .

Ta chọn $R_4 = 33 (\Omega) \Rightarrow R_3 \approx 208 (k\Omega)$. Chọn $R_3 = 200 (k\Omega)$

Tính toán lại các thông số 1 chiều và xoay chiều:

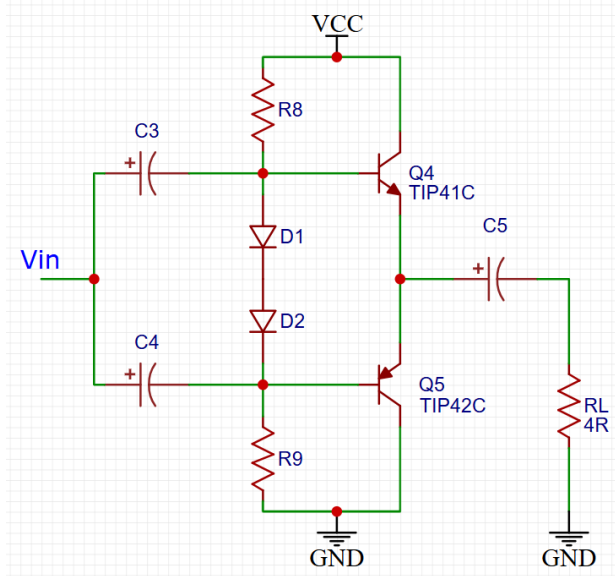
$$\text{Chế độ 1 chiều (DC mode): } \left\{ \begin{array}{l} I_{C3} = \frac{V_{CC} - V_{BED}}{R_3 + \beta_D R_4} \approx 184 \text{ mA} \approx \frac{V_{CC}}{2R_4} = 181 \text{ mA} \Rightarrow Q \text{ nằm giữa đường tải} \\ V_{CE3} = V_{CC} - I_C * R_4 = 12 - 181m * 33 = 6.027 V \\ I_{C2} = \frac{I_{C3}}{\beta_3} = \frac{181m}{35} \approx 5.17 \text{ mA} \\ V_{CE2} = V_{CC} - V_{E3} - V_{BE3} = 12 - 8.507 - 0.67 = 5.3 V \end{array} \right.$$

Chế độ xoay chiều (AC mode):

$$\begin{cases} A_{I,2} \approx -\frac{\beta_D R_3}{R_3 + \beta_D R_4} \approx 6060 \text{ lần} \\ Z_{in,2} = R_3 \parallel \beta_D R_4 = 200k \parallel 346k \approx 126 k\Omega \\ Z_{out,2} = \frac{1}{g_{m2}\beta_3} + \frac{1}{g_{m3}} \approx \frac{1}{g_{m3}} = \frac{V_T}{I_{C3}} \approx 0.14 \Omega \\ A_{V,2} \approx 1 \text{ lần} \end{cases}$$

2.3. Tầng khuếch đại 3 (Khuếch đại công suất)

Ở tầng khuếch đại công suất, ta sử dụng mô hình khuếch đại công suất đẩy-kéo chế độ AB. Vì ở chế độ này, mỗi transistor khuếch đại một nửa chu kỳ nên hiệu suất của mạch đạt tốt hơn. Cùng với đó, công suất tiêu tán của tầng khuếch đại công suất được chia cho 2 transistor nên nhiệt tỏa ra của mỗi transistor sẽ giảm, nên transistor sẽ bền hơn.



$$\begin{cases} \text{TIP41C (Q4) và TIP42C (Q5): } \begin{cases} V_{BEon} \approx 0.67 V \\ \beta_4 = \beta_5 = 35 \text{ lần} \end{cases} \\ \text{Diode (1N4007) D1 và D2: } V_{BEon} \approx 0.7 V \end{cases}$$

Nguyên lý hoạt động:

- Ở nửa chu kỳ dương: Q4 mở, Q5 ngắt. Tín hiệu AC từ Vin qua Q4 được đưa ra tải RL đồng thời tụ C5 được nạp bởi tín hiệu DC
- Ở nửa chu kỳ âm: Q4 ngắt, Q5 mở. Tụ C5 phóng điện làm nguồn nuôi của Q5 ở nửa chu kỳ âm. Nên tụ C5 cần có giá trị lớn. Tín hiệu từ Vin qua Q5 được đưa ra tải
- 2 diode tạo điện áp rơi xấp xỉ điện áp mở của Q4 và Q5, tạo phân cực ban đầu và cải thiện hiện tượng méo xuyên tâm (cross over distortion).

Do mạch khuếch đại ở chế độ AB nên điểm Q được phân cực sát với vùng cut-off $\begin{cases} V_{CEQ} \approx V_{CEmax} \\ I_{CQ} \ll I_{Cmax} = \frac{V_{CC}}{R_L} \approx 3A \end{cases}$

Ta có thể quan sát thấy đây là 2 mạch khuếch đại mắc theo kiểu C chung hoạt động độc lập ở 2 nửa chu kỳ. Dòng điện qua điện trở R8 bằng dòng điện qua điện trở R9. Nên R8=R9:

$$I_{R8} = \frac{V_{CC} - V_{D1} - V_{D2}}{2R_8}$$

Chọn $R_8 = 430 \Omega \Rightarrow I_{R8} \approx 12.3 (mA)$. Giá trị của IB nhỏ hơn dòng điện qua điện trở R8 do diode không lý tưởng thường tồn tại trở kháng.

$$\text{Lấy } I_{BQ,4} = -I_{BQ,5} \approx 8 (mA) \Rightarrow I_{CQ,4} = I_{CQ,5} \approx 280 (mA) \ll I_{Cmax} \Rightarrow g_{m4} = g_{m5} \approx 10,76 (S)$$

$$\Rightarrow r_{\pi 4} = r_{\pi 5} = \frac{\beta}{g_m} \approx 3.25 \Omega$$

Tính toán lại các thông số 1 chiều và xoay chiều:

Chế độ 1 chiều (DC mode): $I_{C3} = \frac{V_{CC} - V_{BED}}{R_3 + \beta_D R_4} \approx 184 \text{ mA} \approx \frac{V_{CC}}{2R_4} = 181 \text{ mA} \Rightarrow Q$ nằm giữa đường tải

$$\text{Chế độ xoay chiều (AC mode): } \begin{cases} A_V \approx 1 \text{ lần} \\ Z_{in,3} = R_8 \parallel R_9 \parallel (r_{\pi 4} + (1 + \beta_4)R_L) = 235 \parallel 148 \approx 91 \Omega \\ Z_{out,3} = \frac{1}{g_{m4}} \approx 0.1 \Omega \end{cases}$$

2.4. Tính hệ số khuếch đại điện áp toàn mạch và hiệu suất khuếch đại công suất

Hệ số khuếch đại điện áp toàn mạch:

$$A_{V,total} = A_{V,1} \frac{Z_{in,2}}{Z_{in,2} + Z_{out,1}} A_{V,2} \frac{Z_{in,3}}{Z_{in,3} + Z_{out,2}} A_{V,3} \frac{R_L}{R_L + Z_{out,3}} \approx 27 \text{ (lần)}$$

Điện áp ra trên tải là: $V_L(rms) = 27 * 100(mV_{rms}) = 2.7 (V_{rms})$

Công suất đưa ra tải: $P_{out, calc} = \frac{2.7^2}{4} \approx 1.8 (W)$

Công suất tiêu thụ tầng khuếch đại công suất: $P_i(dc) = V_{CC} I_{dc} = V_{CC} \frac{2 V_L(rms) \sqrt{2}}{R_L} \approx 7.3 (W)$

Hiệu suất khuếch đại công suất: $\% \eta = \frac{P_{out, calc}}{P_i(dc)} \approx 24.6 \%$

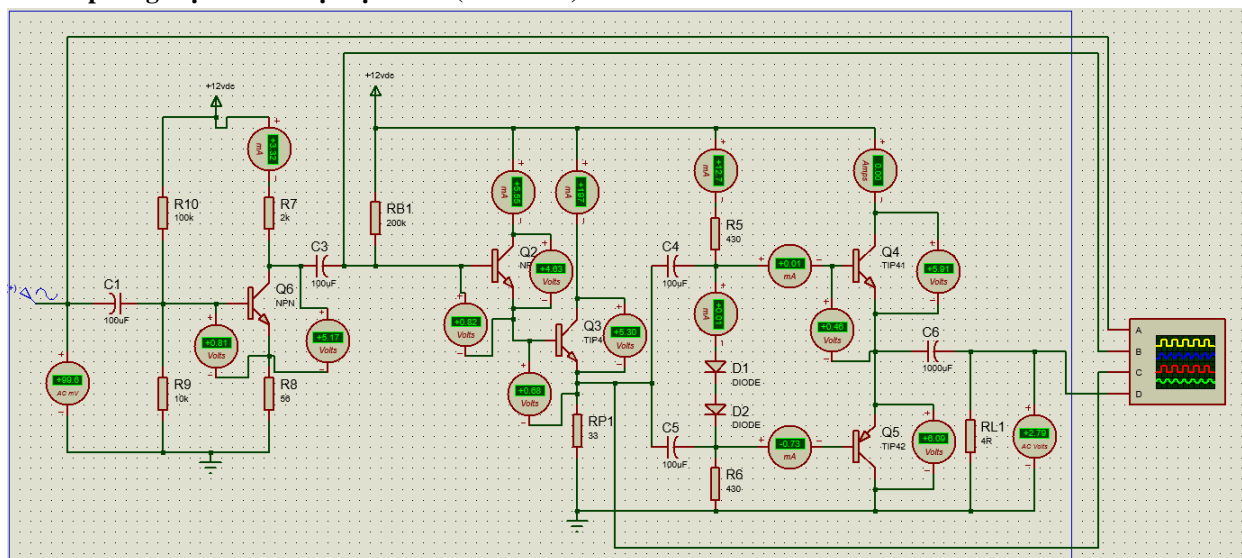
Công suất tiêu tán trên mỗi transistor: $P_{d, Q4} = P_{d, Q5} = 2.75 (W)$

2.5. Giải thích chức năng cần thiết của từng tầng

- Tầng 1: Là tầng khuếch đại tín hiệu nhỏ, liên quan trực tiếp tới công suất đầu ra được cho bởi công thức: $P_{out} = \frac{A_V * V_{in, rms}^2}{R_L}$
- Tầng 2: Là tầng khuếch đại dòng điện, đồng thời là tầng “đệm” để phối hợp trở kháng giữa tầng 1 và tầng 3. Do $Z_{out,1}$ cỡ $k\Omega$, $Z_{in,3}$ cỡ 100Ω . Nên nếu nối trực tiếp tầng 1 và tầng 3 mà không thông qua tầng Darlington thì phối hợp trở kháng không tốt dẫn đến tín hiệu bị suy hao khi đi vào tầng 3

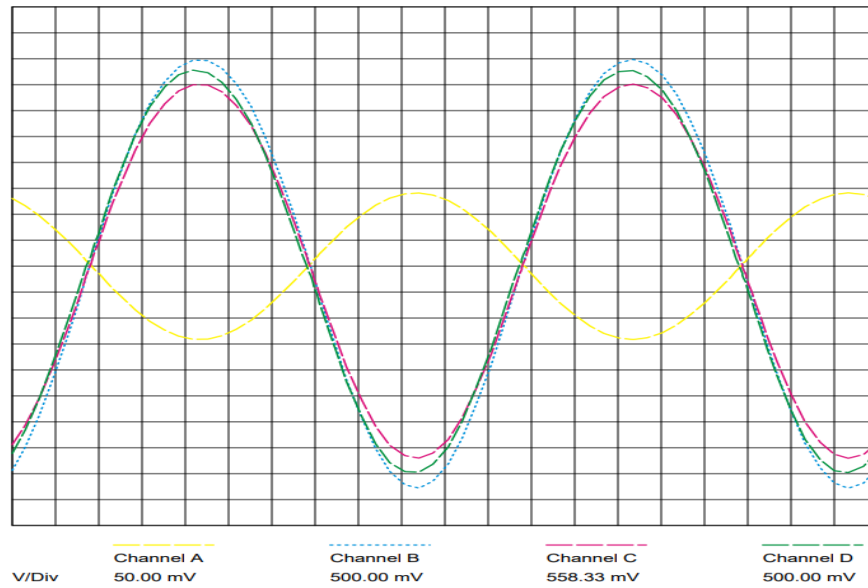
3. MÔ PHỎNG MẠCH VÀ ĐO ĐẠC

3.1. Mô phỏng mạch ở chế độ một chiều (DC mode)



Kết quả mô phỏng được trình bày ở phần So sánh, đánh giá, nhận xét

3.2. Mô phỏng mạch ở chế độ xoay chiều (AC mode). Với $V_{in}(rms) = 100\text{ (mV)}$, $f = 1\text{ (kHz)}$

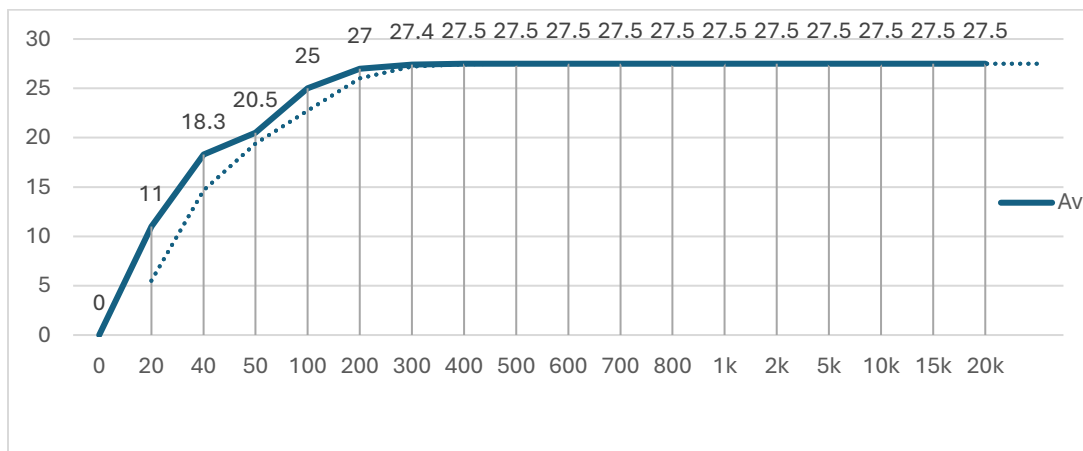


Nhận xét: Các kết quả đo được gần đúng với kết quả tính toán bên trên.

Thông số	Kết quả tính toán	Kết quả mô phỏng
A_v	27 lần	27.5 lần
P_{out}	1.8 W	1.89 W
Hiệu suất	24.6%	25.4%

3.3 Đánh giá đáp ứng tần số:

Từ thiết kế cho dải tần số làm việc ở 20 Hz - 20kHz. Ta khảo sát hệ số khuếch đại điện áp toàn mạch theo sự thay đổi của tần số tín hiệu đưa vào, kết quả thu được ở bảng sau:



Tại điểm hệ số khuếch đại bằng $\frac{A_v}{\sqrt{2}} \approx 19.44$ lần. Lúc đó ta xác định được tần số cắt $f_L \approx 50\text{ Hz}$

Như vậy mạch đáp ứng tốt trong khoảng tần số: (50Hz – 20kHz)

3.4. Đánh giá hiệu quả phối hợp trở kháng:

Hệ số khuếch đại điện áp tăng 1 (theo mô phỏng xấp xỉ 30 lần). Hệ số khuếch đại toàn mạch xấp xỉ 27.5 lần

Hiệu quả phối hợp trở kháng:

$$H_{match} = \frac{A_{v,total}}{A_{v1}} \approx 92\%$$

4. THỰC HIỆN MẠCH VÀ ĐO ĐẶC

4.1 Tham chiếu datasheet và chọn linh kiện

- Vị trí Q1, Q2 không yêu cầu điện áp, dòng điện và công suất cao. Nên chọn transistor 2N2222A

MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	40	Vdc
Collector–Base Voltage	V_{CBO}	75	Vdc
Emitter–Base Voltage	V_{EBO}	6.0	Vdc
Collector Current – Continuous	I_C	600	mA
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	625 5.0	mW mW/ $^\circ\text{C}$

ON CHARACTERISTICS

DC Current Gain ($I_C = 0.1\text{ mA}$, $V_{CE} = 10\text{ Vdc}$) ($I_C = 1.0\text{ mA}$, $V_{CE} = 10\text{ Vdc}$) ($I_C = 10\text{ mA}$, $V_{CE} = 10\text{ Vdc}$) ($I_C = 10\text{ mA}$, $V_{CE} = 10\text{ Vdc}$, $T_A = -55^\circ\text{C}$) ($I_C = 150\text{ mA}$, $V_{CE} = 10\text{ Vdc}$) (Note 1) ($I_C = 150\text{ mA}$, $V_{CE} = 1.0\text{ Vdc}$) (Note 1) ($I_C = 500\text{ mA}$, $V_{CE} = 10\text{ Vdc}$) (Note 1)	h_{FE}	35 50 75 35 100 50 40	– – – – 300 – –	–
Collector–Emitter Saturation Voltage (Note 1) ($I_C = 150\text{ mA}$, $I_B = 15\text{ mA}$) ($I_C = 500\text{ mA}$, $I_B = 50\text{ mA}$)	$V_{CE(sat)}$	– –	0.3 1.0	Vdc
Base–Emitter Saturation Voltage (Note 1) ($I_C = 150\text{ mA}$, $I_B = 15\text{ mA}$) ($I_C = 500\text{ mA}$, $I_B = 50\text{ mA}$)	$V_{BE(sat)}$	0.6 –	1.2 2.0	Vdc

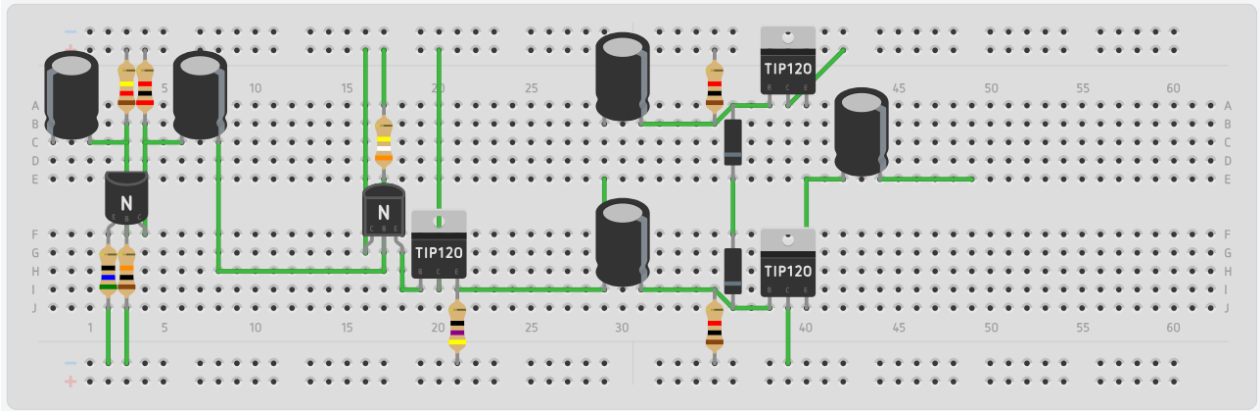
- Vị trí Q3, Q4, Q5 yêu cầu transistor chịu được dòng điện cao, công suất lớn. Nên chọn transistor TIP41C (NPN) và TIP42C (NPN)

Symbol	Parameter	Value	Unit
V_{CBO}	Collector-Base Voltage	TIP41A	60
		TIP41B	80
		TIP41C	100
V_{CEO}	Collector-Emitter Voltage	TIP41A	60
		TIP41B	80
		TIP41C	100
V_{EBO}	Emitter-Base Voltage	5	V
I_C	Collector Current (DC)	6	A
I_{CP}	Collector Current (Pulse)	10	A
I_B	Base Current	2	A
T_J	Junction Temperature	150	$^\circ\text{C}$
T_{STG}	Storage Temperature Range	-65 to 150	$^\circ\text{C}$
Symbol	Parameter	Value	Unit
P_C	Collector Dissipation ($T_C = 25^\circ\text{C}$)	65	W
	Collector Dissipation ($T_A = 25^\circ\text{C}$)	2	
h_{FE}	DC Current Gain ⁽¹⁾	$V_{CE} = 4\text{ V}$, $I_C = 0.3\text{ A}$	30
		$V_{CE} = 4\text{ V}$, $I_C = 3\text{ A}$	15

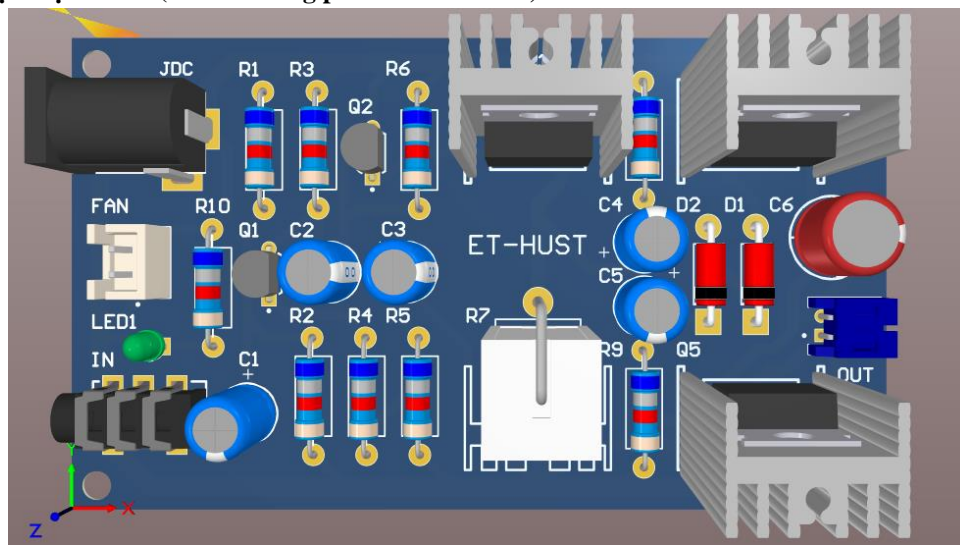
- Nguồn tài liệu datasheet:

- o [TIP41C - NPN Epitaxial Silicon Transistor \(onsemi.com\)](https://www.onsemi.com/products/transistors/bipolar-transistors/tip41c)
- o [2N2222A - Amplifier Transistors NPN Silicon \(onsemi.com\)](https://www.onsemi.com/products/transistors/bipolar-transistors/2n2222a)

4.2 Thực hiện mạch thử nghiệm trên breadboard (board trắng)



4.3 Thực hiện mạch PCB (thiết kế bằng phần mềm Altium)



4.4 Đo các thông số 1 chiều và hiệu chỉnh

Linh kiện khảo sát	Thông số 1 chiều ($V_{CE}, V_{BE}, I_C = \frac{V_{CC}-V_{CE}}{R_C}$)	Hiệu chỉnh thông số
Transistor Q1 (2N2222A)	(5.76V; 0.6V; 2.75mA)	Điểm làm việc Q của transistor Q1 bị cao hơn so với tính toán. Nên ta điều chỉnh thông số R1 và R2: $R_1: 100k\Omega \rightarrow 120k\Omega$ $R_2: 15k \rightarrow 10k\Omega$ Thử nghiệm thực tế cho thấy với $\begin{cases} R_3 = 390k\Omega \\ R_8 = R_9 \approx 1k\Omega \end{cases}$ Tín hiệu vẫn chưa bị cắt, nhiễu xuyên tâm (cross over distortion) mất khác lại cho trở kháng vào tốt hơn
Transistor Q2 (2N2222A)	(2.71V; 0.58V; 4.4mA)	
Transistor Q3 (TIP 41C)	(3.5V; 0.66V; 155mA)	
Transistor Q4 (TIP41C)	(4.7V; 0.64V; 0.57A)	
Transistor Q5 (TIP 42C)	(5.15V; 0.64V; 0.52A)	
	Thông số xoay chiều	
Vin (tín hiệu vào)	0.1 V	
V_{out1} (điện áp ra tầng 1)	2.75 (V)	
V_{out2} (điện áp ra tầng 2)	2.73 (V)	
V_{out} (điện áp ra trên tải)	2.64 (V)	
P_{out} (công suất ra trên tải)	1.74 W	

4.5 Đánh giá

Các thông số đo được sai lệch so với thực tế do sai số về linh kiện, nên cần phải điều chỉnh lại

Các thông số thực tế của mạch sau điều chỉnh ở tầng 1 giúp điểm Q ở vị trí tốt hơn so với ban đầu (nằm gần chính giữa đường tải) và phối hợp trở kháng tốt hơn giữa các tầng

5. SO SÁNH, ĐÁNH GIÁ, NHẬN XÉT

5.1 Bảng so sánh các giá trị khảo sát

Vị trí khảo sát		Giá trị thiết kế	Giá trị mô phỏng	Giá trị thực tế
Nguồn nuôi		12V	12V	11.5 V
Điểm làm việc tĩnh Q point	Transistor Q1 (2N2222A)	(5.4V; 0.7V; 2.92mA)	(6.14V; 0.8V; 2.85mA)	(5.76V; 0.6V; 2.75mA)
	Transistor Q2 (2N2222A)	(5.3V; 0.7V; 5.17mA)	(4.58V; 0.82V; 5.64mA)	(2.71V; 0.58V; 4.4mA)
	Transistor Q3 (TIP 41C)	(6.02V; 0.67V; 181mA)	(5.26V; 0.68V; 200mA)	(4.2V; 0.66V; 155mA)
	Transistor Q4 (TIP41C)	(6V; 0.7V; 0.27A)	(6V; 0.69V; 0.29A)	(4.7V; 0.64V; 0.57A)
	Transistor Q5 (TIP 42C)	(6V; 0.7V; 0.27A)	(6V; 0.69V; 0.29A)	(5.65V; -0.65V; 0.52A)
Điện áp xoay chiều từng tầng	Vin (điện áp xoay chiều vào)	0.1 V	0.1 V	0.1 (V)
	V_{out1} (điện áp ra của tầng 1)	2.8 V	3.0 V	2.75 (V)
	V_{out2} (điện áp ra của tầng 2)	2.78 V	2.8 V	2.73 (V)
	$V_{out, total}$ (điện áp ra trên tải)	2.7 V	2.75 V	2.64 (V)
Công suất trên tải	Yêu cầu 1.5W	1.8W	1.89W	1.74 W
Đáp ứng tần số	Yêu cầu 30hz-20khz	50Hz – 20kHz	50Hz – 20kHz	50Hz – 17kHz
Hiệu suất		24.6 %	25.4 %	24.4 %
Hiệu quả phối hợp trở kháng	Yêu cầu >90%	96.4 %	92 %	96 %

5.2 Đánh giá

Các thông số tính toán lý thuyết, mô phỏng và thực tế có sự sai khác tuy nhiên không nhiều; đáp ứng được yêu cầu thiết kế. Các sự sai khác chủ yếu đến từ linh kiện như:

- Điện trở sai số 5% theo nhà sản xuất;
- Transistor có sự ảnh hưởng của nhiệt độ thực tế mà mô phỏng và tính toán không tính đến;

5.3 Nhận xét

Mạch thực hiện đáp ứng các yêu cầu thiết kế ban đầu: Nguồn nuôi 12V, điện áp vào 100mV; công suất ra 1.5W

So sánh hiệu suất chế độ A và AB khi thực hiện ở mạch hiện tại

Thông số	Chế độ A	Chế độ AB
Hiệu suất	Tối đa 25% khi không mắc biến áp. Có thể lên đến 50% khi mắc biến áp	24.4%
Công suất transistor phải chịu (giả sử với công suất ra tải là 1.9W)	5.2W	2.7 W cho mỗi transistor
Phi tuyến	Tín hiệu đầu ra (Output voltage wings) có thể bị cắt (clipped) do 1 transistor phải khuếch đại cả 2 nửa chu kỳ	Tín hiệu đầu ra cải thiện hơn trong trường hợp tín hiệu đầu vào lớn hơn do mỗi transistor chỉ cần khuếch đại 1 nửa chu kỳ

Tầng khuếch đại 1 dùng kiến trúc CE cho hệ số khuếch đại điện áp tốt nhưng dễ gây vấn đề về phi tuyến và khó phân cực điểm làm việc tĩnh Q giữa đường tải. Có thể khắc phục bằng cách mắc khuếch đại vi sai

Việc đưa tín hiệu đầu vào quá cao hoặc hệ số khuếch đại điện áp tầng đầu tiên quá cao dẫn đến điện áp đầu ra tầng 1 tức điện áp đầu vào của tầng 2 vượt quá vùng tuyến tính sang vùng phi tuyến dẫn đến méo dạng tín hiệu ở 2 đỉnh.

Tầng khuếch đại 2 dùng kiến trúc Darlington cho hệ số khuếch đại dòng điện tốt tuy nhiên gây vấn đề về nhiệt trên điện trở, transistor công suất; và tiêu tốn năng lượng.

Tầng khuếch đại 3 dùng kiến trúc đẩy kéo chế độ AB ưu điểm cho hiệu suất năng lượng tốt, năng lượng thất thoát chuyển hóa thành nhiệt sẽ được phân bố trên 2 transistor TIP 41C và TIP 42C.

Tín hiệu ra loa bị nhiễu khi chưa cấp tín hiệu vào do nhiễu nền NF (Noise Figure) do các linh kiện gây ra

Vấn đề nguồn nuôi: Nguồn nuôi bị sụt áp khi có tải. Có thể dùng nguồn cao hơn (khoảng 15V) rồi dùng IC ổn áp LM7812 để ổn định nguồn nuôi

-----Hết-----