Trabajo Práctico 9

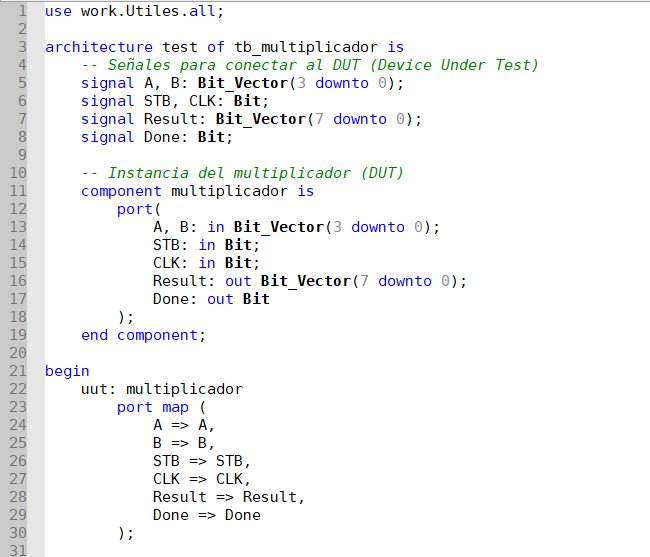
Pacchialat, Taciano (03358/8)

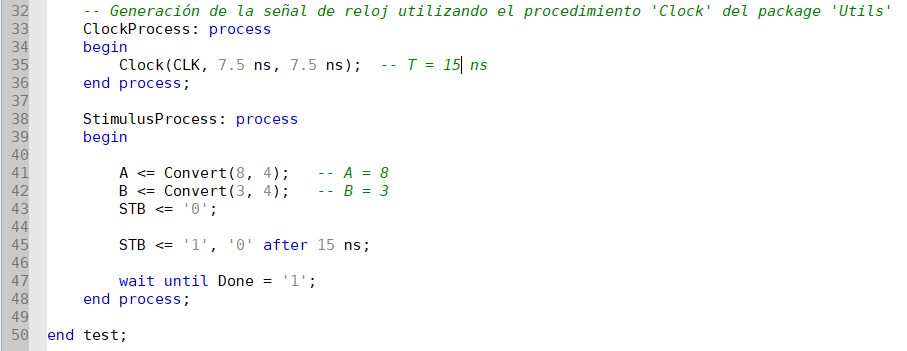
Para la composición del multiplicador se utilizaron los módulos de las prácticas 2 a 8, más precisamente:

* Para el acumulador (ACC), el latch de 8 bits de la práctica 3.
* Para los registros (SRA, SRB), el registro de desplazamiento ShiftN de la práctica 6.
* Para el sumador (Adder), se utilizó el Adder8 de la práctica 5.
* Para el controlador (FSM Controller), se utilizó la entidad Controller de la práctica 7.

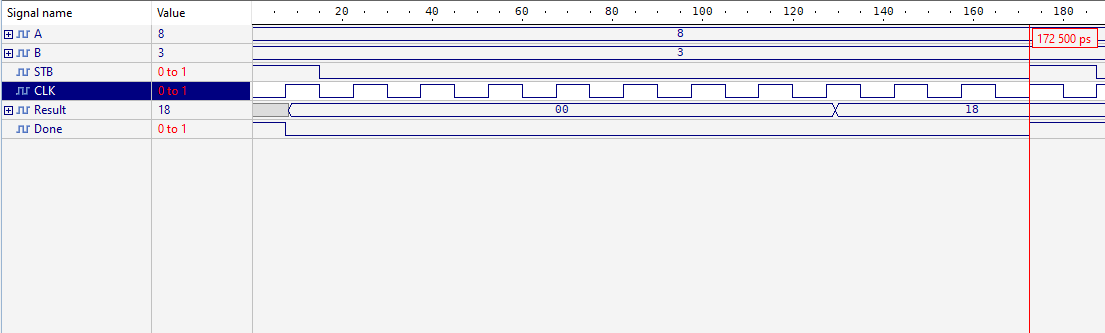
En mi caso, A = 8, B = 3, y la frecuencia del clock sería 33 \* 2 = 66Mhz, que equivale a un período de 15 ns (redondeado).

A modo de testear el funcionamiento del multiplicador, se desarrolló el siguiente testbench:

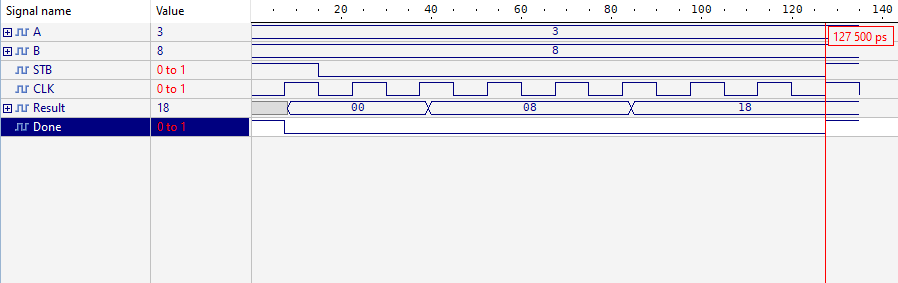




Que luego de ejecutarlo, se obtuvo el siguiente resultado:



Como se puede observar, siendo A el dígito de mayor valor y B el dígito de menor valor, el multiplicador tarda 172,5 ns en obtener el resultado (tener en cuenta que el período del reloj es de 15 ns). Luego se realizó la prueba del punto 3 (A = 3, B = 8), y se obtuvo como resultado lo siguiente:



Ahora, cambiando A por B y B por A, se ve que el multiplicador tarda menos tiempo en llegar al resultado deseado.