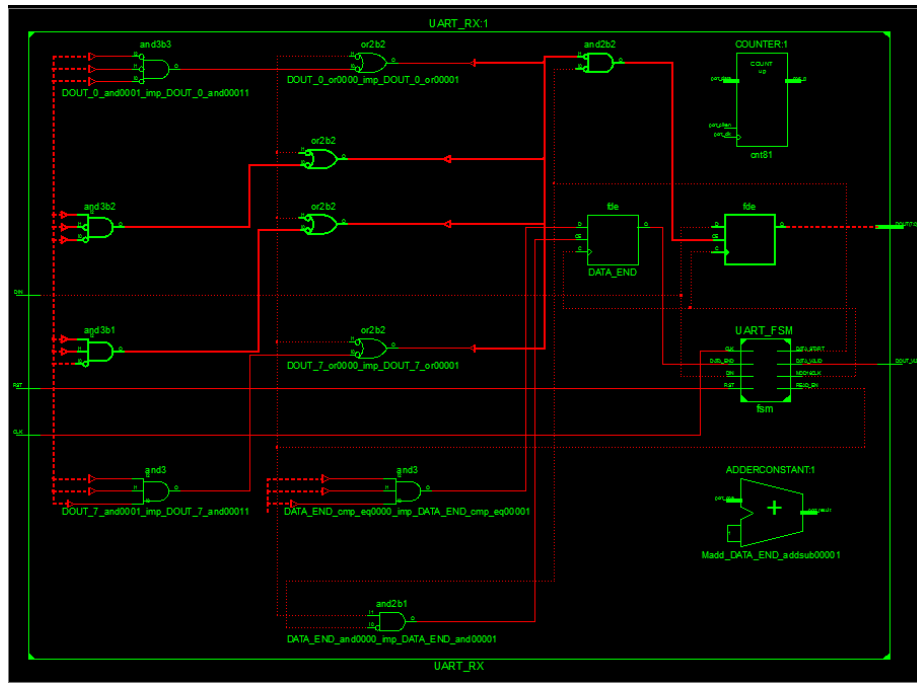


# 1 Zpráva o projektu

Jméno: Tadeáš Vintrlík  
login: xvintr04

## 1.1 Architektura navrženého obvodu (na úrovni RTL)

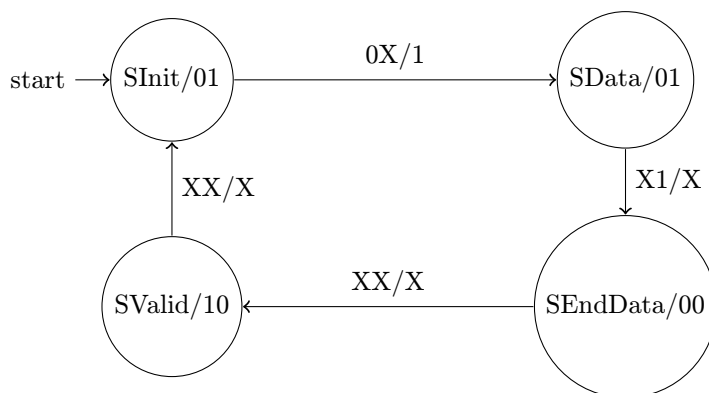


Obrázek 1: Syntetizované RTL schéma z nástroje Xilinx ISE

## 1.2 Popis funkce

Celý obvod je řízený končným stavovým automatem, který je detailněji popsán níže. Součástí modulu UART\_RX je čítač modulo 8, který počítá 8 bitů posílaného slova a ukládá je do příslušného registru. Čtení ovládá vstup READ\_EN, který povoluje či zakazuje čtení a zabraňuje tak přepisu DOUT během posílání signálu DOUT\_VALID, který signalizuje přečtené slovo a validní data na výstupu. Reset čítače probíhá pomocí signálu DATA\_START. Obvod dále také obsahuje čítač modulo 16, který příslušně dělí hodinový signál (čítač je součástí FSM).

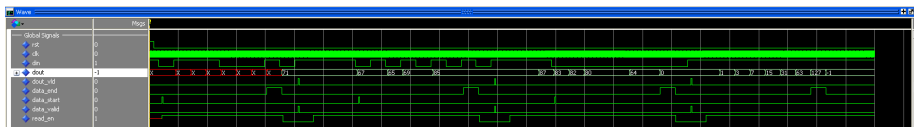
## 2 Návrh automatu



- Stavy automatu: SInit, SData, SEndData, SValid
- Vstupní signály: DIN, DATA\_END
- Mealyho výstupy: DATA\_START
- Moorovy výstupy: DATA\_VALID, READ\_EN

### 2.1 Popis

Vstupní stavem je SInit, v tomto stavu automat čeká, dokud nepřijde start bit na vstupu DIN a posílá signál DATA\_START, který restartuje čítač v modulu UART\_RX a ukládá 8 bitů, tomuto odpovídá následující stav SData. Poté co čítač modulo 8 v modulu UART\_RX dočítá pošle signál DATA\_END po kterém automat přechází do stavu SEndData. V tom setrvá vždy pouze jeden takt hodinového signálu a hned přechází do stavu SValid, kde posílá signál DATA\_VALID a na výstupu DOUT jsou platná data. Poté hned další takt přechází opět do stavu SInit a celý běh se opakuje.



Obrázek 2: Simulace přijímání tří datových slov (71, 85 a 0 desítkově)