

به نام او

طاها شعبانی

۸۱۰۱۹۶۴۹۱

پروژه اول cad

CA1: FPGA Hardware Resources in Multiplier Designs

مقدمه :

در این پروژه، هدف طراحی ضرب کننده ۴ بیتی به سه طریق متفاوت است. (ضرب کننده با DSP، ضرب کننده با LUT و ضرب کننده تقریبی (approximate)).

: Accurate multiplier with DSP blocks

: Implementation

در ابتدا یک design file برای خود multiplier می‌سازیم. سپس از بخش ip catalog و multiplier math functions را انتخاب کرده و تنظیمات آن را مشخص می‌کنیم :

ورودی ها : ۴ بیت

خروجی : ۸ بیت

حذف clk

تغییر نوع ورودی و خروجی به unsigned

سپس در داخل فایل ایجاد شده با دستور component و اسم multiplier ایجاد شده و map کردن پین های ورودی و خروجی، از ip core مورد نظر استفاده می‌کنیم.

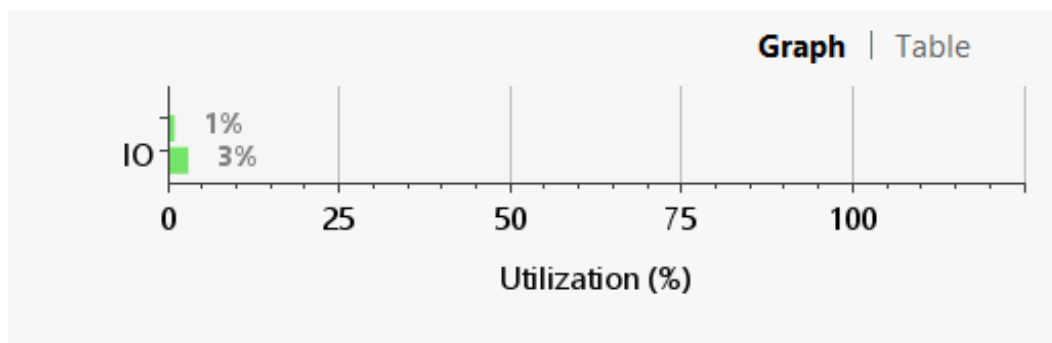
در داخل testbench هم با generate کردن ۶۴ عدد رندم، درستی تابع را چک می‌کنیم.

در نهایت نتیجه simulation با شکل زیر می‌شود :

0 ns		20 ns		40 ns		60 ns		80 ns		100 ns		120 ns		140 ns	
15	10	1	10	3	10	14	4	10	1	14	7	14		2	0
15	5	2	1	3	2		4	14			1		5	13	3
225	50	2	10	9	20	28	16	140	14	196	7	14	70	26	0

: Device utilization

پس از اجرای سنتز و مشاهده مشخصات پردازش نتایج زیر حاصل شد :



Graph | **Table**

Resource	Utilization	Available	Utilization %
DSP	1	740	0.14
IO	16	500	3.20

جزئیات ورودی و خروجی ها هم در report به صورت زیر می‌باشد :

7. Primitives

Ref Name	Used	Functional Category
OBUF	8	IO
IBUF	8	IO

: Power consumption

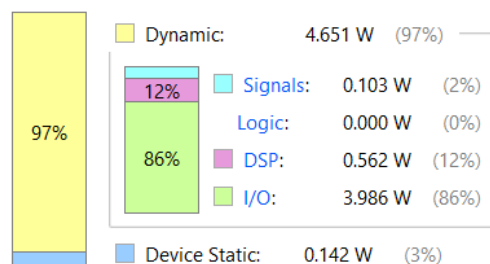
در بخش power report می توان مشخصات توان مصرف شده، دمای کار و ... را مشاهده نمود :

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 4.793 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 32.0°C
Thermal Margin: 53.0°C (36.3 W)
Effective θ_{JA} : 1.5°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power



: Performance

برای بررسی performance از بخش timing/unconstrained path/none to none/setup می توان delay های path های مختلف را مشاهده کرد :

Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception	Clock Uncertainty
Path 1	∞	3	2	1	a[2]	c[5]	9.894	6.569	3.325	∞	input port clock			0.000
Path 2	∞	3	2	1	a[2]	c[7]	9.886	6.555	3.331	∞	input port clock			0.000
Path 3	∞	3	2	1	a[2]	c[4]	9.823	6.532	3.290	∞	input port clock			0.000
Path 4	∞	3	2	1	a[2]	c[2]	9.789	6.515	3.275	∞	input port clock			0.000
Path 5	∞	3	2	1	a[2]	c[6]	9.789	6.576	3.213	∞	input port clock			0.000
Path 6	∞	3	2	1	a[2]	c[3]	9.704	6.534	3.170	∞	input port clock			0.000
Path 7	∞	3	2	1	a[2]	c[1]	9.686	6.520	3.166	∞	input port clock			0.000
Path 8	∞	3	2	1	a[2]	c[0]	9.659	6.525	3.134	∞	input port clock			0.000

که همانطور که از شکل پیداست و طبق رابطه :

$$\text{Performance} = 1 / \text{total max delay}$$

خواهیم داشت :

$$\text{Performance} = 1 / 9.894 = 10.11\%$$

: Accurate multiplier with LUTs

: Implementation

مشابه بخش اول ابتدا یک design file و simulation file می‌سازیم و کد فایل و testbench را در آن‌ها قرار می‌دهیم، با این تفاوت که برای پیاده‌سازی عمل ضرب و با استفاده از کتابخانه‌هایی نظیر IEEE.std_logic_unsigned از خود عملگر ضرب استفاده می‌کنیم.

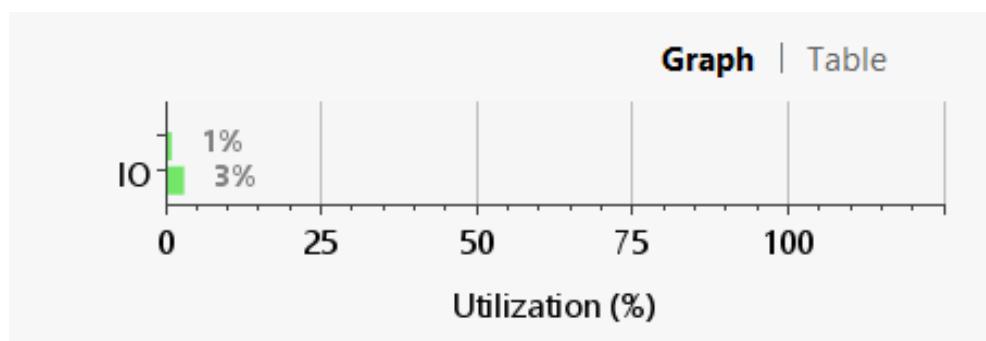
در داخل testbench هم با generate کردن ۶۴ عدد رندم، درستی تابع را چک می‌کنیم.

در نهایت نتیجه simulation با شکل زیر می شود :

0 ns				20 ns				40 ns				60 ns				80 ns				100 ns				120 ns				140 ns													
15	10	1	10	3	10	14	4	10	1	14	7	14	7	14	2	15	5	2	1	3	2	4	14	1	5	13	225	50	2	10	9	20	28	16	140	14	196	7	14	70	26

: Device utilization

پس از اجرای سنتز و مشاهده مشخصات پردازش نتایج زیر حاصل شد :



Graph | **Table**

Resource	Utilization	Available	Utilization...
LUT	16	133800	0.01
IO	16	500	3.20

جزئیات ورودی و خروجی ها هم در report به صورت زیر می باشد :

7. Primitives

+-----+-----+-----+			
Ref Name	Used	Functional Category	
+-----+-----+-----+			
LUT6	10	LUT	
OBUF	8	IO	
IBUF	8	IO	
LUT4	4	LUT	
LUT2	3	LUT	
CARRY4	2	CarryLogic	
LUT5	1	LUT	
LUT3	1	LUT	
+-----+-----+-----+			

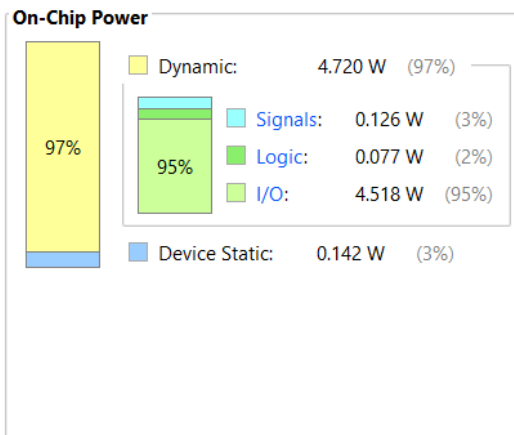
[: Power consumption](#)

در بخش power report می توان مشخصات توان مصرف شده، دمای کار و ... را مشاهده نمود :

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 4.862 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 32.1°C
 Thermal Margin: 52.9°C (36.2 W)
 Effective θ_{JA} : 1.5°C/W
 Power supplied to off-chip devices: 0 W
 Confidence level: Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity



: Performance

برای بررسی performance از بخش timing/unconstrained path/none to none/setup می توان delay های path های مختلف را مشاهده کرد :

Name	Slack ^{^1}	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception	Clock Uncertainty
Path 1	∞	5	4	11	b[1]	c[0]	7.826	3.949	3.877	∞	input port clock			0.000
Path 2	∞	6	4	11	b[1]	c[2]	7.796	4.245	3.551	∞	input port clock			0.000
Path 3	∞	5	4	11	b[1]	c[1]	7.766	4.115	3.650	∞	input port clock			0.000
Path 4	∞	6	4	11	b[1]	c[3]	7.719	4.179	3.540	∞	input port clock			0.000
Path 5	∞	5	3	11	b[1]	c[4]	7.540	3.879	3.661	∞	input port clock			0.000
Path 6	∞	4	2	9	b[3]	c[5]	6.795	4.076	2.719	∞	input port clock			0.000
Path 7	∞	4	2	9	b[3]	c[6]	6.664	3.786	2.878	∞	input port clock			0.000
Path 8	∞	4	2	10	a[3]	c[7]	6.496	3.771	2.724	∞	input port clock			0.000

که همانطور که از شکل پیداست و طبق رابطه :

$$\text{Performance} = 1 / \text{total max delay}$$

خواهیم داشت :

$$\text{Performance} = 1 / 7.826 = 12.76\%$$

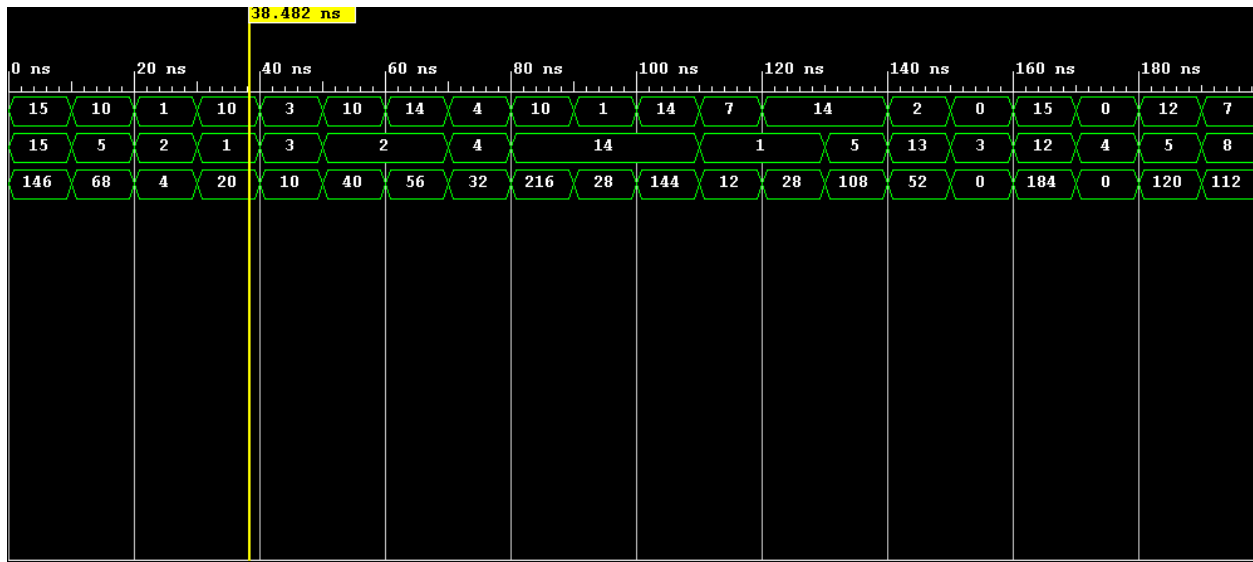
: Approximate multiplier with LUTs

: Implementation

مشابه بخش اول ابتدا یک design file و simulation file می‌سازیم و کد فایل و testbench را در آن‌ها قرار می‌دهیم، با این تفاوت که برای پیاده‌سازی عمل ضرب، از lut_6_2 واقع در کتابخانه unisim استفاده می‌کنیم و مقادیر lut ها را با استفاده از تابع منطقی و تبدیل logic به truth table پر می‌کنیم. در نهایت با خروجی کردن output ۷ بیتی (در پیاده‌سازی من با نام c) خروجی قابل مشاهده است.

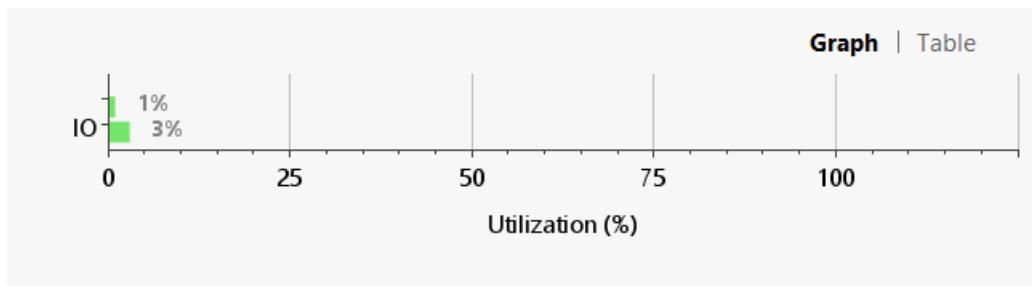
در داخل testbench هم با generate کردن ۶۴ عدد رندم، درستی تابع را چک می‌کنیم.

در نهایت نتیجه simulation با شکل زیر می‌شود :



: Device utilization

پس از اجرای سنتز و مشاهده مشخصات پردازش نتایج زیر حاصل شد :



Graph | **Table**

Resource	Utilization	Available	Utilization %
LUT	7	133800	0.01
IO	16	500	3.20

جزئیات ورودی و خروجی ها هم در report به صورت زیر می باشد :

7. Primitives

Ref Name	Used	Functional Category
OBUF	8	IO
IBUF	8	IO
LUT6	7	LUT
LUT5	7	LUT

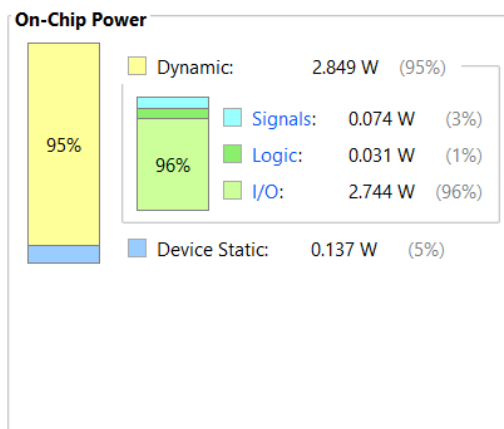
: Power consumption

در بخش power report می توان مشخصات توان مصرف شده، دمای کار و ... را مشاهده نمود :

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 2.986 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 29.3°C
Thermal Margin: 55.7°C (38.1 W)
Effective θ_{JA} : 1.5°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity



: Performance

برای بررسی performance از بخش timing/unconstrained path/none to none/setup می توان delay های path های مختلف را مشاهده کرد :

Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception	Clock Uncertainty
Path 1	∞	4	3	4	a[3]	c[3]	6.985	3.504	3.480	∞	input port clock			0.000
Path 2	∞	3	2	4	b[0]	c[0]	6.440	3.569	2.871	∞	input port clock			0.000
Path 3	∞	3	2	4	a[3]	c[4]	6.335	3.398	2.937	∞	input port clock			0.000
Path 4	∞	3	2	4	b[3]	c[6]	6.272	3.454	2.818	∞	input port clock			0.000
Path 5	∞	3	2	4	b[0]	c[1]	6.241	3.387	2.853	∞	input port clock			0.000
Path 6	∞	3	2	4	b[0]	c[2]	6.237	3.382	2.855	∞	input port clock			0.000
Path 7	∞	3	2	4	b[3]	c[5]	6.153	3.447	2.707	∞	input port clock			0.000

که همانطور که از شکل پیداست و طبق رابطه :

$$\text{Performance} = 1 / \text{total max delay}$$

خواهیم داشت :

$$\text{Performance} = 1 / 7.826 = 14.31\%$$

نکات پایانی و جمع بندی :

۱. همانطور که انتظار می‌رفت، performance برای approximate multiplier از دو تای دیگر بیشتر است و بعد از آن نیز lut multiplier.

۲. مقدار خطای approximate multiplier برای میانگین ۶۴ ضرب در حدود ۲۰ حساب شد :

avg	26	Integer
-----	----	---------

پایان...