بسمه تعالی

**دانشگاه شهید بهشتی**

دانشکده مهندسی و علوم کامپیوتر



آزمایشگاه معماری کامپیوتر

دکتر رضا اکبر

گزارش شماره 2

SBU\_Processor

طه اقتصاد

92213032

زهره رضایت

92213095

هدف در بخش دوم آزمایشگاه معماری کامپیوتر، طراحی و ساخت پردازنده­ی بهشتی است. این پردازنده، از معماری هاروارد برای حافظه و دستورات RISC است.

مشکل Push Button ها، bounce داشتن آنهاست. یک شمارنده به ازای هر کلید تعبیه شده که به تعداد 400 هزار کلاک(80ms)، داده را چک می­کند و در صورت عدم تغییر آنها، آنها را خروجی می­دهد. برای یکسان سازی عملکرد این دکمه­ها و کلاک سیستم، مدار debouncer، بعد از شمردن، تنها یک کلاک سیگنال خروجی 1 می­دهد.

مکانیزم عملکرد دکمه­ی run به این صورت است که یک رجیستر را فعال کرده، و در صورت فعال بودن این رجیستر در سیستم، بدون توجه به دکمه­های دیگر پردازنده عملیات اجرا و به روز رسانی PC را انجام خواهد داد. برای تمامی رجیسترها (IR, 7seg, led, PC, RB) یک سیگنال WE گذاشته شده، که مشخص می­کند که آیا داده باید برروی رجیستر قرار گیرد یا نه.

دکمه­ها طبق صورت پروژه، کار می­کنند. اما دکمه­ی S7 که برای نشان دادن محتویات IM است و هم چنین رجیست IMTest به دلیل تکراری بودن آن در دستورات، پیاده سازی نشده اند.

بخش های اصلی این پردازنده که توسط گروه تولید شده، به شرح زیر است:

* ALU: وظیفه­ی اجرای عملیات ریاضی را برعهده دارد. همچنین در این بخش، 4 رجیستر نیز تعبیه شده که پرچم ها برای چک کردن پرش ها را نگهداری و بروز می­کند. پرچم سرریز به شکل زیر تولید شده است:
  + (~in1[7]&~in2[7]&out[7])|(in1[7]&in2[7]&~out[7])
* Jump Condition Checker: با دریافت 4 بیت 14:11 دستورالعمل که نوع پرش و 4 بیت پرچم که شرط درستی پرش را چک می­کند، لازم­الاجرا بودن پرش را چک می­کند.
* Control Unit: سیگنال های کنترلی لازم برای مالتی پلکسر ها و لچ ها و همچنین پرشی بودن دستور یا نبودن آن را نیز بررسی می­کند.

در ادامه، Data Path این پردازنده آمده است. تمامی بخش های این پردازنده به جز PC و حافظه­ها به صورت ترکیبی طراحی و پیاده سازی شده است.

