



آزمون پایان ترم معماری کامپیوتر نیم سال اول ۱۴۰۱-۱۴۰۲

تاریخ آزمون: روز چهارشنبه ۵ بهمن ۱۴۰۱

نام و نام خانوادگی: .....

شماره دانشجویی: .....

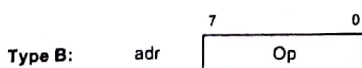
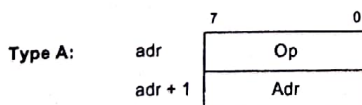
پیش از شروع آزمون به نکات زیر توجه کنید:

- مدت زمان آزمون ۱۲۰ دقیقه است. این زمان تمدید نمی شود.
- پاسخ ها را به صورت مرتب و خوانا بنویسید و از دادن پاسخ های غیرمرتبط پرهیزید.
- آزمون به صورت کتاب/جزوه بسته برگزار می شود و استفاده از یک برگ آ ۴ تقلب مجاز است.
- برگه ی سوالات را به همراه پاسخ نامه تحویل دهید.
- در زمان آزمون به هیچ پرسشی پاسخ داده نمی شود.

پرسش ۱ [پایه سازی چند مرحله ای، ۴ نمره، مدت زمان تقریبی پاسخ گویی ۳۰ دقیقه]:

پردازنده ای با مشخصات زیر در نظر بگیرید:

- پردازنده Stack-Based است. یعنی پردازنده رجیستر همه منظوره ندارد و برای این منظور از استک استفاده می کند.
- ۱. گنجایش Stack ، ۳۲ کلمه ی ۸ بیتی است.
- ۲. استک دارای ۳ ورودی کنترلی push, pop, tos می باشد. ورودی push داده ی ورودی را روی استک push کرده و ورودی pop داده ی بالای استک را pop می کند. این دو ورودی اشاره گر استک را تغییر می دهند. ورودی tos محتویات بالای استک را برمی گرداند بدون این که اشاره گر استک را تغییر دهد.
- ۳. خواندن از Stack به صورت Synchronous انجام می شود.
- ۴. داده ی روی خروجی DataOut تا خواندن بعدی (POP, TOS) باقی می ماند.
- توانایی آدرس دهی حافظه ای به ظرفیت  $256 \times 8 \text{ bit}$
- دارای دو نوع دستور با قالب های زیر:



- دستورات نوع A دستورات ۲ بیتی و دستورات نوع B دستورات ۱ بیتی هستند (دقت کنید دستورات نوع A دو خانه ی حافظه و دستورات نوع B یک خانه ی حافظه را اشغال می کنند).
- برای دستورات نوع B که به دو اپرند نیاز دارند (ADD, SUB, AND, QR) محتویات دو خانه ی بالای استک Pop شده و نتیجه ی عملیات روی استک Push می شود.
- برای دستورات نوع B که به یک اپرند نیاز دارند (NOT) محتویات یک خانه ی بالای استک Pop شده و نتیجه ی عملیات روی استک Push می شود.

- | Mnemonic |       | Description                         | Opcode   | Type |
|----------|-------|-------------------------------------|----------|------|
| PUSH     | adr-8 | Push M[adr-8] on top of stack       | 00000001 | A    |
| POP      | adr-8 | Pop from top of stack into M[adr-8] | 00000010 | A    |
| JMP      | adr-8 | PC $\leftarrow$ adr-8               | 00000100 | A    |
| BZ       | adr-8 | If (TOS = 0) PC $\leftarrow$ adr-8  | 00001000 | A    |
| ADD      | -     |                                     | 10000000 | B    |
| SUB      | -     |                                     | 10000001 | B    |
| AND      | -     |                                     | 10000010 | B    |
| OR       | -     |                                     | 10000011 | B    |
| NOT      | -     |                                     | 10000100 | B    |
| Nop      | -     | No Operation                        | 10000101 | B    |

- | Operation | y                  |
|-----------|--------------------|
| 000       | $\ln 1 + \ln 2$    |
| 001       | $\ln 1 - \ln 2$    |
| 010       | $\ln 1 \& \ln 2$   |
| 011       | $\ln 1 \mid \ln 2$ |
| 100       | Not $\ln 1$        |
| 101       | $\ln 2 + 1$        |
| 110       | $\ln 1$            |
| 111       | $\ln 2$            |

با توجه به این طراحی به پرسش‌های زیر پاسخ دهید:

- الف- مراحل لازم برای واکنشی یک دستور را نشان دهید. پاسخ شما باید شامل تعداد سیکل‌های لازم و عملیات انجام شده در هر سیکل باشد.
- ب- مراحل لازم برای اجرای دستور BZ adr را بنویسید. پاسخ شما باید شامل تعداد سیکل‌های لازم و عملیات انجام شده در هر سیکل باشد. فرض کنید واکنشی دستور انجام شده است.
- ج- مراحل لازم برای اجرای دستور ADD را بنویسید. پاسخ شما باید شامل تعداد سیکل‌های لازم و عملیات انجام شده در هر سیکل باشد. فرض کنید واکنشی دستور انجام شده است.

### پرسش ۲ [واحد کنترل ریز برنامه‌سازی، ۳ نمره، مدت زمان تقریبی پاسخ‌گویی ۱۰ دقیقه]:

در یک پردازنده، ۴۰ سیگنال کنترلی داریم. فرض کنید در پیاده‌سازی این سیستم ۵۰۰ ریز دستور (Micro-Instruction) وجود دارد. در این پردازنده ۲۰۰ ترکیب مختلف از این سیگنال‌های کنترلی پیش می‌آید. اگر واحد کنترل را به دو روش Micro-Memory و Nano-Memory پیاده‌سازی کنیم، میزان حافظه صرفه‌جویی شده چقدر است؟

- الف- فرض کنید از تراشه‌ی ROM برای پیاده‌سازی حافظه‌ها استفاده شده است.
- ب- فرض کنید از تراشه‌ی PLA برای پیاده‌سازی حافظه‌ها استفاده شده است.

### پرسش ۳ [پایپ‌لاین، ۴ نمره، مدت زمان تقریبی پاسخ‌گویی ۲۰ دقیقه]:

- یک پردازنده پایپ‌لاین را با ۵ مرحله IF, ID, EX, MEM, WB در نظر بگیرید. برای پیاده‌سازی پایپ‌لاین فرض‌های زیر را در نظر بگیرید.
- اگر دستور بعد از دستور lw به آن وابستگی داده داشته باشد، پایپ‌لاین را به اندازه ۲ سیکل ساعت متوقف (Stall) می‌کند.
  - اگر دستور بعد از دستور محاسباتی (add, addi) به آن وابستگی داده‌ای داشته باشد، پایپ‌لاین را به اندازه ۱ سیکل متوقف می‌کند.
  - دستور بعد از دستور پرش شرطی (beq) پایپ‌لاین را به اندازه ۱ سیکل ساعت متوقف می‌کند.
  - مقدار رجیستر R1 به گونه‌ای است که این حلقه ۱۰۰ بار تکرار می‌شود.

```
L1:  lw    R2, 1000(R1)
      lw    R3, 2000(R1)
      add   R4, R2, R3
      sw    R4, 200(R1)
      addi  R1, R1, -4
      bne   R1, R0, L1
```

الف- زمان اجرای این برنامه بر روی پردازنده‌ی پیاده‌سازی تک مرحله‌ای چقدر است؟

ب- زمان اجرای این برنامه بر روی پردازنده‌ی پیاده‌سازی چند مرحله‌ای چقدر است؟

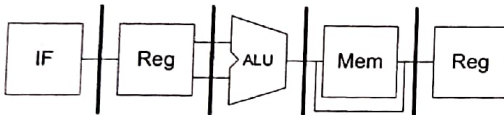
ج- زمان اجرای این برنامه بر روی پردازنده‌ی پیاده‌سازی پایپ‌لاین چقدر است؟

د- میزان تسریع اجرای این برنامه بر روی پردازنده‌ی پایپ‌لاین در مقایسه با پیاده‌سازی تک مرحله‌ای چقدر است؟

**پرسش ۴ [پایپ لاین ، ۳ نمره ، مدت زمان تقریبی پاسخ گویی ۱۵ دقیقه]:**

یک پردازنده ی پایپ لاین با ۵ مرحله مطابق با شکل زیر در نظر بگیرید. فرض کنید برنامه ای با ۳۰۰ دستور به شکل زیر بر روی این پردازنده اجرا می شود. فرض کنید هر دستور lw فقط به دستور add قبلی خود و هر دستور add فقط به دستور lw قبلی خود وابسته باشد (دقت کنید دستور lw به دستور lw قبلی خود وابسته نیست). میزان تسریع در اجرای این برنامه بر روی پردازنده ی پایپ لاین با استفاده از Forwarding و بدون استفاده از Forwarding چقدر است؟ فرض کنید در رجیستر فایل در نیمه ی اول CLK عملیات نوشتن و در نیمه ی دوم CLK عملیات خواندن انجام می شود.

lw, lw, add, lw, lw, add, ...



**پرسش ۵ [سلسله مراتب حافظه ، ۳ نمره ، مدت زمان تقریبی پاسخ گویی ۱۵ دقیقه]:**

یک Instruction Cache با  $\text{Miss Rate} = 1\%$  و یک Data Cache با  $\text{Miss Rate} = 2\%$  در نظر بگیرید. اگر یک پردازنده با  $\text{CPI} = 2$  و بدون Memory Stall داشته باشیم و دسترسی به حافظه ی اصلی مستلزم هزینه ای برابر ۴۰ Cycle باشد و نیز حدود ۴۰٪ دستورات به حافظه ی داده دسترسی پیدا کنند، CPI جدید این پردازنده چقدر است؟

**پرسش ۶ [سلسله مراتب حافظه ، ۳ نمره ، مدت زمان تقریبی پاسخ گویی ۱۵ دقیقه]:**

در این پرسش از شما خواسته شده است که گنجایش یک سیستم حافظه ی دو سطحی را تعیین کنید. سطح اول که  $M_1$  نامیده می شود، یک Cache با یکی از سه گنجایش انتخابی ۶۴KBytes، ۱۲۸KBytes و ۲۵۶KBytes است. سطح دوم،  $M_2$ ، حافظه ی اصلی با گنجایش ۴MBytes است. فرض کنید که  $C_1$  و  $C_2$  به ترتیب هزینه ی هر بایت و  $t_1$  و  $t_2$  به ترتیب زمان دسترسی  $M_1$  و  $M_2$  هستند. فرض کنید که  $C_1 = 20 \text{ ns}$  و  $C_2 = 90 \text{ ns}$ . مقدار Hit Rate برای سه گنجایش به ترتیب برابر ۰.۷، ۰.۹ و ۰.۹۵ است. با فرض این که دسترسی به حافظه ی Cache و حافظه ی اصلی به صورت سریال انجام می شود، به پرسش های زیر پاسخ دهید.

الف- زمان متوسط دسترسی به حافظه بر حسب  $t_1 = 20 \text{ ns}$  برای هر سه گنجایش Cache چقدر است؟

ب- هزینه ی متوسط هر بایت بر حسب  $C_2 = 0.2 \text{ \$/KByte}$  برای هر سه گنجایش Cache چقدر است؟

ج- سه طراحی مختلف حافظه را بر حسب متوسط هزینه و متوسط زمان دسترسی با هم مقایسه کنید. طرح اپتیمال را بر حسب حاصل ضرب متوسط هزینه و متوسط زمان دسترسی انتخاب کنید.