

1 برای محاسبه‌ی عبارت $(4-2*3+1)/(5*2+8)$ با استفاده از یک کامپیوتر مبتنی بر Stack، تعداد دستورات Push و حداقل تعداد کلمات لازم در Stack برابر است با:

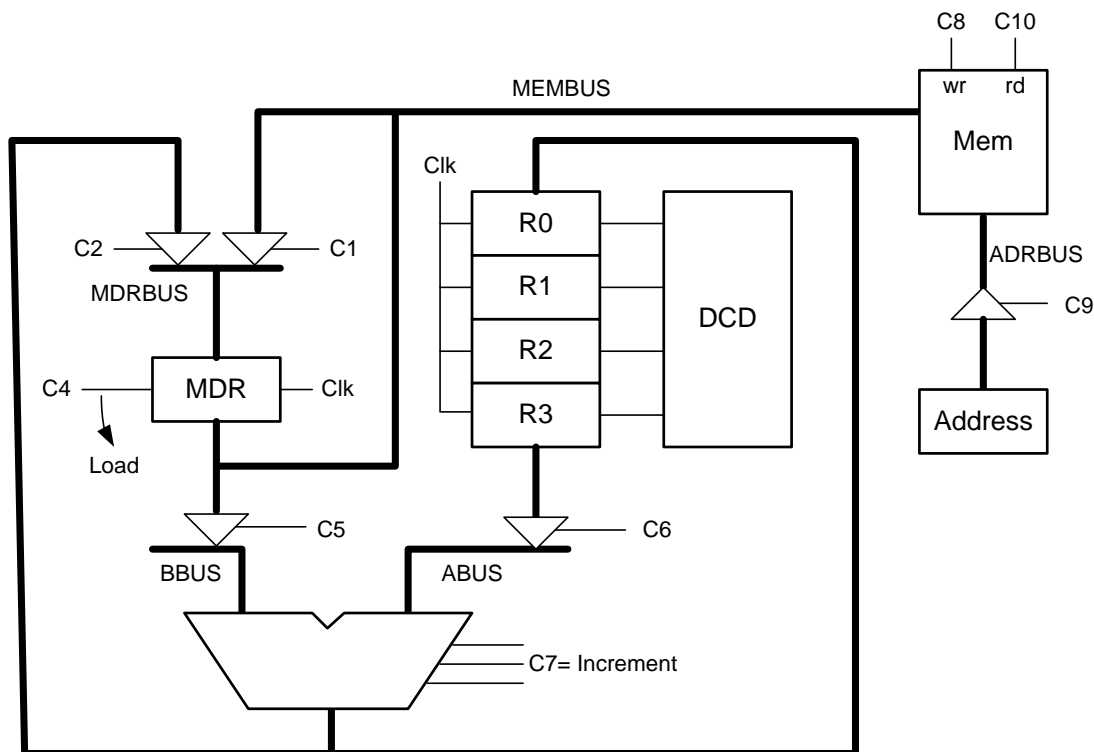
☐ ۶ مرتبه Push و حداقل ۳ کلمه

☐ ۷ مرتبه Push و حداقل ۵ کلمه

☐ ۷ مرتبه Push و حداقل ۴ کلمه

☐ ۸ مرتبه Push و حداقل ۴ کلمه

2 با در نظر گرفتن ساختار زیر، سیگنال‌های کنترلی لازم برای Increment کردن یک کلمه از حافظه را به ترتیب ذکر کنید. فرض کنید که واکنشی دستور (Instruction Fetch) قبلاً انجام شده است.



☐ Clk1: C9, C10, C1, C4
Clk2: C7, C2, C5, C4
Clk3: C3, C9, C8

☐ Clk1: C9, C10, C1, C4
Clk2: C4, C3
Clk3: C6, C7, C8

☐ Clk1: C9, C10, C1, C4
Clk2: C5, C6, C2, C4
Clk3: C3, C9, C8

☐ Clk1: C7, C5, C2, C4
Clk2: C3, C8, C9
Clk3: C1, C4, C9, C8

3 کامپیوتری دارای دستورات ۱۶ بیتی است و آدرس‌های اپرند با استفاده از فیلدهای ۶ بیتی مشخص می‌شود. این کامپیوتر دارای K دستور دو اپرندی است و به L دستور صفر اپرندی نیاز دارد. حداکثر تعداد دستورات یک اپرندی این کامپیوتر برابر است با:

$$\frac{2^{12} - K \times 2^{12} - L}{64} \quad \square$$

$$2^{16} - K \times 2^{12} - L \times 2^6 \quad \square$$

$$\frac{2^{12} - K \times 2^6 - L}{64} \quad \square$$

$$2^{16} - K \times 2^{12} - L \quad \square$$

4 پردازنده‌ای دارای ۴ گروه دستور و فرکانس کاری ۶۰ مگاهرتز است. تعداد پالس‌های لازم برای اجرای هر دستور در جدول زیر آمده است. می‌خواهیم کارایی این پردازنده را برای یک برنامه که درصد دستورات هر گروه آن در جدول زیر داده شده است، اندازه بگیریم. مقدار MIPS (Million Instruction Per Second) این پردازنده بر اساس این اندازه‌گیری کدام است؟

درصد دستورات در برنامه	تعداد پالس لازم برای اجرا	گروه دستورات
۴۰	۱	A
۲۰	۳	B
۳۰	۱	C
۱۰	۲	D

۴۰ ☐

۳۰ ☐

۹۰ ☐

۶۰ ☐

- 5 کدام یک از عبارات زیر در مورد ساختارهای ریزبرنامه‌سازی شده (Micro-Programmed) و سیم‌بندی شده (Hardwired) درست است؟
- ☐ پردازنده‌های از نوع Micro-Programmed قابلیت انعطاف بیشتری از لحاظ تغییرات احتمالی در آینده دارند و معمولاً دستورات پیچیده‌تر و سرعت کمتری نسبت به نوع Hardwired دارند.
- ☐ پردازنده‌های از نوع Micro-Programmed نمی‌توانند از امکان Pipelining استفاده کنند. در صورتی که نوع Hardwired این امکان را دارد و علت سرعت بیشتر آن نیز همین است.
- ☐ پردازنده‌های از نوع Micro-Programmed سرعت بیشتری از دید اجرای دستورات نسبت به نوع Hardwired دارند.
- ☐ پردازنده‌های از نوع Hardwired دارای سرعت بیشتری نسبت به نوع Micro-Programmed هستند که علت عمده‌ی آن استفاده از Pipelining در ساختار این‌گونه پردازنده‌ها است.

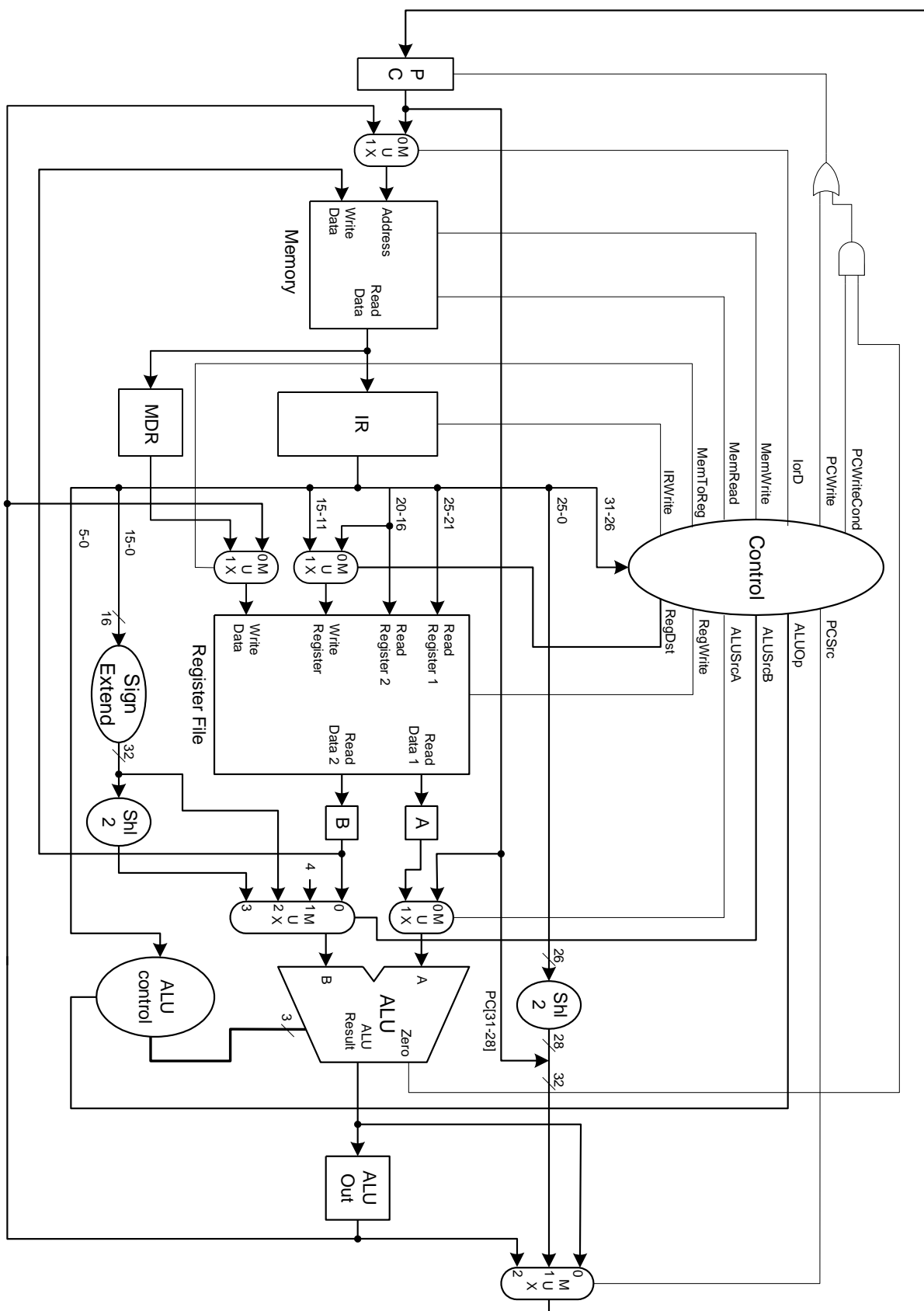
- 6 یک واحد محاسباتی پایپ‌لاین دارای پنج Stage با زمان اجرای ۳۶، ۳۹، ۲۳، ۲۸ و ۶۴ نانوثانیه است. اگر از ثبات‌هایی با تاخیر ۱ نانوثانیه بین Stage های مختلف پایپ‌لاین استفاده شود، حداکثر تسریع این واحد محاسباتی نسبت به تاخیر غیرپایپ‌لاین چقدر است؟
- ۲/۹۲ ☐ ۳/۵ ☐
- ۵ ☐ ۷/۹۲ ☐

- 7 یک سیستم شامل Cache، حافظه‌ی اصلی و حافظه‌ی ثانویه است. اگر زمان دستیابی به Cache برابر ۱۰ نانوثانیه و درصد مراجعه و پیدا کردن اطلاعات مورد نظر (Hit Ratio) برابر ۰/۹۸ باشد. نیز اگر زمان دستیابی به حافظه‌ی اصلی ۱۰۰ نانوثانیه و Hit Ratio مربوط به آن ۰/۹ باشد و زمان دستیابی به حافظه‌ی ثانویه برابر ۱ میلی‌ثانیه باشد، در این صورت زمان موثر دستیابی به اطلاعات حدود است.
- ۱ میلی‌ثانیه ☐ ۲ میکروثانیه ☐
- ۱۲ نانوثانیه ☐ ۱۰۰ میکروثانیه ☐

- 8 در پردازنده‌ای با ساختار پایپ‌لاین دستورات در ۸ مرحله (Stage) اجرا می‌شوند. چنانچه دستوری از نوع پرش باشد به دستورات بعدی اجازه‌ی ورود به پایپ‌لاین داده نمی‌شود تا این‌که اجرای دستور پرش به پایان برسد. برنامه‌ای در حال اجرا است که ۱۰۰ دستور دارد و بعد از هر ۱۹ دستور معمولی یک دستور پرش در آن ظاهر می‌شود. اگر تاخیر هر مرحله و ثبات‌های مربوط به آن جمعاً ۱۰ نانوثانیه باشد، اجرای این برنامه چقدر طول می‌کشد.

- 9 یک DMA Controller از روش Cycle Stealing استفاده کرده و و در هر سیکل یک کلمه‌ی ۱۶ بیتی را انتقال می‌دهد. دستگاه جانبی کارکتر را با سرعت ۲۴۰۰ کارکتر بر ثانیه آماده می‌کند. CPU عملیات واکشی و اجرای دستور را با سرعت ۱ میلیون دستور در ثانیه انجام می‌دهد. با استفاده از این DMA سرعت کار CPU چند برابر می‌شود.

10 شکل زیر پیاده‌سازی چندمرحله‌ای مسیر داده‌ی پردازنده‌ی MIPS را نشان می‌دهد. می‌خواهیم دستور wai (where am I) را به این پردازنده اضافه کنیم. این دستور آدرس دستور واکنشی شده را در رجیستر rt ذخیره می‌کند. تغییرات لازم در مسیر داده و واحد کنترل این پردازنده را مشخص کنید.



11 یک سیستم شامل Cache، حافظه‌ی اصلی و حافظه‌ی ثانویه است. اگر زمان دستیابی به Cache برابر ۸ نانوثانیه و درصد مراجعه و پیدا کردن اطلاعات مورد نظر (Hit Ratio) برابر ۰/۹۷ باشد. نیز اگر زمان دستیابی به حافظه‌ی اصلی ۱۱۰ نانوثانیه و Hit Ratio مربوط به آن ۰/۹۲ باشد و زمان دستیابی به حافظه‌ی ثانویه برابر ۱ میلی‌ثانیه باشد، زمان موثر دستیابی به اطلاعات چقدر است؟

12 در یک کامپیوتر که واحد کنترل آن به روش ریزبرنامه‌سازی (Microprogramming) طراحی شده است، احتیاج به 200×2048 حافظه کنترل داریم. برای کاستن حجم حافظه از Nanomemory استفاده می‌کنیم. اگر حجم Micromemory را 8×2048 بگیریم حجم Nanomemory چه اندازه خواهد بود؟

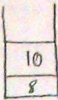
13 اگر یک Pipeline سه مرحله‌ای را به چهار مرحله‌ای تبدیل کنیم پیود از T به $0.9T$ کاهش می‌یابد. فرض کنید ۳۰٪ دستورات پرش هستند و دستور بعد از پرش وارد Pipeline نمی‌شود تا این که دستور پرش به اتمام برسد. نسبت زمان اجرای n دستور در ساختار سه مرحله‌ای به ساختار چهار مرحله‌ای چقدر است.

14 در یک سیستم حافظه، سرعت دسترسی به Cache برابر ۱۰۰ نانوثانیه و سرعت دسترسی به حافظه‌ی اصلی برابر ۱۲۰۰ نانوثانیه است. اگر بخواهیم سرعت موثر دسترسی به حافظه بیشتر از ۲۰٪ دسترسی به Cache نباشد، حداقل Hit Rate برای Cache چقدر است.

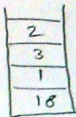
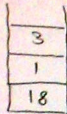
Problem #7

RPN: 8 2 5 * + 1 3 2 * + 4 - /

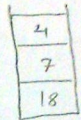
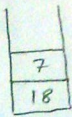
push(8) → push(2) → push(5) → mult → Add → push(1)



→ push(3) → push(2) → mult → Add → push(4) → sub → div



:



تعداد عملیات در stack 4

با توجه به اینکه 7 دستور push در فواصل و stack در حواصل با 4 دستور است.

problem #2

clk1: C9, C10, C1, C4 →

clk2: C7, C2, C5, C4 →

clk3: C3, C9, C8 →

خواندن از حافظه و نوشتن در MDR

Increment کردن MDR و ذخیره در MDR

نوشتن در MDR در حافظه

problem #3

$$\text{تعداد دستورات یک ایندی} = \frac{2^{16} - K \times 2^{12} - L}{2^6}$$

problem #4

$$CPI = 0.4 \times 1 + 0.2 \times 3 + 0.3 \times 1 + 0.1 \times 1 = 1.5 \text{ CC}$$

$$\Rightarrow \text{MIPS} = \frac{60 \text{ M}}{1.5} = 40$$

problem #5

کد زنی اول

problem #6

طول clk باید $= 64 + 1 = 65 ns$

تکرار " " = $100 ns$

$$\Rightarrow P = \frac{100 \times n}{65 \times 5 + (n-1)65} = \frac{100}{65}$$

$n \rightarrow \infty$

$$\Rightarrow P = 2.92$$

problem #7

$$\text{زمان متوسط} = 10 \times 0.98 + 100 \times 0.02 \times 0.9 + 10^6 \times 0.02 \times 0.1 \approx 2 \mu s$$

problem #8

فرض کنیم که 100 دستور، 5 کدونه دستور 20 تایی هستند که صحرا اجرا می شوند:

اجرا هر کدونه 20 تایی
 $\text{زمان} = 10 \times 8 + 19 \times 10 = 270 ns$

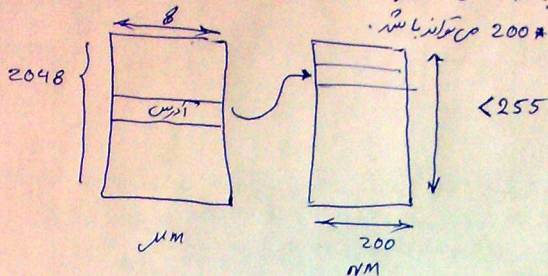
$$\Rightarrow \text{زمان کل} = 5 \times 270 ns$$

$$\text{clk} = 10 ns$$

problem #11

$$C_{L_i} = 8 \times 0.97 + 110 \times 0.03 \times 0.92 + 10^6 \times 0.03 \times 0.08$$

problem #12



problem #13

$$\frac{\text{exe time for 3 stage}}{\text{exe time for 4 stage}} = \frac{4 \times 0.9T \times 0.3n + 0.7n \times 0.9T}{3 \times T \times 0.3n + 0.7n \times T} = \frac{1.71}{1.6}$$

problem #14

$$\text{سرعت پردازش داده} = 0.2 \times 100 = 20_{ms}$$

$$20_{ms} = 1200 \times (1-H) \Rightarrow H = 0.983 \Rightarrow \text{Hit Rate} = 98.3\%$$