



دانشگاه تهران

دانشکده ی مهندسی برق و کامپیوتر

معماری کامپیوتر، پاییز 1390

تمرین شماره ی 3 - موعده تحویل: روز امتحان نهایی

1 - پردازنده ای با مشخصات زیر در نظر بگیرید. فرض کنید miss penalty برای خواندن و نوشتن در حافظه یکی باشد.

Clock cycle = 2 ns

Miss penalty = 20 clock cycle

Miss rate = 0.05 instruction

Cache hit time = 1 clock cycle

الف) متوسط زمان دسترسی به حافظه را بیابید.

ب) فرض کنید می توانیم با دو برابر کردن سائز cache، miss rate را به 0.03 بهبود دهیم. اما این کار باعث میشود که hit time آن به 1.2 سیکل افزایش یابد. تعیین کنید که آیا این کار به صرفه است؟

2 - سیستمی را در نظر بگیرید که یک حافظه 1GB و یک 4Kbyte Cache دارد. فرض کنید که این cache به صورت

4-way set associative با 4 بلاک در ست و 64 بایت در هر بلاک باشد.

الف) تعداد بیت ها در Tag, Set Index و byte offset را بیابید.

ب) فرض کنید که cache در ابتدا خالی باشد. اگر پردازنده 4352 بایت پشت سرهم را از آدرس صفر مموری Fetch

کند و این کار در مجموع با بار اول 10 بار تکرار شود، در صورت استفاده از الگوریتم LRU، hit rate چقدر میشود؟

3 - در یک سیستم، hit cycle برابر یک و miss penalty برابر 50 است. برای یک برنامه که 20 درصد دستورات load

و store است، CPI پایه $\frac{1}{2}$ میباشد. Hit rate برای دستورات 95٪ و برای داده ها 80 درصد است. اگر miss

دستورات و داده ها مستقل باشند، CPI با توجه به miss ها چقدر است؟

4 - یک حافظه cache دستور 256 بایتی را در نظر بگیرید که هر بلوک آن حاوی یک کلمه ی 32 بیتی است. فرض کنید

یک حلقه حاوی 65 دستور متوالی برای 3 بار اجرا می شود. با فرض اینکه cache در شروع خالی باشد، hit rate در

دو حالت زیر چقدر است؟

الف) direct mapping

ب) fully associative (LRU)

5 - دو cache مشابه را در نظر بگیرید که هریک دارای 4 بلاک بوده که هر بلاک شامل یک کلمه 32 بیتی میباشد. یکی از

cache ها direct mapped و دیگری fully associative با الگوریتم LRU میباشد.

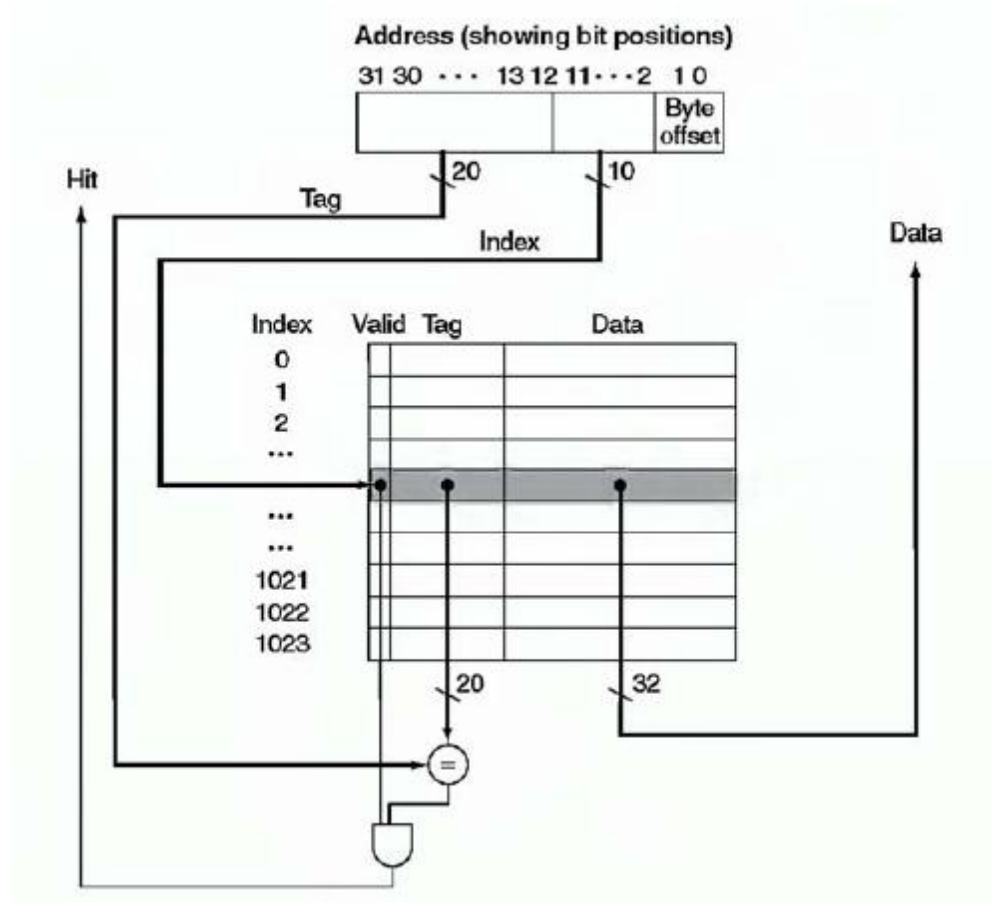
الف) مقدار کلی miss ratio را برای کد زیر بر روی direct mapped cache بدست آورید.

read 0x00

read 0x04
 write 0x08
 read 0x10
 read 0x08
 write 0x00

ب) یک مثال مشابه کد بالا تنها با استفاده از read بیاورید که miss ratio کمتری در direct mapped cache نسبت به fully associative دارد.

6 - راهی در نظر بگیرید که در cache زیر گیت AND حذف شود.



7 - فرض کنید یک cache دارای سایز 512 هزار کلمه در قسمت داده است. در آدرس دهی cache، آدرس فیزیکی به صورت زیر تفسیر میشود. ساختار این cache چگونه است؟

Bits 0-1: Byte Offset
 Bits 2-4: Word Offset
 Bits 19-31: Tag

8 - یک حافظه اصلی 256kb و یک Cache 4 بلوکی 4 کلمه ای داریم. با فرض خالی بودن cache، hit rate را در انتهای صدور آدرس های زیر حساب کنید. (از روش direct mapping استفاده شده و آدرس ها را از راست به چپ در نظر بگیرید.)

169-170-172-173-174-175-176-177-176-175-178-177-176-175-246-168-257-170
170-164-165-167-168-169-168

9 - حافظه ی اصلی دارای حجم 220 است. حافظه cache از نوع نگاشت مستقیم دارای 2^{14} بایت می باشد. بلوکهای حافظه 16 بایت است. خواندن از حافظه نهان یک نانو ثانیه طول می کشد و خواندن هر بلوک از حافظه اصلی به چهل نانو ثانیه نیاز دارد. رشته آدرس های زیر توسط پردازنده خوانده میشود و ابتدا حافظه نهان تهی است. متوسط زمان دستیابی به رشته آدرس های فوق چند نانو ثانیه است؟

01000_H, 01001_H, 01002_H, 59000_H, 5900F_H, 01003_H, 56780_H, 56778F_H, 56790_H, 56791_H

$$cc = 2ns$$

$$misspenalty = 20cc = 40ns$$

$$missrate = 1/5 \Rightarrow hitrate = 0.95$$

$$cach hit time = 1cc = 2ns$$

$$t_{avg} = \frac{5}{100} \times 40 + 2 = 4ns$$

$$missrate = 0.03 inst$$

$$t_{avg} = \frac{3}{100} \times 40 + 2.4 = 3.528 ns$$

وقتی که misspenalty یعنی hit دو هم در نظر گرفته می شود باید زمان hit و زمان miss را جمع کنیم.

$$4KB = 2^2 \times 2^{10} = 2^{10} B$$

$$set \text{ تعداد} = \frac{2^{12} B}{4 \times 64} = \frac{2^{12} B}{2^8 B} = 2^4 = 16$$

$$index \text{ تعداد بیت های} = \log_2 16 = 4$$

$$clock \text{ در هر} 64 \text{ بیت} \Rightarrow \text{تعداد بیت های} = 6$$

$$\text{byte offset}$$

$$1GB = 2^{30} \times 2^3 \quad b = 2^{33}$$

چون باید به بیت تبدیل کنیم

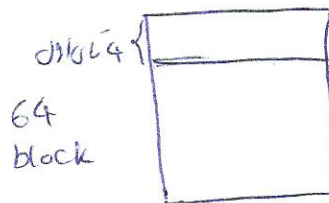
$$33 \text{ بیت} = \text{طول آدرس}$$

$$33 - 4 - 6 = 23 \quad \text{tag تعداد بیت های}$$

$$\frac{4352}{64} = 68$$

تعداد block ها

$$\frac{68 + 8 \times 9}{4352 \times 10}$$



هر سری دستور به میاد از اول pointer

حساب میسر. پس در سری اول هر 68 block

در سری های بعدی 4 تا اول و 4 تا آخر miss میشوند.

هر یک block که میاد فقط یک

byte اول miss می شود بقیه

hit می شوند.

$$CPI = CPI_{ideal} + \text{stall cycles}$$

- 3

$$\text{stall cycles} = \frac{\text{دسترسی به حافظه}}{\text{کل دسترسی ها}} \times \text{miss rate} \times \text{miss penalty}$$

$$\text{data} = 0.2 \times 0.2 \times 50 = 2$$

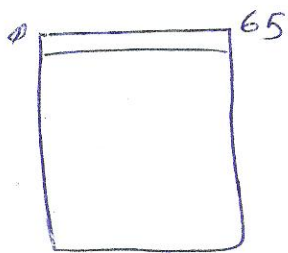
$$\text{inst} = 1 \times 0.5 \times 50 = 2.5$$

$$\text{stall cycles} = 4.5$$

$$CPI = 4.5 + 0.5 = 5$$

$$\frac{256 \text{ B}}{\frac{32}{8} \text{ 4B}} = 2^6 = 64$$

- 4



$$\begin{matrix} 65 & 2 \\ (46+1) + (1+1) \\ \text{miss} \end{matrix}$$

$$\frac{69}{3 \times 65} = \text{miss}$$

$$\frac{2 \times 63}{3 \times 65} = \text{hit}$$

- 5

(الف)

دسترسی اول
byte offset است

00	0 M
01	4 M
10	8 M
00	10 M
10	8 M
00	0 M

$$\frac{5}{6}$$

Read
1
2
3
4
0
1
2
3
4

$$\text{direct} = \frac{7}{10}$$

(ب)

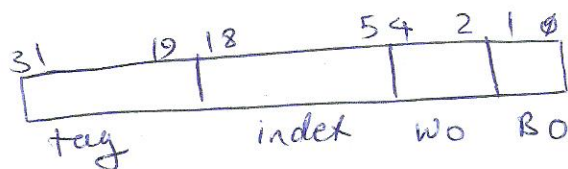
$$\frac{10}{10}$$

6 - روش های مختلفی برای حذف valid وجود دارد. مثلاً اضافه کردن dirty bit

یا اضافه کردن آن به Tag و تقیید مدار Comparator

$$512 \text{ k word} = 2^9 \times 2^{10} = 2^{19} \text{ word}$$

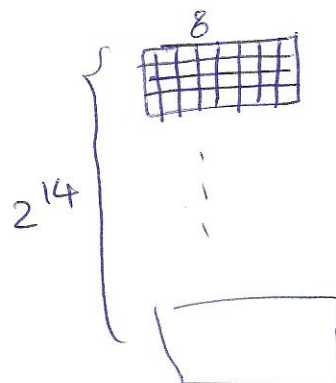
-7



2,1,1 index 14

$$2^{14} \times 2^3 = 2^{17}$$

$$\frac{2^{19}}{2^{17}} = 2^2$$



$$\frac{19}{25} = 1/76$$

-6

	00	01	10	11
00	256 176	257 177	258 178	259 179
01	244 164	245 165	246 166	247 167
10	168	169	170	171
11	172	173	174	175

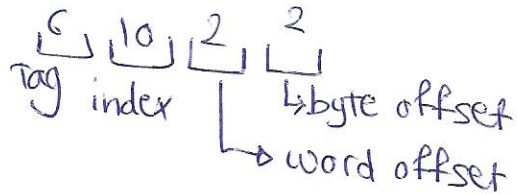
170	257	168	246	175	176	177	178	175	176	177	176	175
M	M	H	M	M	M	H	H	H	H	H	H	H
174	173	172	170	169	168	169	168	167	165	164	170	
H	H	H	H	H	H	H	H	M	H	H	H	

2^{20} ← 1024 MB

④

Cache 16 → 4 MB

$$\frac{2^{14}}{16} = 2^{10} \rightarrow \text{1024 blocks}$$



→ 01000	01004	01008	0100C
→ 59000	59004	59008	5900E
56780	56784	56788	5678C
56790			

cache

01000	M
01001	H
01002	H
59000	
59000	M
5900F	H
01003	H
56780	M
5678F	H
56790	M
56791	H

5900F

word offset 1111 → byte offset

1024 words

$$\Rightarrow 0.6 \times 1 + 0.4 \times 40 = 16.6 \text{ ns}$$