



دانشگاه تهران

دانشکده ی مهندسی برق و کامپیوتر

معماری کامپیوتر، پاییز 1391

تمرین شماره 3 - موعده تحویل: ۹ دی ۹۱ (ابتدای کلاس به استاد تحویل داده شود)

۱- پردازنده ای را در نظر بگیرید که بطور مستقیم به حافظه اصلی ارتباط دارد. هر دسترسی به حافظه (چه خواندن و چه نوشتن) ۱۰ سیکل طول می کشد. به غیر از دستور Fetch که برای هر Instruction لازم است، ۳۰ درصد دستورات به یک دسترسی به حافظه (غیر از Fetch کردن دستور) نیاز دارند.
الف) میانگین تعداد سیکل هایی که هر دستور طول می کشد را پیدا کنید.
ب) برای بهبود عملکرد این پردازنده، از دو cache برای داده و دستورات استفاده می کنیم که زمان دستیابی آنها ۱ سیکل است. اندازه و سازماندهی cache ها به گونه ای است که hit rate برای داده و دستور ۰.۹ است. Miss Penalty برای هر دو cache ۱۵ سیکل است. میانگین تعداد سیکل های دسترسی به حافظه را برای هر دستور در این حالت بیابید.
ج) اگر قادر باشیم miss penalty را برای یکی از cache ها کاهش دهیم، کدامیک را انتخاب می کنید؟ (cache داده یا دستورات؟) چرا؟

۲- یک سیستم با دو سطح cache (two-level cache system) را در نظر بگیرید که در آن همه ی cache ها hit rate h دارند. زمان دستیابی برای دستیابی داده از L2 cache به L1 cache ده برابر زمان دستیابی داده از L1 cache می باشد. زمان دستیابی برای انتقال داده از حافظه اصلی به L2 cache نیز، ده برابر زمان انتقال داده از L2 به L1 است. نهایتاً زمان دستیابی از L1 cache یک سیکل ساعت است.
الف) نشان دهید زمان متوسط برای دستورات حافظه برابر است با: $111 - 210h + 100h^2$
ب) میانگین تعداد سیکل های ساعت که پردازنده برای یک دسترسی به حافظه نیاز دارد را حساب کنید، اگر $h=0.9$.
ج) مقدار h را به گونه ای بیابید که زمان متوسط دستیابی به حافظه ۲ سیکل ساعت باشد.

۳- یک cache با اندازه 64 KB که بصورت 4-way set-associative است، با قابلیت دسترسی به بایت دارای ۳۲ بیت خط است. آدرس های حافظه ۳۲ بیتی هستند.
الف) تعداد بیت های tag چقدر است؟
ب) کدام آدرس ها از حافظه ی اصلی به 5 set number، map می شوند؟

۴- یک پردازنده multi-cycle که در فرکانس ۱۰۰ مگاهرتز کار می کند، دارای مشخصات کاری مطابق جدول زیر است.

Instruction Class	CPI	Frequency	Compiler Opt
R-Type	4	45%	95%
Lw	5	30%	90%
Sw	4	20%	95%
Beq	3	5%	75%

Compiler optimization، تعداد دستورات در هر کلاس را به مقدار نشان داده شده کاهش می‌دهد.
 الف) CPI را با در نظر گرفتن، و بدون در نظر گرفتن compiler optimization بدست آورید.
 ب) speed up بوجود آمده بخاطر compiler optimization را محاسبه کنید.

۵- یک پردازنده‌ی multi-cycle با فرکانس کاری ۵۰ مگاهرتز دارای مشخصات کاری مطابق جدول زیر است :

Instruction Class	CPI	Frequency
R-Type	4	45%
Lw	5	25%
Sw	4	20%
Beq	3	7%
j	3	3%

الف) با استفاده از الگوریتم‌هایی می‌توان تعداد دستورات lw و sw را 10% کاهش داد. بهبود در زمان عملیات را محاسبه کنید.
 ب) آیا ۱۰ درصد کاهش در پیروی کلاک، افزایش یک سیکل در تعداد سیکل‌های ساعت مربوط به دسترسی به حافظه جبران خواهد کرد؟

۶- یک سیستم حافظه که از حافظه‌ی اصلی و cache تشکیل می‌شود دارای مشخصات زیر است:

- اندازه حافظه 2GB (Byte addressed)

- اندازه cache 512 KB (Byte addressed)

- اندازه هر بلوک 512 Byte cache

تعداد بلوک‌های cache و ساختار آدرس‌ها را برای سه نوع cache زیر بدست آورید :

الف) Direct mapped cache

ب) Fully associative cache

ج) 4-way set-associative cache

۷- یک cache با اندازه بلوک‌های ۱ کلمه ای داریم. اندازه cache ۱۶ کلمه است. با فرض خالی بودن cache، hit rate را در انتهای صدور آدرس‌های زیر حساب کنید. (از روش two-way set-associative استفاده شده و آدرس‌ها را از چپ به راست در نظر بگیرید.) فرض کنید از سیاست جانشینی LRU استفاده می‌کنیم.
 1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17.

۸- حافظه‌ی اصلی دارای حجم 220 است. حافظه cache از نوع نگاشت مستقیم دارای 2^{14} بایت می‌باشد. بلوکهای حافظه 16 بایت است. خواندن از حافظه نهان یک نانو ثانیه طول می‌کشد و خواندن هر بلوک از حافظه اصلی به چهل نانو ثانیه نیاز دارد. رشته آدرس‌های زیر توسط پردازنده خوانده میشود و ابتدا حافظه نهان تهی است. متوسط زمان دستیابی به رشته آدرس‌های فوق چند نانو ثانیه است؟

01000_H, 01001_H, 01002_H, 59000_H, 5900F_H, 01003_H, 56780_H, 56778F_H, 56790_H, 56791_H



دانشگاه تهران
دانشکده ی مهندسی برق و کامپیوتر
معماری کامپیوتر، پاییز ۱۳۹۱
حل تمرین شماره ی ۳

۱- الف)

$$\text{Average memory access cycles per instruction} = 10 + 0.3 \times 10 = 13$$

ب)

$$\begin{aligned} \text{Average memory access cycles per instruction} \\ = 0.90 \times 1 + 0.1 \times 15 + 0.3(0.9 \times 1 + 0.1 \times 15) = 3.12 \end{aligned}$$

ج) cache دستورات. چون برای انجام هر عملیات یک دستور fetch می شود، درحالیکه تنها در ۳۰ درصد دستورات دسترسی به data لازم است.

۲- برای یک two-level cache که T_1 , T_2 , T_m بر حسب سیکل ساعت هستند داریم:
الف)

$$\text{Access time} = T_1 + (1 - h_1) [T_2 + T_m (1 - h_2)] \quad \text{cycles}$$

با قرار دادن: $h_1 = h_2 = h$, $T_1 = 1$, $T_2 = 10$, $T_m = 100$ در فرمول بالا:

$$\begin{aligned} \text{Access time} &= 1 + 10(1 - h) + 100(1 - h)^2 \\ &= 111 - 210h + 100h^2 \quad \text{cycles} \end{aligned}$$

ب) اگر قرار دهیم $h = 0.9$:

$$\text{Access time} = 111 - 189 + 81 = 3 \quad \text{cycles}$$

ج)

$$100h^2 - 210h + 109 = 0$$

$$\begin{aligned} h &= \frac{210 \pm (210^2 - 4 \times 100 \times 109)^{1/2}}{200} = 0.938 \end{aligned}$$

توجه: فقط جواب های $h < 1$ قابل قبول است!

۳- الف)

Address (32 b) = 5 b byte offset + 9 b set index + 18 b tag

ب) آدرس‌هایی که ۹ بیت مربوط به set index آنها ۵ است، که بصورت کلی زیر هستند :

$2^{14}a + 2^5 \times 5 + b$; for example, 160-191, 16 554-16 575, ..

۴- الف)

Without Opt = $0.45 \times 4 + 0.3 \times 5 + 0.2 \times 4 + 0.05 \times 3 = 4.25$

With Optimization = Cycles/#inst

$$= (0.45 \times 4 \times 0.95 + 0.3 \times 5 \times 0.9 + 0.2 \times 4 \times 0.95 + 0.05 \times 3 \times 0.75) / (0.45 \times 0.95 + 0.3 \times 0.9 + 0.2 \times 0.95 + 0.05 \times 0.75) = 4.251$$

= CPInew

ب) speed up :

Speedup = Told/Tnew

$$= (I \times 4.25 \times \text{cycle_time}) / (I'' \times \text{CPInew} \times \text{cycle_time})$$

که در آن I'' تعداد دستورات در حالت جدید است :

$$I'' = (0.45 \times 0.95 + 0.3 \times 0.9 + 0.2 \times 0.95 + 0.05 \times 0.75)$$

۵- الف)

$$\text{CPIold} = 4 \times 0.45 + 5 \times 0.25 + 4 \times 0.2 + 3 \times 0.07 + 3 \times 0.03 = 4.15$$

$$\text{CPInew} = (0.45 \times 4 + 5 \times 0.25 \times 0.9 + 4 \times 0.2 \times 0.9 + 3 \times 0.07 + 3 \times 0.03) / I'' = 3.945 / I''$$

$$I'' = 0.45 + 0.25 \times 0.9 + 0.2 \times 0.9 + 0.07 + 0.03 = 0.955$$

$$\text{CPInew} = 3.945 / 0.955 = 4.13$$

Execution Time Old = $I \times 4.15 \times \text{clock_cycle_time}$

Execution Time New = $0.955 \times I \times 4.13 \times \text{clock_cycle_time}$

مقایسه کنید !

ب)

$$\text{CPInew} = (0.45 \times 4 + 6 \times 0.25 + 5 \times 0.2 + 3 \times 0.07 + 3 \times 0.03) = 4.6$$

Execution Time New = $I \times 4.6 \times 0.9 \times \text{clock_cycle_time}$

$$= I \times 4.14 \times \text{clock_cycle_time}$$

کمی بهتر است !

Main memory: 31 bit address

Cache memory: 19 bit address

Byte Offset (in the block): 9 bit

Number of cache blocks = Cache size / Block size = 512 KB/512 B = 1 K blocks = 1024 blocks

Direct Mapped Cache

Byte Offset (in the block): 9 bit

Index: 10 bit

Tag: 12 bit

Fully Associative Cache

Byte Offset (in the block): 9 bit

Tag: 22 bit

4-way Set-Associative Cache

Byte Offset (in the block): 9 bit

Index: 8 bit

Tag: 14 bit

Number of sets = 16 blocks/2 blocks per set = 8

Address Reference	Binary address	Hit/Miss	Assigned cache set
1	0001	Miss	001
4	0100	Miss	100
8	1000	Miss	000
5	0101	Miss	101
20	10100	Miss	100
17	10001	Miss	001
19	10011	Miss	011
56	111000	Miss	000
9	1001	Miss	001
11	1011	Miss	011
4	0100	Hit	100
43	101011	Miss	011
5	0101	Hit	101
6	0110	Miss	110
9	1001	Hit	001
17	10001	Hit	001

محتویات cache پس از عملیات :

Index	000	000	001	001	010	010	011	011
Contents	M(8)	M(56)	M(9)	M(17)			M(43)	M(11)
Index	100	100	101	101	110	110	111	0111
Contents	M(4)	M(20)	M(5)		M(6)			

$$\text{Hit Rate} = 4 / 16 = 25\%$$

۸- حافظه اصلی = 2^{20}

۴ کلمه = ۱۶ بایت

تعداد بلوک‌ها = $2^{10} = 16 / 2^{14}$

۶ بیت : tag

۱۰ بیت : index

۲ بیت : word offset

۲ بیت : byte offset

محتویات cache :

01000	01004	01008	0100C
59000	59004	59008	5900C
56780	56784	56788	5678C
56790			

01000 → M

01001 → H

01002 → H

59000 → M

5900F → H

01003 → H

56780 → M

5678F → H

56790 → M

56791 → H

$$\rightarrow 0.6 * 1 + 0.4 * 40 = 16.6 \text{ ns}$$