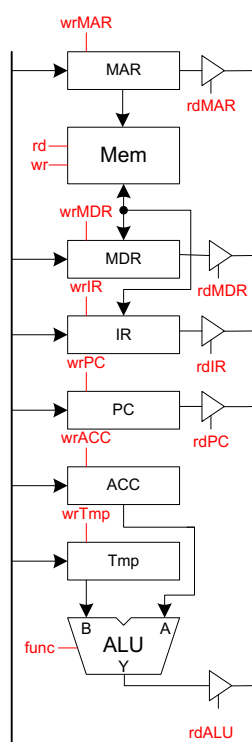




پرسش ۱ [۵ نمره]: شکل زیر مسیر داده‌ی یک پردازنده‌ی Accumulator Based ساده و جدول صحت واحد ALU آن را نشان می‌دهد.

الف- برای اجرای دستور `adr TWOSCMP` به چند سیکل نیاز است؟ این دستور محتویات خانه‌ی حافظه به آدرس `adr` را مکمل ۲ می‌کند. عملیات انجام شده در هر سیکل را نشان دهید. توجه کنید که باید از مرحله واکنشی دستور کار را شروع کنید.

ب- محتوای حافظه‌ی ریز (Micro Memory) برای اجرای این دستور را مشخص کنید.



func	Y
000	A
001	B
010	A + B
011	A - B
100	B + 1
101	A + 1
110	A AND B
111	NOT B

پرسش ۲ [۲ نمره]: فرض کنید ۱۰ درصد یک برنامه ترتیبی (غیرقابل موازی‌سازی) است. اگر از یک سیستم ۱۰ پردازنده برای اجرای این برنامه استفاده شود، میزان تسریع را با استفاده از دو قانون آمدال و گوستافسون به دست آورید.

پرسش ۳ [۴ نمره]: برای پاسخ‌گویی به این پرسش فرض کنید:

- پایپ‌لاین دارای ۵ مرحله به نام‌های IF, ID, EX, M و WB است
- تمام مراحل به جز مرحله EX به یک سیکل ساعت نیاز دارند
- پردازنده دارای سه ALU برای محاسبات صحیح، جمع ممیزشناور و ضرب ممیزشناور است
 - واحد ALU برای اجرای محاسبات صحیح به یک سیکل ساعت نیاز دارد (EX)
 - واحد ALU برای اجرای محاسبه جمع ممیزشناور به دو سیکل ساعت نیاز دارد (A1, A2)
 - واحد ALU برای اجرای محاسبه ضرب ممیزشناور به سه سیکل ساعت نیاز دارد (M1, M2, M3)
- در تمام دسترسی‌های به حافظه Hit رخ می‌دهد

- پردازنده دارای واحدهای پیش‌گیری از Data/Control Hazard است.
اگر حلقه‌ی این برنامه ۱۰۰ بار تکرار شود، اجرای این برنامه چند سیکل ساعت طول می‌کشد؟

```
// Formula: Y[I] = K * X[I] + B

1.      LD F3, 0(R1)      ; Load value of 'K'
2.      LD F4, 8(R1)      ; Load value of 'B'
3. Loop: LD F2, 100(R0)    ; Load value of 'X[I]'
4.      MULTD F1, F2, F3   ; Calc. Value of 'K * X[I]'
5.      ADDD F1, F1, F4    ; Calc. Value of Y[I]
6.      SD F1, 200(R0)    ; Store Y(I)
7.      SUBI R0, R0, #8
8.      BNEZ R0, Loop
```

راهنمایی: خروجی‌های واحد اجرایی فقط در انتهای آخرین سیکل اجرای آن در دسترس است.

پرسش ۴ [۲ نمره]: فرض کنید ۴ عدد جمع‌کننده‌ی ۴ بیتی در اختیار داریم. می‌خواهیم ۱۶ زوج عدد ۱۶ بیتی را با هم جمع کنیم. یک طرح برای پیاده‌سازی پایپ‌لاین این سیستم ارائه کنید (نیازی به نمایش رجیسترهای ورودی/خروجی نیست). تلاش کنید که زمان جمع کمینه باشد. اگر تأخیر جمع‌کننده‌ی ۴ بیتی ۱ نانو ثانیه باشد، زمان لازم برای جمع این ۱۶ زوج عدد ۱۶ بیتی چقدر است؟

پرسش ۵ [۴ نمره]: برنامه‌ی زیر را در نظر بگیرید. A یک آرایه با آدرس شروع صفر (۰) است. اگر یک Data Cache با نگاشت مستقیم با گنجایش ۴ کلمه در اختیار داشته باشیم، Hit Rate چقدر است؟ فرض کنید که متغیرهای برنامه در رجیسترهای داخلی پردازنده ذخیره شده‌اند و نیز محتویات خانه‌های حافظه در رجیسترهای داخلی پردازنده ذخیره نمی‌شوند. به عبارت دیگر برای هر بار دسترسی به آرایه‌ی A باید یک بار به حافظه‌ی Cache دسترسی پیدا کرد.

```
for (i=0; i<5; i++)
  for (j=0; j<i; j++){
    tmp = A[i];
    A[i] = A[j];
    A[j] = A[i];
  }
```

راهنمایی: ابتدا با اجرای برنامه، توالی آدرس‌های تولید شده توسط برنامه را به دست آورید و سپس Hit Rate را به دست آورید.

پرسش ۶ [۳ نمره]: یک سیستم حافظه با سه سطح L1 Cache، L2 Cache و RAM را در نظر بگیرید. فرض کنید تأخیر هریک از این حافظه‌ها به ترتیب ۱، ۳ و ۷۰ نانو ثانیه باشد. اگر در ۹۰ درصد موارد دسترسی به L2 و در ۱۰۰ درصد موارد دسترسی به RAM موفقیت‌آمیز باشد، نرخ برخورد (Hit Rate) حافظه L1 باید حداقل چقدر باشد که زمان دسترسی مؤثر به این سیستم حافظه از ۱/۵ برابر زمان دسترسی به L1 بیشتر نباشد؟

پیروز باهنید

صفری