

IF ID Ex Mem WB  
2 ns 1 ns 2 ns 2 ns 1 ns

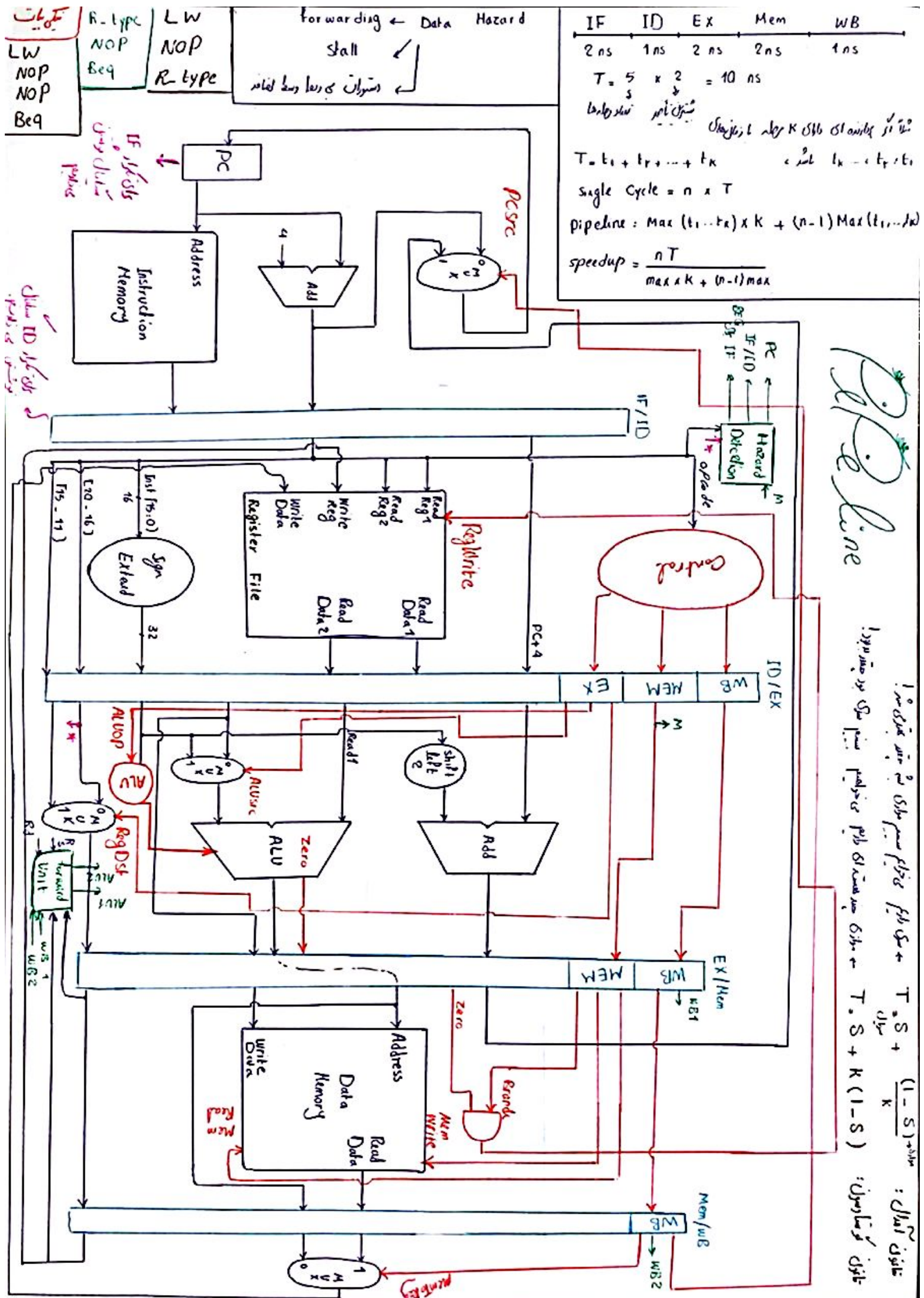
$$T_{\text{max}} = 5 \times 2 = 10 \text{ ns}$$

شیرین نامبر نیکو چارہا

$$T = t_1 + t_r + \dots + t_k \quad \text{c. 2.} \quad t_k = c \cdot t_r / t_1$$

pipeline :  $\text{Max}(t_1 \dots t_k) \times k + (n-1) \text{Max}(t_1, \dots, t_k)$

$$\text{speedup} = \frac{nT}{\max K + (n-1)\max}$$



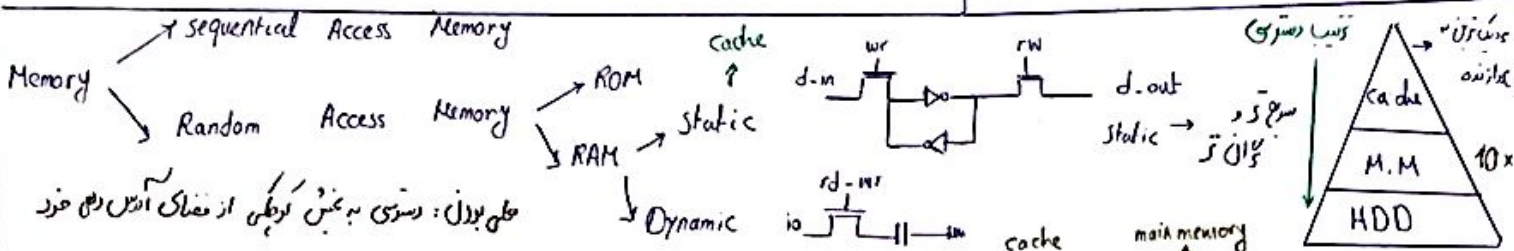


# Forwarding:

if (EX/Mem. RegWrite == 1 && EX/Mem. Rd == EX/Mem. Rs)

forward;

در حالتی که نیاز دارد به یک رجیستر دسترسی داشته باشد، درگاه که رجیستری دارد ای باشد، 2 سگنال ارسال می کنند یکی branch لا 1 یک سگنال stall می کنند



$$\text{Hit Rate} = \frac{\# \text{ of Hits}}{\# \text{ of M. Access}}$$

$$\text{Hit Rate} = 1 - \text{Miss Rate}$$

$$t_{eff} = t_c + (1 - h_c) t_m$$

$$t_{eff} = h_c t_c + (1 - h_c) t_m$$

توان دسترسی بیشتر

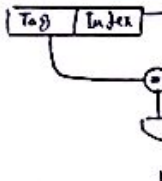
هر خانه حافظه اصلی دقیقاً به یک خانه cache نگاشت می شود.

نقائست مستقیم: این ها یک خانه به یک خانه نگاشت می شوند.

Cache Size (mod) = 4 = 001 00

سر بار cache

v	tag	Data

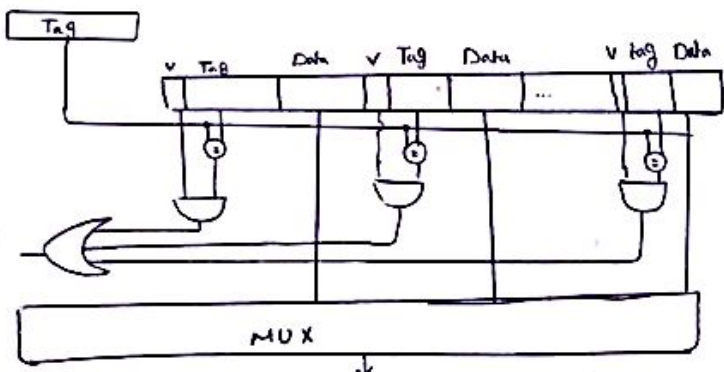


برای آدرس دهی به هر یک از کلمات در بیت ست راست نموس را به عنوان Address در نظر می گیرند.

نکته: سر بار حافظه cache به بیت های گفته می شود که برای مدیریت نگاشت یک آدرس در cache به cache لغات می شوند.

کاملاً مرتبط می باشد:

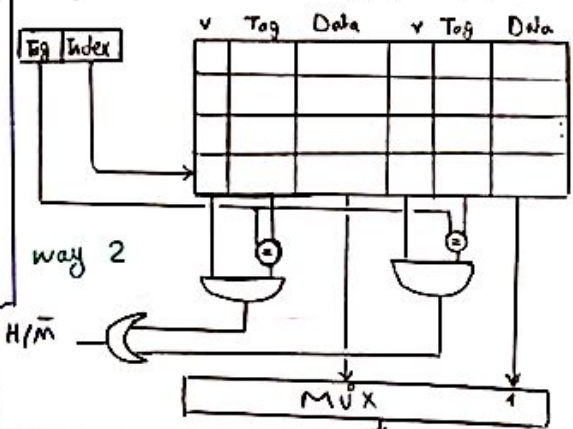
- LRU ①
- FIFO ②



مجموعه ای مرتبط می باشد:

m-way Set Associative Cache

برای کاهش هزینه



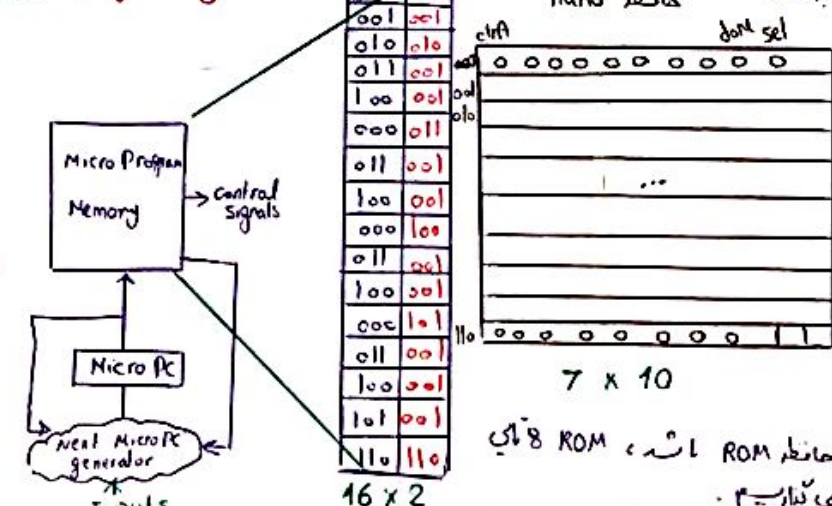
write through

write back

cache

page Table: virtual page → page Table → Physical page

Micro Programming:



CAM: Context Addressable Memory

