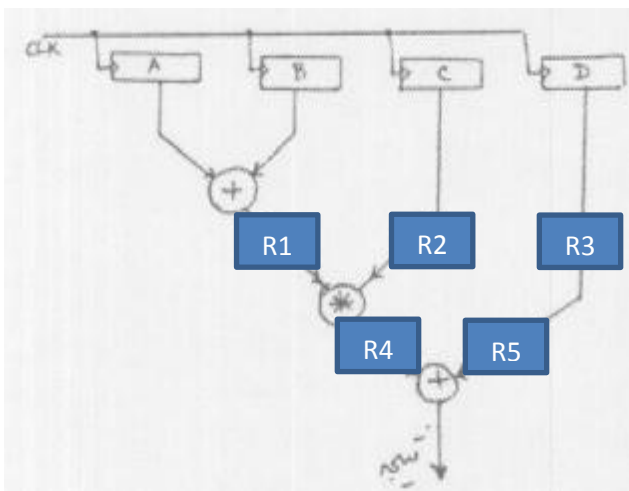


قسمت اول: پایپ لاین

۱- الف)



ب)

طول کلاک تک مرحله ای  $(T_s) = 20 + 45 + 20 + 5 = 90 ns$

طول کلاک پایپ لاین  $(T_p) = 45 + 5 = 50 ns$

پایپ لاین ۳ مرحله ای (K)

$$\text{Speed up} = \frac{n \cdot T_s}{K \cdot T_p + (n-1) \cdot T_p} = \frac{100 \cdot 90}{3 \cdot 50 + 99 \cdot 50}$$

ج)

```

1  reg [IN_WIDTH-1:0] R1,R2,R3,R5;
2  reg [2*IN_WIDTH-1:0] R4;
3  always @(posedge clk)begin
4      R1<=A+B;
5      R2<=C;
6      R3<=D;
7  end
8  always @(posedge clk)begin
9      R4<=R2*R1;
10     R5<=R3;
11 end
12 always @(posedge clk)begin
13     res<=R4+R5;
14 end

```

۲- الف)

90<sub>ns</sub>

ب)

90+60+50+80=280<sub>ns</sub>

ج)

Max speed up =  $\lim\{280n/(90*4+(n-1)*90)\} = 3.1$

۳- الف)

Speed up =  $(0.7*T + 0.3*4*T) / (0.7*0.9*T + 4*0.3*0.9T) = 1.9/1.71$

ب)

Speed up =  $(0.7*T + 0.3*4*T) / (1.5*T) = 1.9/1.5$

۴- دستور اول وارد پایپ می شود، 5<sub>ns</sub> بعد دستور دوم و 10<sub>ns</sub> بعد دستور سوم.

دستور دوم بعد از اجرای مرحله ی ALU در پایپ به اندازه ی 5<sub>ns</sub> توقف می کند (چون باید صبر کند تا دستور اول مرحله ی Mem را تمام کند) به همین دلیل دستور سوم با تمام کردن مرحله ی Reg اول باید 5<sub>ns</sub> توقف کند و بعد از آن در پایپ دوباره حرکت کند تا از آن خارج شود. پس زمانی که دستور سوم خارج می شود:

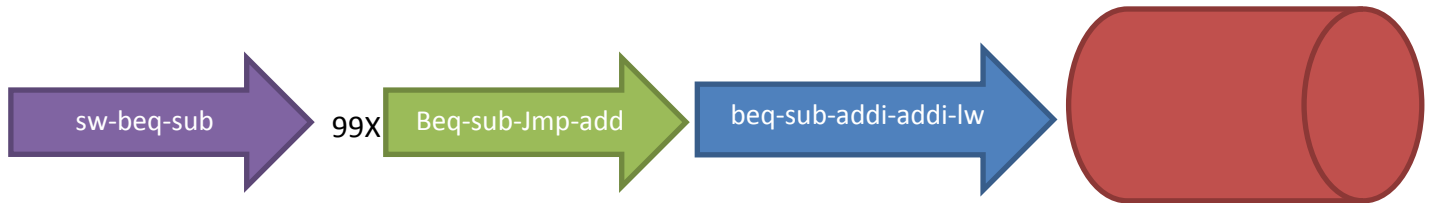
$5(\text{ALU}) + 5(\text{Stall}) + 4(\text{Reg}) + 5(\text{ID}) + 5(\text{وارد شدن دستور دوم به پایپ}) + 5(\text{وارد شدن دستور اول به پایپ}) + 10(\text{Mem}) + 4(\text{Reg}) = 43_{\text{ns}}$

۵- زمان اجرای دستورات گروه

آبی:  $9_{clk}$

سبز:  $8_{clk}$

بنفش:  $7_{clk}$



$$\text{Exe time} = (8 \cdot 99 + 9 + 7) \cdot 2_{ns}$$

۶- با هر بار انجام عملیات fetch ۳ دستور وارد پردازنده می‌شود و یک بار دو دستور همزمان وارد پایپ می‌شوند و در کلاک بعدی هم یک دستور وارد پایپ می‌شود. به این ترتیب می‌توان گفت این مساله معادل این است که بگوییم زمان اجرای ۲۰۰ دستور در یک پایپ‌لاین عادی چقدر است:

$$\text{Exe time} = 5 \cdot 2_{ns} + 199 \cdot 2_{ns}$$

۷- در اینجا حداکثر، حداقل و متوسط تسریع را محاسبه می‌کنیم. حداکثر تسریع زمانی است که هیچ یک از پرش‌ها اتفاق نیفتد و حداقل تسریع زمانی است که همه‌ی پرش‌ها اتفاق بیفتد:

$$(\text{Max Exe time})_{\text{Pipe line}} = (0.1 \cdot 4 \cdot 20 + 0.9 \cdot 20)n = 1.3 \cdot 20n$$

$$(\text{Min Exe time})_{\text{Pipe line}} = (0.1 \cdot 20 + 0.9 \cdot 20)n = 20n$$

$$(\text{Avg Exe time})_{\text{Pipe line}} = (0.1 \cdot 0.5 \cdot 4 \cdot 20 + 0.9 \cdot 20)n = 1.1 \cdot 20n$$

$$(\text{Exe time})_{\text{single cycle}} = 60 \cdot 1n$$

$$\text{Max Speed up} = 60/20$$

$$\text{Min Speed up} = 60/(1.3 \cdot 20)$$

$$\text{Avg Speed up} = 60/(1.1 \cdot 20)$$

قسمت دوم: Cache/IO (

۸- direct map cache دارای ۳ فیلد valid bit ، Tag و Data می‌باشد.

$$\text{Number of blocks} = 16KB/8B = 2K$$

Number of Tag bits= $\log(2^{32}/2^{11}) = 21$  bit

Total number of bits =(Number of blocks)\*({Valid bit} + {Number of Tag bits} + {Data}) =  $2K * (1 + 21 + 64)$

Overhead = Number of blocks\*(Valid bit + Number of Tag bits)/Total number of bits =  $22/86 = 25.5\%$

-٩

مرحله ١:  $20_{ns}$

مراحل ٢ و ٣ و ٤:  $MAX(3*20, 100) = 100_{ns}$

مراحل ٥ و ٦ و ٧:  $3*20 = 60_{ns}$

Band width= $4B / 180_{ns} = 22.2$  MB/sec

-١٠

Main memory blocks =  $1K * 32 * 4 = 2^{17}$

Cache blocks =  $2^5 * 2^2$

Num of Tag bits =  $17 - 5 - 2 = 10$

(١١- الف)

Inst miss cycles =  $I * 2\% * 100 = 2 * I$

Data miss cycles =  $I * 30\% * 3\% * 100 = 0.9 * I$

Total number of memory stall cycles =  $2 * I + 0.9 * I = 2.9 * I$

CPI including memory stalls =  $1.5 + 2.9 = 4.4_{cc}$

(ب)

Total miss cycles per Inst =  $2\% * 200 + 30\% * 3\% * 200 = 5.8_{cc}$

CPI of the fast Computer =  $1.5 + 5.8 = 7.3$

Speed up =  $\frac{\text{Exe time with slow clk}}{\text{Exe time with fast clk}} = \frac{n * CPI_{slow} * \text{ClockCycle}}{n * CPI_{fast} * \text{ClockCycle}/2} = \frac{4.4}{7.3/2} = 1.2$

-١٢

- استفاده از روش اینتراپت:

$$\text{تعداد دسترسی‌ها} = \frac{4MB}{16B} = 250 K \text{ Access} \quad \Rightarrow \text{تعداد سیکل‌های تلف شده} = 250K * 500_{cc} = 125 * 10^6_{cc}$$

$$\text{Performance} = \frac{500 * 10^6 - 125 * 10^6 * 40\%}{500 * 10^6} = 90\%$$

- استفاده از روش DMA:

$$\text{تعداد دفعات تنظیم DMA} = \frac{4MB}{8KB} = 500 \quad \Rightarrow \text{تعداد سیکل‌های تلف شده} = 500 * (500 + 500) = 500 * 10^3$$

$$\text{Performance} = \frac{500 * 10^6 - 500 * 10^3 * 40\%}{500 * 10^6} = 99.96\%$$

(۱۳- الف)

$$\text{Set index bits} = \log(4KB / (4 * 64B)) = 4$$

$$\text{Byte offset bits} = \log(64) = 6$$

با فرض byte addressable بودن حافظه‌ی اصلی:

$$\text{Main memory address space} = \log(1G) = 30$$

$$\text{Tag bits} = 30 - 6 - 4 = 20$$

(ب)

$$\text{تعداد دفعاتی که بلاک‌های کش عوض می‌شوند در هنگام واکشی دستورات} = 4352 / 64 = 68$$

در دفعه اول واکشی ۶۸ تا miss داریم و در دفعات بعدی تنها ۴ miss در ابتدا و ۴ miss هم در انتها داریم:

$$\text{Hit rate} = \frac{68 + 8 * 9}{4353 * 10}$$

(۱۴-)

$$\text{تعداد بلوک‌ها} = 2^{10}$$

$$\text{تعداد کلمه‌های ۳۲ بیتی در هر بلوک} = 16 / 4 = 4$$

پس :

$$\text{Byte offset} = 2 \text{ bit}$$

$$\text{Word offset} = 2 \text{ bit}$$

Index = 10 bit

آدرس	M/H
01000 <sub>H</sub>	M
01001 <sub>H</sub>	H
01002 <sub>H</sub>	H
59000 <sub>H</sub>	M
5900F <sub>H</sub>	H
01003 <sub>H</sub>	H
56780 <sub>H</sub>	M
56778F <sub>H</sub>	H
56790 <sub>H</sub>	M
56791 <sub>H</sub>	H

$$\text{متوسط زمان دستیابی} = \frac{4 \times 40 + 6 \times 1}{10} = 16.6$$