



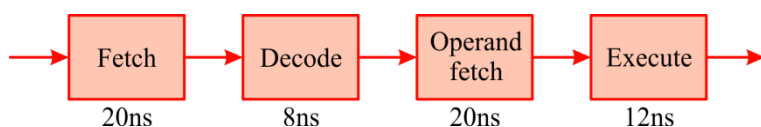
پرسش ۱ [واحد کنترل به روش ریزبرنامه‌سازی، ۲ نمره، زمان تقریبی پاسخ ۱۰ دقیقه]: در یک سیستم دیجیتال، ۴۰ سیگنال کنترلی داریم. فرض کنید در پیاده‌سازی این سیستم ۵۰۰ ریز دستور (Micro-Instruction) وجود دارد. در این سیستم دیجیتال ۲۰۰ ترکیب مختلف از این سیگنال‌های کنترلی پیش می‌آید. اگر واحد کنترل را به دو روش Micro-Memory و Nano-Memory پیاده‌سازی کنیم، روش دوم نسبت به روش اول چه مقدار حافظه صرفه‌جویی می‌کند؟ فرض کنید از تراشه‌ی ROM برای پیاده‌سازی حافظه‌ها استفاده شده است.

پرسش ۲ [پایپ‌لاین، ۳ نمره، زمان تقریبی پاسخ ۱۵ دقیقه]: یک پردازنده پایپ‌لاین را با ۵ مرحله IF, ID, EX, MEM, WB در نظر بگیرید. با در نظر گرفتن فرض‌های زیر تعداد سیکل‌های لازم برای اجرای این برنامه بر روی این پردازنده چقدر است؟

- اگر دستور بعد از دستور lw به آن وابستگی داده داشته باشد، پایپ‌لاین را به اندازه ۲ سیکل ساعت متوقف (Stall) می‌کند.
- اگر دستور بعد از دستور محاسباتی (add, addi) به آن وابستگی داده‌ای داشته باشد، پایپ‌لاین را به اندازه ۱ سیکل متوقف می‌کند.
- دستور بعد از دستور پرش شرطی (beq) پایپ‌لاین را به اندازه ۱ سیکل ساعت متوقف می‌کند.
- مقدار رجیستر R1 به گونه‌ای است که این حلقه ۵۰ بار تکرار می‌شود.

```
L1:  lw    R2, 1000(R1)
      lw    R3, 2000(R1)
      add   R4, R2, R3
      sw    R4, 200(R1)
      addi  R1, R1, -4
      bne   R1, R0, L1
```

پرسش ۳ [پایپ‌لاین، ۳ نمره، زمان تقریبی پاسخ ۱۵ دقیقه]: به فرض داشتن یک خط لوله چهار سطحی برای اجرای دستورات در یک پردازنده، اگر در یک برنامه به‌طور متوسط در هر ۱۰ دستور یک پرش وجود داشته باشد و به احتمال ۵۰٪ پرش انجام شود، حداکثر تسریع به دست آمده برای اجرای این برنامه نسبت به زمانی که پردازنده خط لوله‌ای نیست در مدت طولانی اجرای برنامه چقدر خواهد بود؟



پرسش ۴ [سلسله مراتب حافظه، ۳ نمره، زمان تقریبی پاسخ ۱۵ دقیقه]: حافظه اصلی دارای حجم 2^{20} بایت است. حافظه cache از نوع نگاشت مستقیم دارای 2^{14} بایت می‌باشد. بلوک‌های حافظه ۱۶ بایت است. خواندن اطلاعات از حافظه نهان یک نانو ثانیه طول می‌کشد و خواندن هر بلوک از حافظه اصلی به چهل نانو ثانیه نیاز دارد. رشته آدرس‌های زیر توسط پردازنده خوانده می‌شود و ابتدا حافظه نهان تهی است. زمان دسترسی به رشته آدرس‌های زیر چقدر است؟

01000_H , 01001_H , 01002_H , 59000_H , 5900F_H , 01003_H , 56780_H , 5678F_H 56790_H , 56791_H

پرسش ۵ [سلسله مراتب حافظه، ۳ نمره، زمان تقریبی پاسخ ۱۵ دقیقه]: ی فرض کنید در یک برنامه ۴۰٪ از دستورات به حافظه اصلی دسترسی پیدا می‌کنند که از آن ۷۵٪ دستورات دسترسی به حافظه از نوع lw و ۲۵٪ باقیمانده از نوع sw باشند. فرض کنید حافظه دارای دو Cache یکسان برای دستورات و داده‌ها است و همچنین فرض کنید نرخ برخورد و زمان دسترسی به حافظه Cache و حافظه اصلی به ترتیب برابر ۹۸٪، ۱ سیکل و ۱۰۰٪ و ۲۰ سیکل باشند. در این صورت زمان دسترسی موثر به حافظه در این برنامه برای دو حالت زیر چقدر است:

الف - از سیاست Write Through برای نوشتن در Cache استفاده شود.

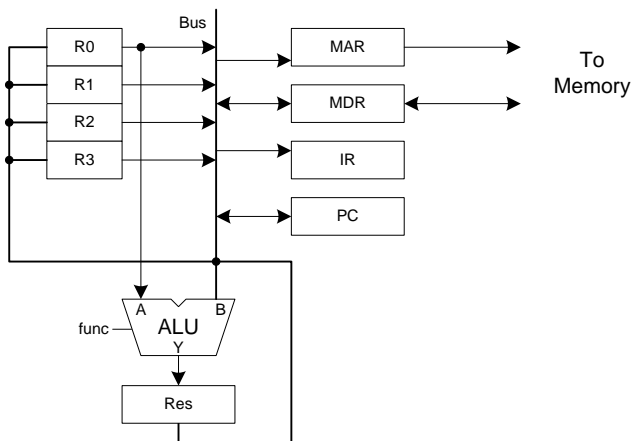
ب - از سیاست Write Back برای نوشتن در Cache استفاده شود. فرض کنید تا پایان برنامه هیچ خانه‌ای از Cache جایگزین نمی‌شود.

پرسش ۶ [پردازنده‌های چند هسته‌ای، ۲ نمره، زمان تقریبی پاسخ ۵ دقیقه]: یک برنامه دارای دو بخش ترتیبی و قابل موازی‌سازی است. اگر بخش ترتیبی 0.6% از برنامه را تشکیل دهد، با فرض استفاده از ۱۰۰ پردازنده میزان تسریع برنامه را با قانون Amdahl و Gustafson محاسبه کنید.

پرسش ۷ [پایاده‌سازی چند مرحله‌ای پردازنده، ۴ نمره، زمان تقریبی پاسخ ۱۵ دقیقه]: مسیر داده‌ی یک پردازنده ساده در زیر نمایش داده شده است.

الف- مراحل لازم برای Instruction Fetch را نشان دهید.

ب- برای اجرای دستور SWAP R0, R1 به چند سیکل نیاز است؟ (این دستور محتویات رجیسترهای R0 و R1 را جابجا می‌کند)



| func | Y |
|------|---------|
| 000 | A |
| 001 | B |
| 010 | A + B |
| 011 | A - B |
| 100 | B + 1 |
| 101 | NOT A |
| 110 | A AND B |
| 111 | A OR B |

راهنمایی: مراحل را به صورت عملیات RTL در سیکل‌های مختلف نشان دهید. برای مثال اگر بخواهیم محتویات R0 و R1 را با هم جمع کنیم و نتیجه را در رجیستر R3 قرار دهیم، به صورت زیر می‌نویسیم:

$T0: Res \leftarrow R0 + R1$
 $T1: R3 \leftarrow Res$

بنابراین این عملیات در دو سیکل انجام می‌شود.

پیروز باشید

صفری