



پرسش ۱ [پیاده‌سازی چند مرحله‌ای پردازنده، ۵ نمره]: مسیر داده‌ی یک پردازنده ساده در زیر نمایش داده شده است.

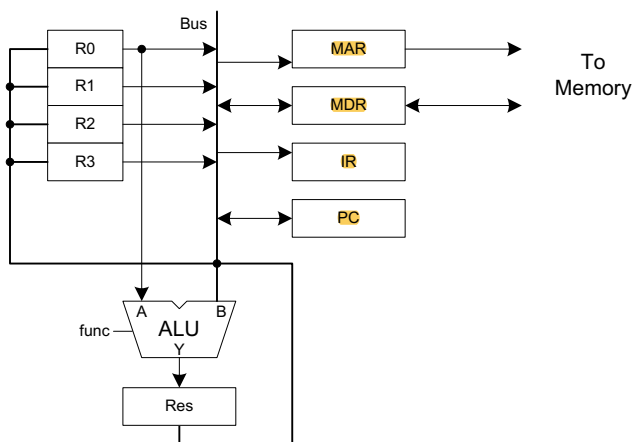
الف- مراحل لازم برای Instruction Fetch را نشان دهید.

ب- مراحل لازم برای اجرای دستور INC (adr) را نشان دهید. (این دستور محتویات خانه‌ی حافظه با آدرس adr را یک واحد اضافه می‌کند)

راهنمایی: برای مثال برای انجام عملیات INC R0 باید مراحل زیر (در دو سیکل ساعت متوالی که با T0 و T1 نشان داده شده‌اند) انجام شود:

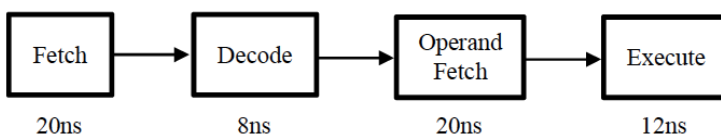
T0: $Res \leftarrow R0 + 1;$

T1: $R0 \leftarrow Res;$



func	Y
000	A
001	B
010	A + B
011	A - B
100	B + 1
101	NOT A
110	A AND B
111	A OR B

پرسش ۲ [پایپ‌لاین، ۴ نمره]: به فرض داشتن یک پایپ‌لاین چهار سطحی برای اجرای دستورات در یک پردازنده (شکل زیر را ببینید)، اگر در یک برنامه به‌طور متوسط در هر ۱۰ دستور یک پرش وجود داشته باشد و به احتمال ۰/۵ پرش انجام شود، حداکثر تسریع به دست آمده برای اجرای این برنامه نسبت به زمانی که پردازنده پایپ‌لاین نیست در مدت طولانی اجرای برنامه چقدر خواهد بود؟



پرسش ۳ [سلسله مراتب حافظه، ۵ نمره]: فرض کنید در یک برنامه ۴۰ درصد از دستورات به حافظه اصلی دسترسی پیدا می‌کنند که از آن ۷۵ درصد دستورات دسترسی به حافظه از نوع lw و ۲۵ درصد باقیمانده از نوع sw باشند. فرض کنید حافظه دارای دو Cache یکسان برای دستورات و داده‌ها است و همچنین فرض کنید نرخ برخورد و زمان دسترسی به حافظه Cache و حافظه اصلی به ترتیب برابر ۹۸٪، ۱ سیکل و ۱۰۰٪ و ۲۰ سیکل باشند. در این صورت زمان دسترسی موثر به حافظه در این برنامه برای دو حالت زیر چقدر است:

الف - از سیاست Write Through برای نوشتن در Cache استفاده شود.

ب- از سیاست Write Back برای نوشتن در Cache استفاده شود. فرض کنید تا پایان برنامه هیچ خانه‌ای از Cache جایگزین نمی‌شود.

پرسش ۴ [ورودی/خروجی، ۳ نمره]: یک گذرگاه سنکرون (Synchronous Bus) ۳۲ بیتی با سیکل ۳۰ نانوثانیه را در نظر بگیرید. فرض کنید هر تراکنش این گذرگاه یک سیکل طول می‌کشد. اگر این گذرگاه به یک حافظه با زمان دسترسی ۲۱۰ نانوثانیه متصل شود، پهنای باند گذرگاه چند مگابایت در ثانیه خواهد بود؟

راهنمایی: برای خواندن یک کلمه از حافظه باید ابتدا آدرس را از طریق گذرگاه به حافظه ارسال کرد، سپس داده را از حافظه خواند و در پایان داده‌ی خوانده شده را از طریق گذرگاه دریافت کرد.

پرسش ۵ [پردازنده‌های چند هسته‌ای، ۳ نمره]: فرض کنید در یک برنامه قرار است ۱۰ عدد اسکالر را با هم و دو ماتریس 100×100 را نیز با هم جمع کنیم. جمع اعداد اسکالر را به عنوان بخش ترتیبی برنامه و جمع دو ماتریس را به عنوان بخش قابل موازی‌سازی برنامه در نظر بگیرید.

الف- اگر برای اجرای این برنامه از ۱۰۰ پردازنده استفاده کنیم، میزان تسريع اجرای موازی برنامه در مقایسه با اجرای ترتیبی آن بر روی یک پردازنده چقدر است؟

ب- اگر به یکی از پردازنده‌ها ۲ درصد کار را اختصاص دهیم و بقیه کار را بین ۹۹ پردازنده دیگر تقسیم کنیم، میزان تسريع اجرای موازی برنامه در مقایسه با اجرای ترتیبی آن بر روی یک پردازنده چقدر است؟