

TD Chapitre 05 : Le Processeur (CPU)

Objectifs

- Comprendre le cycle Fetch-Decode-Execute
- Analyser le rôle du décodeur
- Tracer le chemin des données
- Comprendre les signaux de contrôle

Durée estimée : 1h30

Exercice 1 : Le Cycle d'Exécution

Objectif : Identifier les phases d'exécution

1.1 Ordonnement

Remettez dans l'ordre les phases du cycle :

- ☐ Writeback
- ☐ Fetch
- ☐ Memory
- ☐ Decode
- ☐ Execute

► **Solution**

1.2 Que se passe-t-il à chaque phase ?

| Phase | Action principale |
|-----------|-------------------|
| Fetch | ? |
| Decode | ? |
| Execute | ? |
| Memory | ? |
| Writeback | ? |

► **Solution**

Exercice 2 : Le Décodeur

Objectif : Comprendre l'extraction des champs

2.1 Décodage d'instruction

Décodez cette instruction (en binaire) :

```
1110 000 0100 0 0010 0001 0000 0000 0011
```

| Champ | Bits | Valeur | Signification |
|-------|-------|--------|---------------|
| cond | 31-28 | ? | ? |
| class | 27-25 | ? | ? |
| op | 24-21 | ? | ? |
| S | 20 | ? | ? |
| Rn | 19-16 | ? | ? |
| Rd | 15-12 | ? | ? |
| Rm | 3-0 | ? | ? |

► Solution

2.2 Question conceptuelle

Pourquoi dit-on que le décodeur est "purement combinatoire" ?

► **Solution**

Exercice 3 : L'Unité de Contrôle

Objectif : Déterminer les signaux de contrôle

3.1 Table de contrôle

Complétez la table des signaux pour chaque instruction :

| Instruction | reg_write | mem_read | mem_write | alu_src | branch |
|------------------|-----------|----------|-----------|---------|--------|
| ADD Rd, Rn, Rm | ? | ? | ? | ? | ? |
| ADD Rd, Rn, #imm | ? | ? | ? | ? | ? |
| LDR Rd, [Rn] | ? | ? | ? | ? | ? |
| STR Rd, [Rn] | ? | ? | ? | ? | ? |
| B label | ? | ? | ? | ? | ? |
| CMP Rn, Rm | ? | ? | ? | ? | ? |

► **Solution**

Exercice 4 : Chemin des Données

Objectif : Tracer le flux pour différentes instructions

4.1 Tracer ADD R1, R2, R3

Dessinez le chemin des données pour `ADD R1, R2, R3` :

1. Quels registres sont lus ?
2. Que calcule l'ALU ?
3. Où va le résultat ?

► **Solution**

4.2 Tracer LDR R0, [R1, #8]

Décrivez le chemin pour `LDR R0, [R1, #8]` :

► **Solution**

Exercice 5 : Conditions et Flags

Objectif : Comprendre le CondCheck

5.1 Table CondCheck

Complétez la sortie **ok** du CondCheck :

| cond | Condition | N | Z | C | V | ok |
|------|-----------|---|---|---|---|----|
| 0000 | EQ | 0 | 1 | 0 | 0 | ? |
| 0000 | EQ | 0 | 0 | 0 | 0 | ? |
| 0001 | NE | 0 | 1 | 0 | 0 | ? |
| 1011 | LT | 1 | 0 | 0 | 0 | ? |
| 1011 | LT | 0 | 0 | 0 | 1 | ? |
| 1110 | AL | X | X | X | X | ? |

► **Solution**

5.2 Impact du CondCheck

Que se passe-t-il quand `ok = 0` ?

► **Solution**

Exercice 6 : Les Multiplexeurs

Objectif : Comprendre le routage des données

6.1 Rôle des MUX

Pour chaque MUX, expliquez son rôle :

| MUX | Entrée 0 | Entrée 1 | Sélection |
|---------|----------|----------|-----------|
| alu_src | ? | ? | ? |
| wb_src | ? | ? | ? |
| pc_src | ? | ? | ? |

► **Solution**

Exercice 7 : Pipeline (Défi)

Objectif : Comprendre les hazards

7.1 Data Hazard

Analysez ce code :

```
ADD R1, R2, R3    ; Instruction 1  
SUB R4, R1, R5    ; Instruction 2
```

Pourquoi y a-t-il un problème dans un pipeline ?

► **Solution**

Récapitulatif

Compétences validées

Après ce TD, vous devez savoir :

- [] Décrire les 5 phases d'exécution
- [] Décoder une instruction en champs
- [] Déterminer les signaux de contrôle
- [] Tracer le chemin des données
- [] Expliquer le rôle du CondCheck

Prochaine étape

➡ **TP Chapitre 05** : Explorer le CPU Visualizer et implémenter les composants

📖 **Référence** : Livre Seed, Chapitre 05 - CPU