

گزارش کار آزمایشگاه طراحی سیستم‌های دیجیتال

آزمایش دوم - مدار ترتیبی، سنسور جمعیت اتاق

محمدحسین تاج‌الدینی ۹۴۱۷۰۸۲

محمدحسین حاجی سید سلیمان ۹۸۱۰۵۶۷۸

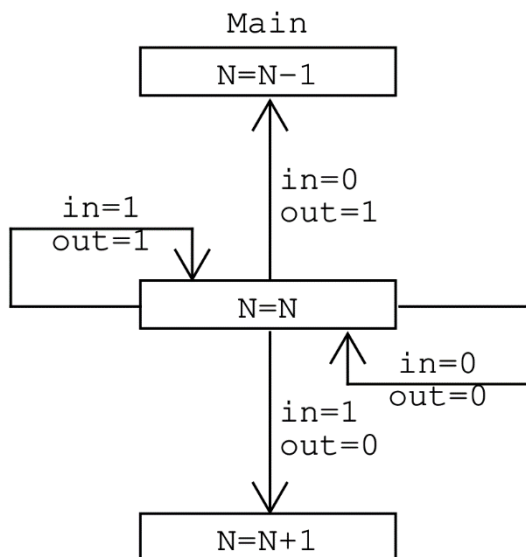
محمدعلی محمدخانی ۹۸۱۰۲۲۵۱

بخش صفر - خلاصه کار جلسه

باید یک مدار ترتیبی بسازیم که بسته به تعداد افراد حاضر در یک اتاق، در صورتی که تعداد کمتر از ۱۵ نفر باشد با فشردن یک دکمه در ورود را باز کند که نفر بعدی وارد شود. این مدار ورود و خروج را در قالب دو سیگنال IN و OUT دریافت می‌کند و تعداد افراد را بر حسب آنها محاسبه می‌کند.

بخش یک - منطق مدار

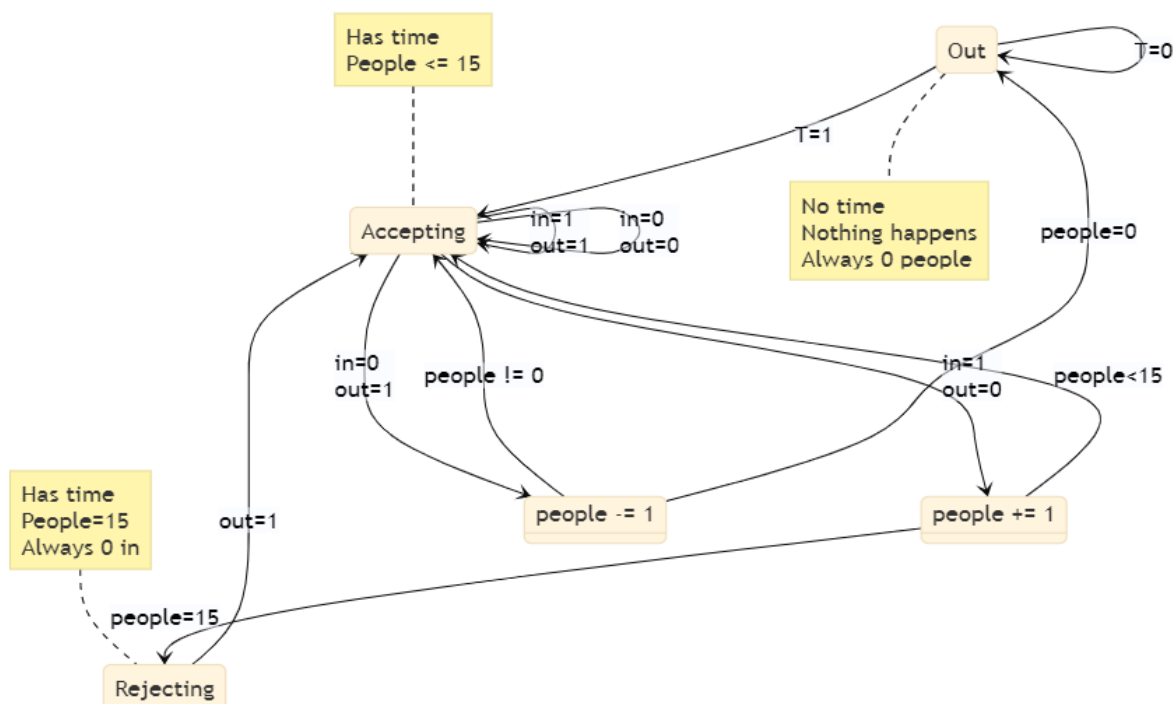
ورودی‌های سیستم مقدار T، وضعیت سنسور روی هر یک از درها، کلاک و کلید Ent است. خروجی سیستم تعداد افراد حاضر در اتاق (N) است. حداکثر مقدار ممکن برای N عدد ۱۵ است، پس ۴ بیت نیاز داریم. برای پیاده سازی آن از یک شمارنده بالا/پایین شونده با سیگنال فعال شدن استفاده می‌کنیم.



از آنجا که فشردن دکمه به خودی خود تعداد افراد را تغییر نمی‌دهد، برای رفتار سیستم برای N نیازی نیست آنرا بررسی کنیم چون در حالتی که ورود داریم حتما فشرده شده بوده و برای خروج مقدارش مهم نیست. آنچه بر N تاثیر دارد مقدار خودش و سنسورهای درها است. رفتار سیستم در هر کلاک برای N به شرح زیر می‌شود:

T	IN	OUT	BEHAVIOR
1	0	0	Nothing changes.
1	1	0	N+=1
1	0	1	N-=1
1	1	1	N=N
0	DC	DC	N=0

پس یک نمودار حالت برای سیستم به شرح زیر می‌شود:



بخش ۱.۱ - روابط منطقی

طبق صورت سوال مقادیر T و Clock و Ent و وضعیت درب ورود و خروج ورودی سیستم هستند. مقادیر در ها به شکل پیش فرض صفر است. کلاک حسب نیاز با ورود تولید می‌شود. گفته شده مقدار T داده می‌شود و در $T = 0$ ها اتاق بسته است و تعداد حاضرین صفر می‌شود. پس سیگنال ریست شمارنده همین T است.

دکمه Ent به شکل پیش فرض صفر است مگر اینکه فشرده شود که یک بدهد. در این صورت برای باز شدنی بودن درب ورود، عبارت زیر را داریم:

$$Openable = Ent \wedge T \wedge (N < 15)$$

یعنی برای اینکه بشود وارد اتاق شد باید زمان مناسب باشد و تعداد حضار کمتر از ۱۵ باشد و دکمه فشرده شده باشد. برای بررسی تعداد افراد از NAND بیت‌های شمارنده استفاده می‌کنیم. وقتی عبارت بالا صحیح باشد آنرا به منزله ورود فردی به اتاق می‌گیریم. پس عملاً دیگر به سیگنال در ورودی نیازی نداریم. این سیگنال حالت U بودن شمارنده را مشخص می‌کند.

همان گونه که در جدول مشخص است و در صورت سوال بیان شده، ممکن است ورود، خروج یا هر دو را داشته باشیم. پس سیگنال فعال‌سازی شمارنده می‌شود:

$$Enable = IN \oplus OUT$$

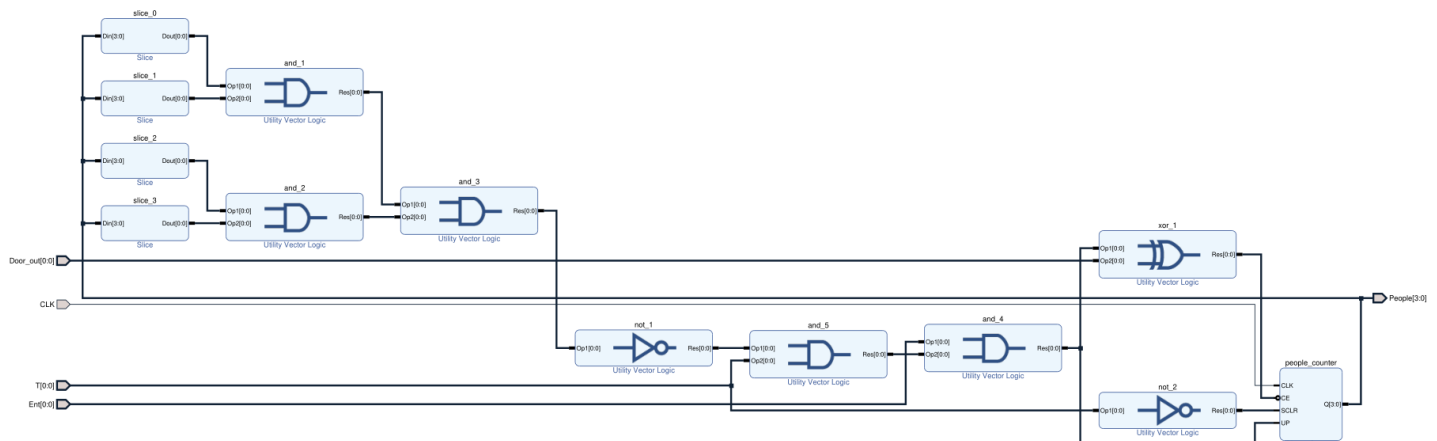
پس برای جمع بندی:

- چهار ورودی داریم: حالت زمان، دکمه ورود و وضع در خروجی و کلاک که حسب نیاز زده می‌شود.
- یک خروجی داریم: تعداد افراد در سیستم.

بخش دو - ساخت مدار

در یک ایمیل از شما پرسیدیم که آیا تنها از Utility Logic Vector ها استفاده کنیم که فرمودید خیر. پس برای جمع کننده از IP شمارنده دودویی ([لینک](#)) استفاده می‌کنیم. تنظیمات پیش تر گفته شدند. خروجی این IP به صورت یک باس چهار بیتی است که برای انجام عملیات منطقی بیت به بیت باید آنرا جدا کنیم که از [این](#) IP استفاده می‌کنیم. ورودی‌ها و خروجی‌ها طبق صحبت‌های بالا داده شده است.

نهایتاً طبق منطق بالا مدار به شکل زیر ساخته می‌شود که فایده‌های ساخت آن بیوست شده است:



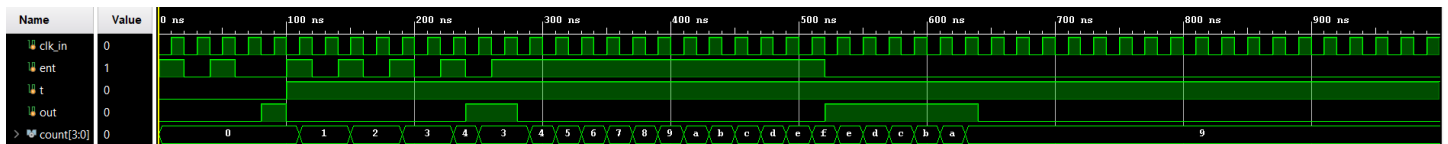
فایل PDF با وضوح بالا پوست شده است.

بخش سه - تست

برای تست یک سری حالت به صورت زیر در نظر می‌گیریم و بررسی می‌کنیم:

ورودی	خروجی
وضعیت زمان	تعداد افراد
T	Door(out)
Ent	People
0	X
1	1
1	0
1	1
1	0

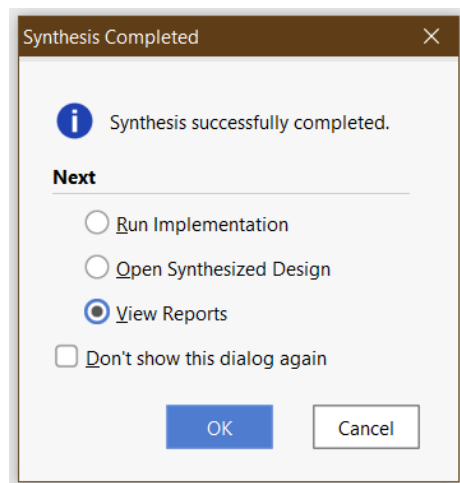
برای این منظور، قطعه کدی نوشتیم و اجرا کردیم که نتایج زیر حاصل شد:



متن کد تست ضمیمه شده. مشاهده می‌شود مدار در همه حالت‌ها به درستی رفتار می‌کند.

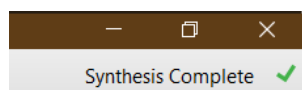
بخش چهار – سنتز شوندگی

مدار با موفقیت و بدون ایراد سنتز شد. در تصاویر زیر این موضوع مشخص است:



```
-----
Finished Writing Synthesis Report : Time (s): cpu = 00:00:20 ; elapsed = 00:00:20 . Memory (MB): peak = 1006.965 ; gain = 350.961
-----
Synthesis finished with 0 errors, 0 critical warnings and 12 warnings.
Synthesis Optimization Runtime : Time (s): cpu = 00:00:15 ; elapsed = 00:00:19 . Memory (MB): peak = 1006.965 ; gain = 277.332
Synthesis Optimization Complete : Time (s): cpu = 00:00:20 ; elapsed = 00:00:20 . Memory (MB): peak = 1006.965 ; gain = 350.961
INFO: [Project 1-571] Translating synthesized netlist
INFO: [Project 1-570] Preparing netlist for logic optimization
INFO: [Opt 31-138] Pushed 0 inverter(s) to 0 load pin(s).
Netlist sorting complete. Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.001 . Memory (MB): peak = 1025.254 ; gain = 0.000
INFO: [Project 1-111] Unisim Transformation Summary:
No Unisim elements were transformed.

INFO: [Common 17-83] Releasing license: Synthesis
50 Infos, 24 Warnings, 0 Critical Warnings and 0 Errors encountered.
synth_design completed successfully
synth_design: Time (s): cpu = 00:00:26 ; elapsed = 00:00:28 . Memory (MB): peak = 1025.254 ; gain = 639.168
Netlist sorting complete. Time (s): cpu = 00:00:00 ; elapsed = 00:00:00 . Memory (MB): peak = 1025.254 ; gain = 0.000
WARNING: [Constraints 18-5210] No constraints selected for write.
Resolution: This message can indicate that there are no constraints for the design, or it can indicate that the used_in flags are set such that
INFO: [Common 17-1381] The checkpoint 'C:/Users/mhtaj/Desktop/Ed/Lab DSD/12/12.runs/synth_1/BD_wrapper.dcp' has been generated.
INFO: [runtcl-4] Executing : report_utilization -file BD_wrapper_utilization_synth.rpt -pb BD_wrapper_utilization_synth.pb
INFO: [Common 17-206] Exiting Vivado at Tue Mar 16 05:40:58 2021...
```



بخش پنچ - فرکانس عملکرد مدار

مدار در هر ۲۰ نانو ثانیه یک سیکل کلاک می‌زند و هیچ عملی بیش از یک سیکل طول نمی‌کشد پس با فرکانس ۵۰,۰۰۰,۰۰۰ هرتز عمل می‌کند.

نهایتاً لاگ سنتز را برای عبارت delay جستجو کردم که چنین چیزی نداشت.