
vhdl2016 Documentation

リリース *2016.01.10*

Masayuki Takagiwa

Contents

1	はじめに	3
1.1	受講にあたって	3
2	ストップウォッチについて	5
2.1	実装目標	5
3	FPGA について	7
3.1	3.1 HDL	8
3.2	3.2 VerilogHDL と VHDL	9
4	VHDL	11
4.1	4.1 基本形	11
4.2	4.2 信号の種類	12
4.3	4.3 ポート宣言	13
4.4	4.4 シグナル宣言	14
4.5	4.5 値の代入	14
4.6	4.6 もう一つの信号 variable と代入	15
5	第 5 章 演習	17
5.1	5.1 注意事項	17
5.2	5.2 論理演算	17
5.3	5.3 数値演算	18
5.4	5.4 条件分岐 when ~ else ~	19
5.5	5.5 条件分岐 with ~ select ~ when ~	19
5.6	5.6 process 文	20
5.7	5.7 フリップフロップの基本と if 文	20
5.8	5.8 カウンタ	24
5.9	5.9 分周回路と T フリップフロップ	24
5.10	5.10 積分回路とチャタリング除去	25
5.11	5.11 微分回路	26
5.12	5.12 10 進カウンタ	26
5.13	5.13 階層設計	27
5.14	5.14 状態遷移と、条件分岐 case ~ when ~	29
5.15	5.15 条件分岐 case ~ when ~	29
5.16	5.16 ストップウォッチ	30
6	第 6 章 付録	33
6.1	6.1 参考情報	33
7	Indices and tables	35

Contents:

Chapter 1

はじめに

本書の目的は VHDL による FPGA (CPLD) への論理回路の実装を一通り体験することです。

到達目標に、「VHDL によるストップウォッチの実装」を設定し、VHDL の説明と実習を行います。

八戸高専の場合、「デジタル回路」「デジタル回路」「デジタル信号処理」と重複するところがあります。それらの授業で学んだことが実習の助けになるでしょう。

1.1 受講にあたって

以下の点に注意、協力してください。

- お昼休みには基板の電源を切ってください。変な回路を書き込んでおいてデバイスに負荷をかけて壊してしまうことを避けるためです。
- 演習 = このテキスト通りに入力して動作を確認するもの、課題 = 自力でコードを書いて動作させるもの、としています。
- 演習、課題でどうしてもツールのエラーが消せないときは呼んでください。
- 課題はできあがったら基板を持って見せに来てください。達成度を記録します。
- 成績は、課題の達成度と筆記試験から求めます。
- 筆記試験は最終日に行い、テキストなどの持ち込みは不可です。
- 欠席せざるを得ないことがあると思います。そのとき課題は授業中、どうにもならないときは後からおこなってください。

Chapter 2

ストップウォッチについて

デジタルタイプのストップウォッチの例を図に示します。通常「スタート・ストップ」「ラップ・リセット」の2つのボタンと、6桁程度の数字のディスプレイがあります。

「スタート・ストップ」のボタンは、押す毎に「計時」の実行、停止が切り替わります。リセットしない限り、計時は停止した値から再開されます。

「ラップ・リセット」は、停止時に押すと値がクリアされます。計時を行っているときに押すと、通常計時中は変化し続けている数字が停止しますが、計時は続けられています。

実際にはここでは2つの動作があり、「スプリット」では値は引き続きカウントアップしていますが、「ラップ」ではラップボタンで計時は0から再開されます。

数字のディスプレイは通常上位から2桁ずつ、分、秒、1/100秒のカウントを表示します。

2.1 実装目標

最低限の目標は以下の機能をVHDLで実装することです。

4桁の数字の表示 上位2桁は秒、下位2桁は1/100秒です。

「スタート・ストップ」スイッチの動作 一つのスイッチで行います。

「ラップ・リセット」スイッチはリセット動作の実装 停止中に値のリセットが行えること。

追加目標はラップ機能、スプリット機能の実装となります。

Chapter 3

FPGA について

デジタル回路の最小単位は、AND、OR、NOT 等の論理素子で、さらにこれらを組み合わせた XOR とフリップフロップが多用されます。これらの単機能デバイス（たとえば 16 ピンの IC など）は多く販売されていました。プロセッサやメモリなどは大規模なデジタル回路で、上記のような機能を組み合わせて IC、LSI という形で設計されます。

1990 年代中盤のプロセッサやメモリは単体では機能が少なく、基板上で、上記のような単機能デバイスを組み合わせたサポート回路が必要となっていました。

これらのサポート回路をまた新しい IC、LSI で設計することも可能でしたが、対象となる CPU や、基板が対象としている機能などで必要となる回路が異なるため、現実的ではありませんでした。

ちなみに小規模な IC、LSI でも実際のデバイスにするまでに数千万から億単位の費用がかかるそうです。

そこで、大量の論理素子と、それらをつなぐ大量の配線 + スイッチをあらかじめ IC 内に作り込んでおき、素子、スイッチ毎に ON、OFF を設定することで、まるで専用の IC のように使おうという考えが生まれ、そのようなデバイスが作られました。

これが FPGA の始まりとなります。

IC、LSI の技術の進歩とともに規模も大きくなり、動作速度も高くなり、現在ではただのサポート回路にとどまらず、信号処理の分野でも使われています。

性能や価格では、億単位の費用をかけた LSI にはかなわないため、そういった対応ができない分野で多く使われています。

例：

製品の初期開発 たとえば第 3 世代携帯電話の端末、基地局の開発は、世界標準の規格がまだ確定していない時期から始まっているため、後から変更が必要な可能性がとても高い状態でした。そのため、あとから内容を変更できるよう基板は FPGA を搭載して製造しておき、仕様変更があってもすぐ対応できるようにします（LSI では製造にも時間がかかります）。

特殊な信号処理装置 たとえば金融取引向けには一般のパソコンにも組み込める、単に FPGA が載っているだけの基板が使われます。内容は会社それぞれが独自のノウハウで設計するため、全てのユーザ共通とはできないので、空っぽのままで販売されます。

注釈：実際にこの授業で使用するデバイスは「PLD」と呼ばれます。PLD は Programmable Logic Device の略です。プログラム可能な論理デバイス、となります。

対して FPGA は Field Programmable Gate Array の略です。現場（Field）でプログラム可能なゲート（論理）の集合、となります。

できることはほぼ同じですが、以下のような特徴で分けています。

CPLD

- フラッシュメモリを内蔵し、電源を入れるとすぐ使える。
- 回路規模は小さめ。
- 基本的に論理回路しか入っていない。
- 動作速度が比較的高い。
- 構造上、XOR が少し苦手。

FPGA

- 動作のプログラムは揮発性のメモリに格納されるので、電源を切ると内容が失われる。そのため別途フラッシュメモリが必要。
- 回路規模はかなり大きい。
- 高機能（乗算用ハードウェアが入っていたり、メモリが入っていたりする）。
- 動作速度は今ではだいぶ高くなってきた。

それぞれのデバイスの構成要素は以下の図のようになっています。いずれも D フリップフロップと組み合わせ回路がセットになっており、その入力をプログラムするような形です。このセットがデバイスの中に多数組み込まれ、相互に接続できるよう配線とスイッチも同様に多数用意されます。

CPLD と FPGA の間の大きな違いは組み合わせ回路の構成です。CPLD は大量の AND と多入力 OR を組み合わせしていますが（実際には NOT も入ります）、FPGA は AND、OR に縛られない LUT (LookUp Table) を使用します。たとえば 4 入力の AND、4 入力の OR に限らず、“4” 等の任意の数値と一致したときに H を出力する、というようなことも簡単にできるよう、より柔軟な構造になっています。

いずれの場合でも D フリップフロップが既に組み込まれていますので、AND を組み合わせたようなフリップフロップを改めて記述する必要はなく、むしろ期待通りに動作しない可能性があります。

3.1 3.1 HDL

ディジタル回路を組み込んだ IC や LSI の開発では、初期には AND、OR、NOT、フリップフロップを CAD 上で回路図のように配置して接続していました。

こういった CAD は、IC、LSI メーカー毎に異なるため、たとえば完成したデータを違う LSI メーカーで製造しなければいけなくなったとき、互換性が無いため入力 & 確認し直しが必要になっていました。

こういった状況を避けるために、IC、LSI の開発も、ソフトウェアのようにテキストで行おうという動きができました。このジャンルの言語は HDL（Hardware Description Language）と呼ばれます。

ソフトウェアと同様、HDL も様々なものが開発されましたが、現在の主流は VerilogHDL と VHDL です。

注釈: HDL は一般にソフトウェアとは異なる考え方が必要になります。それだけ、ソフトウェアのプログラマに比べ人口が少ないです。現在ソフトウェアの開発環境は無料で入手できるようになり、早ければ小学生から始める人もいます。特に研究の分野では FPGA に興味を持つ方は多いのですが、開発環境やサンプルボードが高価なこともあり、独学で覚えられる環境は多くありませんでした。HDL を多少でも理解できると、その分対応できる仕事が広がります。ただ、通常の C 言語をベースにもっとたくさんの人が FPGA 開発できるようにする動きも以前からあり、少しずつ成果が出始めてきています。

3.2 3.2 VerilogHDL と VHDL

各言語の特徴を以下に示します（筆者の独断と偏見を含む）

VerilogHDL

- 民間主導- ツールメーカーが開発した。
- 比較的便利な記述ができるようになっている。
- 文法上記述ミスが許容される傾向がある = デバッグ時に大変なことが多い。
- 日本でのシェアは、こちらがかすかに多いかもしれない。
- C 言語に近い、と評されることがあるものの、上記のような動きがあることから、むしろ BASIC の方が近いと感じる。
- 無料のシミュレータがあるため、特に趣味の範囲での人気は VHDL より高い模様。

VHDL

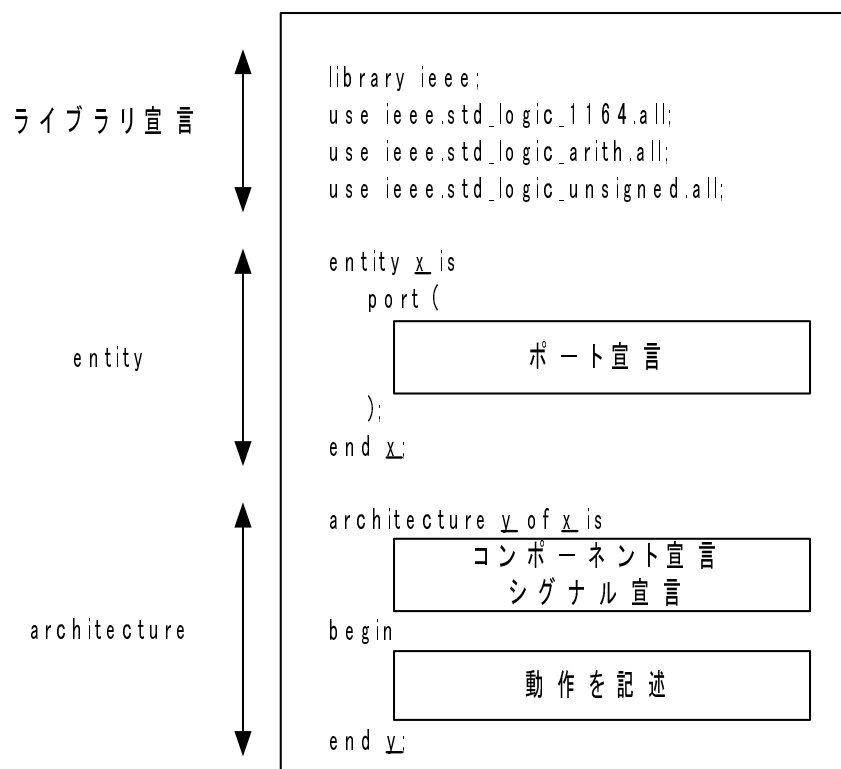
- 米国国防省主導- ソフトウェアのプログラミング言語をベースに策定
- 融通が利かず、あまり高機能でない。コード量は多くなる傾向かもしれない。
- 海外でのシェアは、こちらがかすかに多いかもしれない。
- BASIC に似たキーワードもあるものの、文法エラーの検出の強さは C 言語に近い。

Chapter 4

VHDL

4.1 4.1 基本形

VHDL のソースコードは、基本的には以下のような形です。



これがテンプレートとなります。コードを記述するときは、この中の x 、 y 、3つの枠の中を、目的に合わせて書き換えます。

ここで x は entity 名、 y は architecture 名です。ポート宣言はこの entity が外部とやりとりする信号（たとえば実際のデバイスのピン）を宣言します。

entity 名はこの回路に対する自由な名前（たとえば機能から名付けるなど）、architecture 名はどの entity に対しても同じ「rtl」という名前をつけておけば通常問題ありません。

これらは以下のようなイメージになります。

ファイルにはいくつかの entity、architecture を含めることができますが、この実習では一つのファイルに一つの entity、architecture を保存し、ファイル名は entity 名に合わせて設定してください。

4.1.1 4.1.1 解説

4.1.1.1 entity とその周辺

entity と architecture はいずれもそれ単体では何もできません。わざわざ分かれているところから想像できるとおり、同じ entity に対して異なる architecture を適用させることもできますが、この授業では扱いません。

また entity、architecture が動作するためには、entity の前にある 4 行のライブラリ宣言が必要です。

ここでは ieee の 1164、arith、unsigned を呼び出しています。この授業ではこの組み合わせを使用しますので、この 4 行のライブラリ宣言もそのまま使用します。

C 言語のインクルードファイルの宣言などと異なり、ファイルに複数の entity、architecture を記述する場合、ライブラリ宣言は entity 毎に宣言し直す必要があります。4 個の entity を記述していれば、その都度、合計 4 回のライブラリ宣言が必要です。

4.1.2 4.1.2 ファイルとの関係

一般にファイル名と entity 名をそろえ、拡張子は「.vhd」とします。

一つのファイルに複数の entity、architecture を記述することもできますが、その際はそれに対応した use、library の宣言も必要です。

この授業では、一つのファイルに一つの entity、architecture とするのがよいでしょう。

またライブラリのうち unsigned は名前から想像できるとおり符号なしの演算を行います。符号付きの演算を行いたい場合は代わりに signed を呼び出します。一つの entity、architecture 内では混在はできません。

4.2 4.2 信号の種類

信号は、ソフトウェアで言う変数と同様のイメージから考えてください。

たとえば C 言語であれば char、int、float 等があるように、VHDL でもライブラリを読み込むことで以下のような信号が扱えます。

4.2.1 4.2.1 std_logic

1bit の信号。通常使用する値は 0、1、Z です。

直値を扱う場合、1bit 分ずつシングルクォートで括ります。

0、1 は信号の L レベル、H レベルに対応します。

Z は「ハイインピーダンス」で、その信号が無い、何もつながっていない状態を作ります。この授業の範囲では使いません。

例

```
' 0 ' , ' 1 ' , ' Z '
```


4.2.2 4.2.2 std_logic?vector

std_logic を束ねたもので、任意のビット数を扱うことができます。

各ビットに代入できる値は std_logic と同じです。

束ねるビット数は宣言時に決めておきます。たとえば 10 進数で 0 ~ 100 までを扱うには 7bit 必要ですので、7 本の std_logic を束ねるため、以下のような形式になります。

```
std_logic_vector(6 downto 0)
```

この場合、MSB¹ が bit 6、LSB² が bit 0 という宣言になります。ここに代入する値は、たとえば 10 進数の 10 であれば

```
"0001010"
```

というふうにダブルクォーテーションで括ります。左が bit6、右が bit0 です。代入する値は、代入先の信号とビット幅が一致している必要があります³。

例

```
"0000", "010101010", "00Z00Z"
```

括弧 () でビット番号を指定することで、std_logic として 1bit 抜き出して扱うことができます。

注釈: std_logic_vector(0 to 6) という宣言の仕方もありますが、ソースやプロジェクトの中で混在させるのはバグのもとになるので通常はどちらかに統一します。

この授業では downto に統一します。

図の上を MSB、下を LSB とした場合、downto と to の関係は次の図のようになります。

4.2.3 4.2.3 integer

10 進数を直接扱います。bit は意識しません。std_logic や std_logic_vector とは直接接続することはできません。

4.3 4.3 ポート宣言

ポート宣言では、この entity (回路ブロック) が外部とやりとりする信号を定義します。

複数の信号を定義でき、それぞれ以下のような形です。

ポート名: 方向信号型

定義の区切りにセミコロンが必要です。定義の終わりを示すものではないので、最後の定義ではセミコロンは書きません。

例

```
extsignal1 : in std_logic;
extsignal2 : out std_logic_vector(3 downto 0);
extsignal3 : inout std_logic;
extsignal4 : buffer std_logic
```

¹ 変化することにより全体の値が大きく変化するビット

² 変化から値全体の値が一番小さいビット

³ ビット幅が一致していなくてもツール上エラーにならない場合があります、発見しづらいバグになりやすいです。

ポート名は任意の名前をつけ、architecture 内からその信号にアクセスできます。

方向については上記の4パターンがあります。

in この entity への入力です。architecture 内では読むことしかできません。

out この entity からの出力です。architecture 内で書き込むことしかできません。

inout 入出力両方ができます。architecture 内では読み書きができますが、信号が衝突すると電氣的に短絡（ショート）となるため、エラーとなります。エラーにならない対応はこの授業では扱いません。

buffer この entity からの出力です。out との違いは信号の再利用ができることですが、制約もあるので使うのは避けた方がよいでしょう。

それぞれのイメージを図に示します。読み書きは他の signal へ、または signal からの「代入」と読み替えてもよいでしょう。

buffer と inout はこの授業では使用しません。

4.4 4.4 シグナル宣言

アーキテクチャの中で使用する信号を宣言します。アーキテクチャの記述の中で、begin の前に行います（begin より後には宣言できません）。

例

```
signal intsignal1 : std_logic;  
signal intsignal2 : std_logic_vector(3 downto 0);  
signal intsignal3 : integer;  
signal intsignal4 : std_logic;
```

“signal” キーワードの後に、ポート宣言と同様に任意の名前をつけます。信号の種類もポート宣言と同様です。

アーキテクチャ内部でのみ使用するので、方向は記述しません。

また全ての宣言で末尾はセミコロンで閉じます。

4.5 4.5 値の代入

代入は“<=”で行います。

例（1）

```
intsignal1 <= '1';  
intsignal4 <= intsignal1;  
intsignal2 <= "0000";  
intsignal3 <= 5;
```

std_logic_vector の場合は値の扱い方にバリエーションがあるのでここで解説します。

合計したビット数が代入先の信号に一致していれば、&で結合できます。

括弧でビットを指定すれば、std_logic を代入したり、参照したりできます。

4.6 4.6 もう一つの信号 **variable** と代入

VHDL には port、signal の他にもう一つ、variable という信号のタイプがあります。

variable は後述する process 文の中でのみ使用でき、信号のタイプは他と同様 std_logic 等を使うことができます。

代入には := を使います。

variable はこの授業では扱いません。

Chapter 5

第5章 演習

5.1 5.1 注意事項

- 開発環境 Quatus II のプロジェクトは、実習項目毎に作り直してください。流用するとトラブルの元になります。
- Quatus II の中で日本語を入力するのは避けましょう。こちらもトラブルの元になります。

5.2 5.2 論理演算

5.2.1 5.2.1 演習

プロジェクト名 vhd101

スイッチ入力に対して論理演算を行い、結果を LED に出力します。

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity vhd101 is
port (
    sw1  : in std_logic;
    sw2  : in std_logic;
    led1 : out std_logic;
    led2 : out std_logic;
    led3 : out std_logic;
    led4 : out std_logic;
    led5 : out std_logic
);
end vhd101;

architecture rtl of vhd101 is
begin
    led1 <= sw1;
    led2 <= sw2;
    led3 <= sw1 and sw2;
    led4 <= sw1 or sw2;
```

```
led5 <= not sw1;
end rtl;
```

このコードで出力される回路は図のようなものになります。スイッチは基板奥の方（7セグLED側）に倒すとH、手前でLのレベルになります。LEDに対してはデバイスからHを与えると消灯、Lを与えると点灯します。たとえばled1はスイッチ1番を奥に倒すと消灯、手前に倒すと点灯します。led5は逆の点灯の仕方になります。

5.3 5.3 数値演算

5.3.1 5.3.1 演習

プロジェクト名 vhd102

スイッチ入力に対して数値演算を行い、LEDに表示します。

```
library ieee; use ieee.std_logic_1164.all; use ieee.std_logic_arith.all; use ieee.std_logic_unsigned.all;
entity vhd102 is port (sw1: in std_logic; sw2: in std_logic; sw3: in std_logic; sw4: in std_logic; sw5: in std_logic; sw6: in std_logic; sw7: in std_logic; sw8: in std_logic; led1: out std_logic; led2: out std_logic; led3: out std_logic; led4: out std_logic; led5: out std_logic; led6: out std_logic; led7: out std_logic; led8: out std_logic; s_led1a: out std_logic; s_led1b: out std_logic; s_led1c: out std_logic; s_led1d: out std_logic; s_led1e: out std_logic; s_led1f: out std_logic; s_led1g: out std_logic; s_led2a: out std_logic; s_led2b: out std_logic; s_led2c: out std_logic; s_led2d: out std_logic; s_led2e: out std_logic; s_led2f: out std_logic; s_led2g: out std_logic); end vhd102;
architecture behavioral of vhd102 is
    signal sw1: std_logic; signal sw2: std_logic; signal sw3: std_logic; signal sw4: std_logic; signal sw5: std_logic; signal sw6: std_logic; signal sw7: std_logic; signal sw8: std_logic;
    signal add: std_logic_vector(4 downto 1); signal sub: std_logic_vector(4 downto 1); signal led71: std_logic_vector(6 downto 0); signal led72: std_logic_vector(6 downto 0);
begin
    fix_polarity
```

```
    revision2
```

```
    sw1 <= sw1; sw2 <= sw2; sw3 <= sw3; sw4 <= sw4; sw5 <= sw5; sw6 <= sw6; sw7 <= sw7; sw8 <= sw8;
```

```
    revision1(norevision)
```

```
    sw1 <= not sw1; sw2 <= not sw2; sw3 <= not sw3; sw4 <= not sw4; sw5 <= not sw5; sw6 <= not sw6; sw7 <= not sw7; sw8 <= not sw8;
```

```
    left4switches & right4switches leftswitch is MSB
```

```
    sw <= sw1 & sw2 & sw3 & sw4 & sw5 & sw6 & sw7 & sw8; add(4 downto 1) <= sw(8 downto 5) + sw(4 downto 1); sub(4 downto 1) <= sw(8 downto 5) - sw(4 downto 1);
```

```
    make 7segLEDbitmap
```

```
    led71 <= "0010000" when (add = "1001") else "0000000" when (add = "1000") else "1111000" when (add = "0111") else "0000010" when (add = "0110") else "0010010" when (add = "0101") else "0011001" when (add = "0100") else "0110000" when (add = "0011") else "0100100" when (add = "0010") else "1111001" when (add = "0001") else "1000000" when (add = "0000") else "0000110";
    led72 <= "0010000" when (sub = "1001") else "0000000" when (sub = "1000") else "1111000" when (sub = "0111") else "0000010" when (sub = "0110") else "0010010" when (sub = "0101") else "0011001" when (sub = "0100") else "0110000" when (sub = "0011") else "0100100" when (sub = "0010") else "1111001" when (sub = "0001") else "1000000" when (sub = "0000") else "0000110";
```

map to pin

```
s1ed1a <= led71(0); s1ed1b <= led71(1); s1ed1c <= led71(2); s1ed1d <= led71(3); s1ed1e <= led71(4); s1ed1f <= led71(5); s1ed1g <= led71(6); s1ed2a <= led72(0); s1ed2b <= led72(1); s1ed2c <= led72(2); s1ed2d <= led72(3); s1ed2e <= led72(4); s1ed2f <= led72(5); s1ed2g <= led72(6);
```

debug

```
led1 <= not add(4); led2 <= not add(3); led3 <= not add(2); led4 <= not add(1); led5 <= not sub(4); led6 <= not sub(3); led7 <= not sub(2); led8 <= not sub(1); end behavioral;
```

スイッチの上位4ビットと下位4ビットの演算を行います。LEDの上位に加算の結果、下位に減算の結果が2進数で表示されます。たとえばスイッチを8から1まで、10100001 (1=ON, 0=OFF) とした場合、結果は10011011、そのままならばLEDの点灯パターンは01100100となります。

5.4 5.4 条件分岐 when ~ else ~

5.4.1 5.4.1 演習

プロジェクト名 vhd103

条件分岐の書き方の一つ、when ~ else ~ の例です。

```
library ieee; use ieee.std_logic1164.all; use ieee.std_logicarith.all; use ieee.std_logic_unsigned.all; entity vhd103 is port (sw1: in std_logic; sw2: in std_logic; sw8: in std_logic; led1: out std_logic); end vhd103; architecture behavioral of vhd103 is begin led1 <= sw2 when (sw8 = '1') else sw1; end behavioral;
```

sw8をHレベルにしておくと、LED1はsw2の操作に従って点灯します。sw8がLレベルの場合は、LED1はsw1の操作に従って点灯します。このコードから生成される回路のイメージは次の図の通りです。この記述ではいくつでも分岐させることができます。ans <= x1 when (y1 = '1') else x2 when (y2 = '1') else x3 when (y3 = '1') else x4 when (y4 = '1') else x5;

ただし、判定は記述した順番に行われます。この例でたとえばy1 ~ y4全てが1だった場合、y1の条件が採用されます(プライオリティエンコーダ=選択肢に優先順位のあるセクタ)。

5.5 5.5 条件分岐 with ~ select ~ when ~

5.5.1 5.5.1 演習

プロジェクト名 vhd104

条件分岐の書き方の一つ、with ~ select ~ when ~ の例です。

```
library ieee; use ieee.std_logic1164.all; use ieee.std_logicarith.all; use ieee.std_logic_unsigned.all; entity vhd104 is port (sw1: in std_logic; sw2: in std_logic; sw3: in std_logic; sw7: in std_logic; sw8: in std_logic; led1: out std_logic); end vhd104; architecture behavioral of vhd104 is signal sw: std_logic_vector(1 downto 0); begin sw <= sw8 & sw7; with sw select led1 <= sw3 when "11", sw2 when "10", sw1 when "01", '0' when others; end behavioral;
```

sw7とsw8の設定により、LEDの点滅を制御できるスイッチを切り替えられる回路です。このコードから生成される回路のイメージは次の通りです。中央のブロックはセクタで、上から入力される値がブロック中の値と一致すると、その箇所の信号が出力されます。

5.6 5.6 process 文

AND、OR、NOT などの組み合わせ回路や単純な条件分岐であればこれまでの内容で対応できますが、フリップフロップなどを組み合わせた順序回路を記述するには、process 文を使用します。

ヒント

フリップフロップ専用の記述ではありませんが、フリップフロップを使用する箇所のみ process 文を使うようにしていると、慣れていないうちはトラブルを避けやすくなります。基本的な構成は以下の通りです。LABEL : process (SENSITIVITY LIST) begin ~ EXPRESSION ~ end process ;

ラベル (LABEL) を付加するかどうかは任意ですが、識別のために固有の名前をつけておくのがよいでしょう。センシティビティリスト (SENSITIVITY-LIST) は、この process 文を動作させるトリガになる信号のリストを記述します。信号名はカンマで区切ります。式 (EXPRESSION) の部分には実際の動作を記述します。ただし条件分岐は、これまでの when ~ else ~ や with ~ select ~ when ~ は使用できません。後ほどでくる if 文や case 文を使用します (逆に if 文や case 文は process 文の外では使用できません)。表 5.1 組み合わせ process 文の when ~ else ~ with ~ select ~ when ~ if ~ elsif ~ endif case ~ end case 外 × × 中 × ×

5.7 5.7 フリップフロップの基本と if 文

フリップフロップは主に D 型、SR 型、JK 型、T 型があります。これらを VHDL で記述するときには一般に process 文を使用します。フリップフロップのリセットが非同期式の場合、D フリップフロップは以下のように記述します。

```
D FF: process(reset, clock) begin if(reset = '1') then q <= '0'; elsif (clock 'event and clock = '1') then q <= d; end if; end process;
```

この例では、すべての信号は std logic で定義されているとします。入力データは信号は d、出力データ信号は q としています。reset に H レベルの信号を与えるとリセット動作として、q を L レベルにセットしています。クロック信号 clock が H へ変化すると、q へ d を代入します。動作例を以下に示します。a の期間では reset = '1' が成り立つので q <= '0' が実行され続けます。b のタイミングでは clock'event and clock = '1' が成り立ちます。これは、clock が変化したこと (clock'event) と clock = '1' の組み合わせで、clock が 0 から 1 に変化したときに成り立つ、という記述の仕方です。このとき q <= d が実行されます。d が 1 なので最終的には q は 1 になります。c のタイミングも b のタイミング同様、clock が 0 から 1 に変化したことが成り立っています。q には d の値 0 が代入されます。d の期間では e や f のタイミングで clock'event が成り立っていますが、if 文 (後述) で reset = '1' が先に記述されているため、e、f は無視され、q には 0 が出力され続けます。ちなみに FPGA が起動したとき、フリップフロップの値が H、L どちらになっているかは決まっていません。そのため図で q はリセットがかかるまではどちらの値かわかりません (不定)。

5.7.1 5.7.1 同期、非同期

「非同期」動作は、クロックによらず動作する箇所、「同期」動作はクロックの変化点に合わせて動作することを示しています。先ほどのサンプルでは、リセットは非同期動作 (特にこの場合は「非同期リセット」とも呼ばれる) データの保持は同期動作としています。

注記

データをクロックに同期して保持するものを一般にフリップフロップ、同期せずに保持するものをラッチと呼びます。これは「デジタルコンピューティングシステム」p54 に書かれていることと逆ですが、会社などの組織毎に異なる場合があるので注意が必要です。

警告

FPGA に実装する回路において、一般にラッチは使用するべきではないとされています。フリップフロップを使った方が動作が予測しやすいため、デバイス自体にフリップフロップが組み込まれています。それに対しラッ

チは大規模回路では動作の予測が難しく、バグの元になりやすいため、です。慣れないうちは、できる限りすべてのフリップフロップは同じクロックで動作するようにし、動作を始める前にはすべて非同期リセットを行うように組むと失敗が少なくなります。

注記

「デジタル回路」は信号レベル（縦軸）を離散的に扱います。「同期回路」は時間軸を離散的に扱うための手法と考えられます。「非同期回路」は時間軸に不確定な要因を持つことになるため、動作の安定性に影響します。この授業の実習では、その実習で使用するすべてのフリップフロップは同じクロックで動作させるようにします。これらを守るためには、上の D フリップフロップの例のようなセンシティビティリスト（信号名は回路に合わせる）、if 文の構成（非同期リセットとクロックの動作しかなく、それ以上はその if、elsif の中に書き足していく）を基本にしていきます。

5.7.2 5.7.2 if 文

条件分岐の基本的なもので、基本的な形は以下の通りです。

```
if (CONDITION) then ~ EXPRESSION ~ end if;
```

条件 (CONDITION) が真であれば、処理 (EXPRESSION) が実行されます。複数の条件ごとに処理を分ける場合は以下ようになります。

```
if (CONDITION A) then ~ EXPRESSION A ~ elsif (CONDITION B) then ~ EXPRESSION B ~ elsif (CONDITION C) then ~ EXPRESSION C ~ else ~ EXPRESSION OTHER ~ end if;
```

条件 A (CONDITION-A) が真であれば処理 A (EXPRESSION-A) を実行、それ以外で条件 B (CONDITION-B) が真であれば処理 B (EXPRESSION-B)、それ以外で条件 C (CONDITION-C) が真であれば処理 C (EXPRESSION-C)、それ以外ではその他の処理 (EXPRESSION-OTHERS) を実行します。

注記一般のプログラミング言語と異なり、「else if」ではなく「elsif」と書きます。条件の書き方は、たとえば一致判定では `reset = '1'`、数値の大小の比較では、`count >= 1010` となります。条件は複数組み合わせることができ、そのときは `and`、`or`、`not` も使用できます。たとえば `a = '1' and b = '0'` とすれば、2つの条件が満たされた場合、と判定されます。クロックの変化点での動作、つまり同期動作について括弧の場合の条件は、`clock 'event and clock = '1'` が一般的となります。これは `clock` の変化点と、`clock` が H という2つの条件の AND となります。

注記

上記のような、クロックの変化点での動作の記述は、一つの if 文で複数書いても文法上は問題ありませんが、実際のデバイス上でそのような動作は行うことができません。一般に process 文の最初の if 文の構成は最大で `process (set, reset, clock) begin if (reset = '1') then ~ elsif (set = '1') then ~ elsif (clock 'event and clock = '1') then ~ end if; end process;`

となります。リセット時、セット（プリセット）時、その他通常動作時を同じレベルで設定しています。以下の書き方は許容されますが、理解できていないうちは行うべきではありません。

```
process (clock) begin if (clock 'event and clock = '1') then ~ end if; end process; process (clock) begin if (clock 'event and clock = '0') then ~ end if; end process;
```

同じクロックで動作する書き方ですが、1 = クロックの立ち上がり、0 = クロックの立ち下がりが混在しています。この2つの process 文の間でデータのやりとりがあるとき、デバイス上での動作条件が厳しくなります。以下の書き方は実機には基本的には組み込めません。

```
process (clock) begin if (clock 'event and clock = '1') then ~ elsif (clock 'event and clock = '0') then ~ end if; end process;
```

同じ process 文内で、同じクロックの 1 = クロックの立ち上がり、0 = クロックの立ち下がりが混在しています。同じ signal に対してこのような動作は指示できません。それぞれの処理に異なる signal を入れれば組み込むことはできますが、一つ前の例と同様使うべきではありません。

5.7.3 5.7.3 マルチソース

HDL では、基本的に全ての行が、常に「同時」に動作していると考えする必要があります。この点が、ソースコードを逐次解釈していくソフトウェアと大きく異なる点です。これにより、signal や port への値の代入の仕方に制限があります。architecture testissignal: stdlogic; begin a <= '0'; a <= '1'; end rtl; ソフトウェアであればこの場合、a に 0 が代入された後さらに a に 1 が代入されます。しかし HDL の場合、0 と 1 の代入は同時に行おうとし、論理合成の段階でエラーとなります (エラーメッセージには multi source という言葉が含まれます)。entity xisport(d1: in stdlogic; d2: in stdlogic; clk: in stdlogic; q: out stdlogic); end x; architecture rtlofxisignal: stdlogic; begin a proc: process(clk) begin if (clk 'event and clk = '1') then a <= d1; end if; end process; b proc: process(clk) begin if (clk 'event and clk = '1') then a <= d2; end if; end process; q <= a; end rtl; 別々の process 文で動作させていても、同じ signal に代入しようとしているため、両方の条件が必ず衝突しない書き方出ない限り論理合成でエラーになります (そしてそのように書いたとしても不具合の修正なので書き換えているうちに条件が崩れ multi source のエラーになりやすいです)。entity xisport(d1: in stdlogic; d2: in stdlogic; clk: in stdlogic; q: out stdlogic); end x; architecture rtlofxisignal: stdlogic; begin a proc: process(clk) begin if (clk 'event and clk = '1') then a <= d1; end if; end process; a <= d2; q <= a; end rtl;

このような process 文での順序回路と、通常の組み合わせ回路でも同様です。

5.7.4 5.7.4 process 文、if 文によるフリップフロップの記述のお約束

この教科書ではこの先順序回路を多く使用します。その際、後々のトラブルを避けるため、以下のような書き方を避けることをおすすめします。

```
process(reset, clock, a, b) begin if(reset = '1') then ~ RESET PROCEDURE ~ elsif(clock 'event and clock = '1' and a = '1') then ~ PROCEDURE A ~ elsif(clock 'event and clock = '1' and b = '1') then ~ PROCEDURE B ~ end if; end process;
```

どうやら、リセット処理 (RESET-PROCEDURE)、クロックに同期した上で a が 1 の時の処理 (PROCEDURE-A)、クロックに同期した上で b が 1 の時の処理 (PROCEDURE-B) を行いたいらしい。このような場合は以下のように、クロックによる動作と論理を分離して記述すると良いでしょう。

```
process(reset, clock) begin if(reset = '1') then ~ RESET PROCEDURE ~ elsif(clock 'event and clock = '1') then if(a = '1') then ~ PROCEDURE A ~ elsif(b = '1') then ~ PROCEDURE B ~ end if; end if; end process;
```

クロックの条件に追加で書いていると、この授業のレベルではその箇所でミスをしやすくなります。またクロックの条件と分離することで、他へのコピー & ペーストでのミスも減ります。このほか、以下の箇所で代入を行っても、意図した動作にならない可能性が高いです。

```
process(reset, clock) begin if(reset = '1') then ~ RESET PROCEDURE ~ elsif(clock 'event and clock = '1') then ~ MAIN PROCEDURE ~ end if; a <= b; end if;
```

a <= b を代入していますが、この位置ではセンシティビティリストに入る reset と clock の条件を無視した位置にあるため、どのような動作になるか保証できません。process 文の外か、if 文の中に入れましょう。

5.7.5 5.7.5 演習

プロジェクト名 vhd105

D フリップフロップを作る

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlogicunsigned.all; entity vhd105 is port(sw1: in stdlogic; data sw2: in stdlogic; clock sw3: in stdlogic; resetled1: out stdlogic); end vhd105; architecture behavioral of vhd105 is signal
```

```
d: stdlogic; begin dff: process (sw2, sw3) begin if (sw3 = '1') then d <= '0'; elsif (sw2 'event
and sw2 = '1') then d <= sw1; end if; end process; led1 <= d; end behavioral;
```

ヒント

“{(マイナス 2 個) 以降は改行までコメントとして無視されます。この例では、sw1 をデータ入力、sw2 をクロック、sw3 をリセットとして使用しています。シグナル d を D フリップフロップの実態という意味で定義しています。sw3 を H にすると、フリップフロップをリセットします。sw2 が H に変化したタイミング (立ち上がりエッジ) で、sw1 の内容を d へ代入します。そのほかのタイミングでは sw1 の変化の影響を受けません。process 文内の処理は sw2 と sw3 の変化でしか行われないため、センシティビティリストには sw2 と sw3 しか書いていません。led1 には d の内容を出力しています。

動作確認

1. sw1、sw2、sw3 をすべて OFF にする。
2. まず sw3 を ON → OFF して、リセットする。
3. sw2 を ON → OFF して、led1 が変化しないことを確認する。(入力データ sw1 が OFF なので、OFF のデータを改めてサンプルするだけ)
4. sw1 を ON にする。
5. sw2 を ON → OFF して、led1 が変化することを確認する。
6. sw1 を OFF にしても led1 が変化しないことを確認する。
7. sw2 を ON → OFF して、led1 が変化することを確認する。

5.7.6 5.7.6 課題

プロジェクト名 vhd106

下記のソースコードに追記して、JK フリップフロップを作れ

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlog
icunsigned.all; entity vhd106 is port (sw1: in stdlogic; Jsw2: in stdlogic; clock sw3: in st
dlogic; Ksw4: in stdlogic; reset led1: out stdlogic); end vhd106; architecture behavioral
of vhd106 is signal jk: stdlogic; begin jkffproc: process (sw4, sw2) begin if (sw4 = '1') then
```

put code below put code above

```
elsif (sw2 'event and sw2 = '1') then put code below put code above
```

```
end if; end process; led1 <= jk; end behavioral;
```

2 箇所の put code below” から put code above” の間にコードを書いてください。ソースコード中で指定しているようなスイッチのアサインで、JK フリップフロップを作成してください。

表 5.2 真理値表 sw2 (clock) sw1(J) sw3(K) led1(Q → jk) 以外 XX 維持 00 維持 101 010 11 反転
動作確認は以下の通り行います。

1. sw1 ~ sw4 を OFF にする。
2. sw4 を ON → OFF として、リセットする (led1 が点灯する)。
3. sw1 を ON → OFF として、led1 が変化しないことを確認する (J だけ動かしている)。
4. sw3 を ON → OFF として、led1 が変化しないことを確認する (K だけ動かしている)。
5. sw1 を ON にし、sw2 を ON → OFF として、led1 が消灯することを確認する。
6. sw1 を OFF にし、sw2 を ON → OFF としても、led1 が消灯したままであることを確認する。
7. sw3 を ON にし、sw2 を ON → OFF として、led1 が点灯することを確認する。

8. sw3 を OFF にし、sw2 を ON → OFF としても、led1 が点灯したままとなることを確認する。
9. sw1、sw3 を ON にし、sw2 を ON → OFF として、led1 が消灯することを確認する（注記参照）。
10. sw1、sw3 を ON にしたままで、sw2 を ON → OFF として、led1 が点灯することを確認する（注記参照）。

注記

最後の 2 つは、想定通りに動いたり、動かなかったりする。これは後述するチャタリングが原因。

5.8 5.8 カウンタ

フリップフロップはクロックに合わせて値を保持します。複数ビットのフリップフロップの組み合わせの出力に加算器を接続し、その結果をフリップフロップに戻すことで、次のクロックでは加算後の結果が保持されます。加える値が 1 であれば、1 ずつ増えていくカウンタとなります。

プロジェクト名 vhd107

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlogicunsigned.all; entity vhd107 is port (gclk0: in stdlogic; led1: out stdlogic; led2: out stdlogic; led3: out stdlogic; led4: out stdlogic; led5: out stdlogic; led6: out stdlogic; led7: out stdlogic; led8: out stdlogic); end vhd107; architecture behavioral of vhd107 is signal c: stdlogicvector(24 downto 0); begin count: process (gclk0) begin if (gclk0 'event and gclk0 = '1') then c <= c + 1; end if; end process; led8 <= not c(24); led7 <= not c(23); led6 <= not c(22); led5 <= not c(21); led4 <= not c(20); led3 <= not c(19); led2 <= not c(18); led1 <= not c(17); end behavioral;
```

クロックはあらかじめ、32MHz を選択しておきます（JP3、JP4、JP5 のうち JP5 だけショートさせる）。カウンタの信号は c で、process 文 count の中でクロックの立ち上がりエッジの度に 1 を加えます。c の幅は 25bit なので、0 ~ 33,554,431 までの値を扱うことができます。入力しているクロックが 32MHz なので、約 2 秒で一周するよう、LED が点灯します。LED には、上位 8bit のみ表示しています。この記述では、ソフトウェアの for や while のようなループが書かれていませんが、センシティブリティリストの gclk0 の変化 = クロックの変化毎にプロセス文の記述が呼び出されるため、自動的に繰り返し実行されます。

5.9 5.9 分周回路と T フリップフロップ

5.9.1 5.9.1 分周回路

カウンタを応用した回路構成の一つで、元の周波数の整数分の 1 の周波数を作り出します。2 分周（1/2 の周波数）、4 分周（1/4 の周波数）、8 分周（1/8 の周波数）の例を図に示します。2 分周を超える場合、作られる信号の形は 2 つのパターンがあります。一つは、デューティ比（H レベルと L レベルの期間の比）ができるだけ 50 : 50 になるよう近づけたパターン。もう一つは、作り出した周期の中で 1 クロック分だけ H レベルとし、残りは L とするパターン。通常デバイス内では後者、デバイスの外では前者が使われることが多いです。4 分周の 2 つめのパターンの例を以下に示します。

プロジェクト名 vhd108

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlogicunsigned.all; entity vhd108 is port (gclk0: in stdlogic; led1: out stdlogic; led2: out stdlogic); end vhd108; architecture behavioral of vhd108 is signal c: stdlogicvector(1 downto 0); signal r: stdlogic; begin divproc: process (gclk0) begin if (gclk0 'event and gclk0 = '1') then c <= c + 1; if (c = "11") then r <= '1'; else r <= '0'; end if; end if; end process; led1 <= not r; led2 <= '0'; end behavioral;
```

この中で `c` は 10 進数で 0 ~ 3 までカウントし、`r` にはそのうち 3 のときだけ '1' がセットされます。その反転による LED の点灯がされるため、`gclk0` 32MHz で 4 周期のうち 1 サイクルだけ点灯することになり、結果として単純に点灯している `led2` に比べ `led1` が暗くなります。

5.9.2 5.9.2 課題

プロジェクト名 `vhdl09`

約 1 秒周期で `led1` の点灯、消灯を繰り返す回路を作れ (約 0.5 秒点灯、約 0.5 秒消灯を繰り返す)

```
library ieee; use ieee.std_logic_1164.all; use ieee.std_logic_arith.all; use ieee.std_logic_unsigned.all;
entity vhd109 is port (gclk0: in std_logic; led1: out std_logic); end vhd109;
architecture behavioral of vhd109 is
    signal c: std_logic_vector(24 downto 0);
    counter signal r: std_logic;
    invert when it is H level signal t: std_logic;
    T flip flop begin
    cnt proc: process (gclk0)
        begin
            if (gclk0 'event and gclk0 = '1') then
```

put code below put code above

```
end if; end process;
t proc: process (gclk0)
    begin
        if (gclk0 'event and gclk0 = '1') then
```

put code below put code above

```
end if; end process;
led1 <= t; end behavioral;
```

分周回路と T フリップフロップ (のような動作) を組み合わせて作成します。基板上、JP5 のジャンパをショートし、`gclk0` の周波数を 32MHz に設定します。分周回路は、1 クロックだけ H レベルを作るような構成にする必要があります。先ほどの分周回路では "11" と比較していたところを、今回は $(2^{25})-1$ 、つまり "111111111111111111111111111111" と比較することになります。このときに `r` を 1 にセットします。T フリップフロップは単純で、入力信号が 1 であれば反転、0 であればデータを維持します。`r` は、32MHz を 33,554,431 回カウントする毎に 1 になるため、そのたびに `t` が反転されます。それを `led1` に出力すれば、目的の回路ができあがります。

5.10 5.10 積分回路とチャタリング除去

機械的なスイッチは、切り替えたときに信号の状態が不安定な期間があります。この不安定な期間は数 ms 程度続く場合もあります。人間にとっては感知できないほど短い時間ですが、FPGA は動作が十分速いため、この細かい変化を検出し、反応してしまいます。たとえば課題 `vhdl06` ではこれにより不安定な動作となっています。そのため、それを除去する回路を組み込む必要があります。これには積分回路を応用します。積分回路は基本的にはカウンタです。入力を単純に加算していきます。これを応用し、H が入力されている間は上限まで加算 (上限まで来たら値を維持)、一度でも L が来たら値をクリアします。この応用した回路に、スイッチからの信号を入力します。スイッチを切り替えない期間では、カウンタの値は 0 か最大のいずれかで安定します。スイッチを切り替えた時、入力は H と L が激しく切り替わります。応用した回路では入力の H が一定期間維持されると H を出力するよう動作しますので、この「一定期間」が数ミリ秒となるようなカウンタの最大値を設定すれば良いことになります。応用回路はたとえば以下のようなソースになります。`clock` は積分していくサイクル、`sw1` がチャタリングのあるスイッチからの入力、`r` がチャタリング除去後の出力です。

```
process (clock)
    begin
        if (clock 'event and clock = '1') then
            if (sw1 = '0') then
                c <= "0000000000000000";
            elsif (c /= "1111111111111111") and (sw1 = '1') then
                c <= c + 1;
            end if;
            if (c = "1111111111111111") then
                r <= '1';
            elsif (r <= '0') then
                r <= '0';
            end if;
        end if;
    end process;
```

最初の if 文では、カウンタによる積分回路を構成しています。スイッチが離されたら (`sw1 = '0'`) カウンタの値は即 0 とします。スイッチが押された場合 (`sw1 = '1'`)、カウンタがいっぱいでなければ (`c /= "1111111111111111"`、`"/=` は "一致していない" の意味) カウントします (`c <= c + 1`)。このカウンタは、スイッチが押されれば、カウンタのビットがすべて 1 になるまでカウントを続け、離されるとすぐにすべて 0 に戻します。スイッチからの信号が不安定な状態では、少しでも 0 がくればカウンタも 0 に戻されますが、十分安定すれば最後までカウントします。32MHz であれば 1 周期は約 31 ns なので、15bit で 32000 回カウントす

れば約 1 m s になります。スイッチが約 1 m s 安定すれば、最後までカウントされることになります。次の if 文では、前のカウンタが最後までカウントされたら 1、それ以外は 0 を出力します。スイッチ入力安定したことを判定することができます。このままでは 1 m s しか対応できないため、チャタリングが除去し切れていないように見える場合はカウンタのビットを追加する必要があります。

5.11 5.11 微分回路

人間や機械からの信号= 遅い信号と高速な内部の回路とのインタフェースをしやすい回路です。たとえばスイッチを動かす度に LED の点灯、消灯を切り替えたいとします。タイミングチャートは以下のようなものです。スイッチ入力をクロックとして T フリップフロップに入力できれば実現できますが、同期動作ではないためトラブルの原因になりやすく、採用できません。出力の信号を生成しているフリップフロップのクロックが十分遅ければやはり T フリップフロップで対応できそうですが、今回のボードに限らず通常は MHz 級の動作周波数ですのでそのような動作はできません。スイッチ入力の変化点を検出する回路ができれば、T フリップフロップでも望みの動作が可能になります。変化点を検出するため、微分回路と呼ばれる回路を使用します。原理は簡単で、フリップフロップ 2 段を通して 1 クロックずつ遅延した信号の間の特定の差だけを抽出します。実際の回路は以下ようになります。

5.11.1 5.11.1 演習

プロジェクト名 vhd110

スイッチを押す度に LED の点灯、消灯を切り替える回路を作る。

```
library ieee; use ieee.std_logic_1164.all; use ieee.std_logic_arith.all; use ieee.std_logic_unsigned.all; entity vhd110 is port (gclk0: in std_logic; sw1: in std_logic; led1: out std_logic); end vhd110; architecture behavioral of vhd110 is signal c: std_logic_vector(14 downto 0); signal r: std_logic; signal d1: std_logic; signal d2: std_logic; signal s: std_logic; signal t: std_logic; begin
```

```
    chattering_cancel
```

```
sum_proc: process (gclk0) begin if (gclk0'event and gclk0 = '1') then if (sw1 = '0') then c <= "0000000000000000"; else if ((c /= "1111111111111111") and (sw1 = '1')) then c <= c + 1; end if; if (c = "1111111111111111") then r <= '1'; else r <= '0'; end if; end if; end process;
```

```
    difference
```

```
diff_proc: process (gclk0) begin if (gclk0'event and gclk0 = '1') then d1 <= r; d2 <= d1; end if; end process; s <= d1 and (not d2);
```

```
    Tflip
```

```
flip_t_proc: process (gclk0) begin if (gclk0'event and gclk0 = '1') then if (s = '1') then t <= not t; end if; end if; end process; led1 <= t; end behavioral;
```

diff_proc とその直後の s への代入が微分回路になります。

5.12 5.12 10進カウンタ

5.12.1 5.12.1 課題

プロジェクト名 vhd111

0 ~ 9 まで、1 秒間に 1 ずつカウントする、10 進カウンタを作れ。カウント値は 9 の次は 0 に戻る。signal r は 1 秒に 1 回、1 サイクルだけ H レベルになる信号となる。led1 が点滅する場合は誤りがある。

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlog
icunsigned.all; entity vhd111 is port ( gclk0 : in stdlogic; led1 : out stdlogic; s1ed1a : out
stdlogic; s1ed1b : out stdlogic; s1ed1c : out stdlogic; s1ed1d : out stdlogic; s1ed1e : out
stdlogic; s1ed1f : out stdlogic; s1ed1g : out stdlogic ); end vhd111; architecture behavi
oral of vhd111 is signal d : stdlogicvector(24 downto 0); signal r : stdlogic; signal c : st
dlogicvector(3 downto 0); signal s1ed : stdlogicvector(6 downto 0); signal ck : stdlog
ic; begin divproc : process ( gclk0 ) begin if ( gclk0 ' event and gclk0 = ' 1 ' ) then d <= d + 1; if (d = "
111101000010001111111111" ) then r <= ' 1 ' ; d <= " 000000000000000000000000" ; else r <= ' 0 ' ; end if;
end if; end process; cntproc : process ( gclk0 ) begin if ( gclk0 ' event and gclk0 = ' 1 ' ) then
```

put code below put code above

```
end if; end process; chkproc : process ( gclk0 ) begin if ( gclk0 ' event and gclk0 = ' 1 ' ) then if ( c = "
1010" ) then ck <= not ck; end if; end if; end process; s1ed <= " 0010000" when ( c = " 1001" ) else "
0000000" when ( c = " 1000" ) else " 1111000" when ( c = " 0111" ) else " 0000010" when ( c = " 0110" ) el
se " 0010010" when ( c = " 0101" ) else " 0011001" when ( c = " 0100" ) else " 0110000" when ( c = " 0011"
) else " 0100100" when ( c = " 0010" ) else " 1111001" when ( c = " 0001" ) else " 1000000" when ( c = "
0000" ) else " 0000110" ; s1ed1a <= s1ed(0); s1ed1b <= s1ed(1); 50 第 5 章演習 s1ed1c <= s1ed(2
); s1ed1d <= s1ed(3); s1ed1e <= s1ed(4); s1ed1f <= s1ed(5); s1ed1g <= s1ed(6); led1 <= ck;
end behavioral;
```

7 セグメント LED の点灯パターンはコードの通りになる、LED の配置は図のようになっています。port に L を出力すると、電位差で電流が流れ LED が点灯します。

5.13 5.13 階層設計

規模が大きくなってくると、すべてのコードを一つの architecture に書ききることが問題になります。そのためコードを機能ブロック毎に分割し呼び出すことができるようになっています。例を以下に示します。

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlog
icunsigned.all; entity Ychild is port ( ~ PORT DEFINITION(CHILD) ~ ); end Ychild; architect
ure AYchild of Ychild is ~ SIGNAL DEFINITION(CHILD) ~ begin ~ EXPRESSIONS(CHILD) ~ end AYchild;
```

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlog
icunsigned.all; entity Xparent is port ( ~ PORT DEFINITION(PARENT) ~ ); end Xparent; archit
ecture AXparent of Xparent is component Ychild port ( ~ PORT DEFINITION(CHILD) ~ ); end component
; ~ SIGNAL DEFINITION(PARENT) ~ begin i Ychild : Ychild port map ( ~ PORT CONNECTION(CHILD
PARENT) ~ ); ~ OTHER EXPRESSIONS(PARENT) ~ end AXparent;
```

処理を抜き出した、他から呼び出される側の entity は、通常通り作成します。処理を呼び出す場合は 2 段階の手続きがあります。まず architecture から begin までの間で、component 宣言を行います。ここで、呼び出す entity はすべて宣言します。次に begin の後で、実際に呼び出します。複数個呼び出すこともできますが、その場合は entity 名の前のコロンの前、インスタンス名（ここでは i Ychild ）はそれぞれ固有のものにします。10 進数カウンタに階層化を適用します。

counter10.vhd

注記

counter10.vhd と ledconv.vhd は、vhd111b プロジェクトを作成した後、それぞれ vhd111b.vhd と同様に le → new → VHDL le で作成します。

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlog
icunsigned.all; entity counter10 is port ( gclk0 : in stdlogic; sw1 : in stdlogic;
```

```

ein:instdlogic;cin:instdlogic;
cout:outstdlogic;

cnt:outstdlogicvector(3 downto 0);end counter10;architecture behavioral of counter10 is
signal c:stdlogicvector(3 downto 0);begin cnt proc: process (sw1, gclk0) begin if (sw1 = '1')
then c <= "0000";elsif (gclk0'event and gclk0 = '1') then if ((ein = '1') and (cin = '1')) then
    put code below put code above
end if;end if;end process;cout <= '1' when (c = "1001") else '0';cnt <= c;end behavioral;

```

c in は下の桁からの桁上げのリクエストを受け付けるポート、c out は上の桁への桁上げのリクエストを出力するポート。e in は H レベルが入るとカウントを行うポート

```

ledconv.vhdl library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee
.stdlogicunsigned.all; entity ledconv is port (cnt:instdlogicvector(3 downto 0); slexa:
outstdlogic; slexb:outstdlogic; slexc:outstdlogic; sledxd:outstdlogic; sledxe:out
stdlogic; sledxf:outstdlogic; sledxg:outstdlogic); end ledconv; architecture behavioral
of ledconv is signal sled:stdlogicvector(6 downto 0); begin sled <= "0010000" when (cnt =
"1001") else "0000000" when (cnt = "1000") else "1111000" when (cnt = "0111") else "0000010"
when (cnt = "0110") else "0010010" when (cnt = "0101") else "0011001" when (cnt = "0100") else "
0110000" when (cnt = "0011") else "0100100" when (cnt = "0010") else "1111001" when (cnt = "0001
") else "1000000" when (cnt = "0000") else "0000110"; sledxa <= sled(0); sledxb <= sled(1); sl
edxc <= sled(2); sledxd <= sled(3); sledxe <= sled(4); sledxf <= sled(5); sledxg <= sled(6
); end behavioral;

```

プロジェクト名 vhd11b

vhd11b.vhd

```

library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlog
icunsigned.all; entity vhd11b is port (gclk0:instdlogic; sw1:instdlogic; sled1a:outstd
logic; sled1b:outstdlogic; sled1c:outstdlogic; sled1d:outstdlogic; sled1e:outstdlo
gic; sled1f:outstdlogic; sled1g:outstdlogic); end vhd11b; architecture behavioral of
vhd11b is component counter10 port (gclk0:instdlogic; sw1:instdlogic;

```

```

ein:instdlogic;cin:instdlogic;
cout:outstdlogic;

cnt:outstdlogicvector(3 downto 0);end component; component ledconv port (cnt:instdlogicvec
tor(3 downto 0); slexa:outstdlogic; slexb:outstdlogic; slexc:outstdlogic; sledxd:outs
tdlogic; sledxe:outstdlogic; sledxf:outstdlogic; sledxg:outstdlogic);end component
; signal d:stdlogicvector(24 downto 0); signal r:stdlogic; signal cnt1:stdlogicvector(3 downto 0); begin di v proc: process
(gclk0) begin if (gclk0'event and gclk0 = '1') then if (d = "111101000010001111111111") then d <= "
0000000000000000000000000000"; r <= '1'; else d <= d + 1; r <= '0'; end if; end if; end process; cnt1 <=
'1'; icounter1: counter10 port map (gclk0 => gclk0, sw1 => sw1, ein => r, cin => cin1, cout => cout
1, cnt => cnt1); iconv1: ledconv port map (cnt => cnt1, slexa => sled1a, slexb => sled1b, slexc => s
led1c, sledxd => sled1d, sledxe => sled1e, sledxf => sled1f, sledxg => sled1g); end behavioral;

```

この状態で、ソースコードの関係は以下になります。counter 10 を呼び出しているときのキーワード”i counter 1” や ledconv に対する”i conv 1” がインスタンス名となります。固有のインスタンス名をつけることで、同じ回路ブロックを複数回呼び出すことができます。ポートの接続はこのコードのように、左辺に呼び出される回路のポート名、=> をはさんで右辺に呼び出し側の port 名または signal 名を書き、カンマで区切ります。カンマは区切りなので最後の接続の後には書きません。

5.14 5.14 状態遷移と、条件分岐 case ~ when ~

例えばカップラーメンを食べようとした場合でも、（誰かが作ってくれる場合を除いて）手順があります。

1. カップラーメンの包装をいいてふたを開けて小袋をとりだす。必要なものはここに入れる。2. やかんに水を入れてコンロにかけて沸かす。3. 沸騰するのを待つ。4. 沸騰したら火を止めて、お湯をカップに注ぐ。5. 3分（または5分）待つ。6. 必要に応じて小袋の中身をカップに入れる。まぜる。7. 食べてよし。

小袋が入ってなかったり電気ポットでお湯を沸かしたり、湯切りタイプだったりとバリエーションがありますが、オーソドックなものではこのように順番があり、例えば1、2は入れ替えたり並列に行ってもいいですが、基本的に手順通りに行います。プログラミングもこういったところに似ていますが、このように手順通りに処理を行いたい場合、ソフトウェアと同様状態遷移の考え方を使います。状態遷移は通常は図で状態間のつながりを描きながら設計をし、ソースコードには人間が考えながら書き込むしかありません（図を描くことでソースコードを出力してくれるツールもあります）。ソースコード上で、各「状態」を数字で表しながらコーディングすることもできますが、各「状態」に名前をつけて管理しやすくすることができます。（C言語のenumと同じような働きです）使い方はたとえば以下になります。

```
type RAMEN is (MAKE READY CUP, BOILWATER, POURWATER, WAIT MINUTES, READY TO EAT);
signal ramen_stat : RAMEN;
begin ramen_stat <= MAKEREADY;
```

1行目ではRAMENという型を新しく定義しています。この型のとりうる値は“MAKE READY CUP”の5種類です。2行目では、RAMENの型のsignal、ramen_statを宣言します。ramen_statにはMAKE READY CUPなど、定義した名前を代入したり、if文で比較したりすることができます。ただし勝手に作った型ですので、そのままではportから出力しても使えませんし、例えばLEDの点灯パターンに対しては全く対応がとれないため使えません。あくまで内部で使うのが基本です。このようにしなくても、自分でこれらの状態を管理すれば、たとえばintegerのsignalでも管理できます。ただしわかりやすい名前をつけることで、ソースコードが理解しやすくなります。

5.15 5.15 条件分岐 case ~ when ~

注記 case文はprocess文の中でのみ使用できます。状態遷移専用ではありませんが、case文はよく組み合わせられて使われます。基本的な形は以下の通りです。

```
case (CONDITION SIGNAL) is
when (VALUE A) => ~ EXPRESSION A
when (VALUE B) => ~ EXPRESSION B
when other => ~ EXPRESSION OTHER
end case;
```

ある一つのsignalの値毎に処理を分岐させることができます。処理は、次のwhenまで何行でも書くことができます。

5.15.1 5.15.1 演習

スイッチによって、特定のLEDを点灯させる回路を作る。・LED1が点灯している場合、sw2を操作することでLED1が消灯し、LED2が点灯する。・LED2が点灯している場合、sw1を操作することで、LED2が消灯し、LED1が点灯する。sw2を操作した場合は、LED2が消灯し、LED3が点灯する。・LED3が点灯している場合、sw1を操作することで、LED3が消灯し、LED2が点灯する。

sw_lter.vhd

```
library ieee; use ieee.stdlogic1164.all; use ieee.stdlogicarith.all; use ieee.stdlogicunsiged.all;
entity swfilter is
port (gclk0 : in stdlogic; sw : in stdlogic; sw_out : out stdlogic);
end swfilter;
architecture behavioral of swfilter is
signal c : stdlogicvector(14 downto 0);
signal r : stdlogic;
signal d1 : stdlogic;
signal d2 : stdlogic;
signal s : stdlogic;
begin
sum_proc : process (gclk0)
begin
if (gclk0'event and gclk0 = '1') then
if (sw = '0') then c <= "0000000000000000";
elsif ((c /= "11111111111111") and (sw = '1')) then c <= c + 1;
end if;
if (c = "11111111111111") then r <= '1';
else r <= '0';
end if;
end if;
end process;
diff_proc : process (g
```

```
c lk0) begin if ( gclk0 ' event and g c lk0 = ' 1 ' ) then d1 <= r; d2 <= d1; s <= d1 and ( not d2 ); end if; end pr o c  
e s s; sw out <= s; end beha v i o r a l;
```

プロジェクト名 vhd112

vhd112.vhd

```
library ieee; use ieee. stdlogic1164. all; use ieee. stdlogicarith. all; use ieee. stdlog  
ic unsigned. all; entity vhd112 is port ( g c lk0: in stdlogic; sw1: in stdlogic; sw2: in stdlogi  
c; led1: out stdlogic; led2: out stdlogic; led3: out stdlogic); end vhd112; architecture behav  
i o r a l o f vhd112 is component swfilter port ( g c lk0: in stdlogic; sw: in stdlogic; sw out: out stdlo  
gic); end component; signal sw1d: stdlogic; signal sw2d: stdlogic; type LED STAT is (P LED1,  
P LED2, P LED3); signal lstat: LED STAT; signal led: stdlogicvector (3 downto 1); begin sw1 fi  
lter: swfilter port map ( g c lk0 => gclk0, sw => sw1, sw out => sw1d); sw2 filter: swfilter port map (  
g c lk0 => gclk0, sw => sw2, sw out => sw2d); stat proc: process ( g c lk0) begin if ( gclk0 ' event and g c  
lk0 = ' 1 ' ) then case lstat is when P LED1 => if ( sw2d = ' 1 ' ) then lstat <= P LED2; end if; led <= " 001 "  
; when P LED2 => if ( sw1d = ' 1 ' ) then lstat <= P LED1; e l s i f ( sw2d = ' 1 ' ) then lstat <= P LED3; end i  
f; led <= " 010 "; when P LED3 => if ( sw1d = ' 1 ' ) then lstat <= P LED2; end if; led <= " 100 "; when o the  
r s => lstat <= P LED1; led <= " 111 "; end case; end if; end pr o c e s s; led1 <= not led ( 1 ); led2 <= not l  
ed ( 2 ); led3 <= not led ( 3 ); end beha v i o r a l;
```

case 文とは関係ありませんが、sw lter は sw にスイッチからの信号を接続し、sw out にチャタリング除去後の信号を出力する回路ブロックです。

5.16 5.16 ストップウォッチ

1/100 秒単位のストップウォッチを実装する。表示は4桁の7セグLEDで行い、10進数のカウントで、99.99秒までカウントできること。

5.16.1 5.16.1 課題：最小限の構成

ラップ・スプリット機能の無いストップウォッチを実装する。操作は2つのスイッチで行う。スタート・ストップ押す毎にカウント動作とストップを切り替える。カウント動作中に押してストップした後、再度押した場合、続きからカウント動作を行う。リセット押すとカウントしていた値をクリアする。カウント動作中に押した場合の動作は定義しない（どのように動作してもよい）。99.99秒の次のカウントは未定義（どのように動作してもよい）。

5.16.1.1 ヒント

vhd111b の10進カウンタ counter10、7セグLEDへの変換を行う ledconv、vhd112のチャタリング除去回路 sw lter が応用できる。今カウント中なのか止まっているのか、判定する signal を作って制御する。

5.16.2 5.16.2 課題：応用

ラップ、またはスプリット、または両方の機能のついたストップウォッチを実装する。操作は2つのスイッチで行う。スタート・ストップ押す毎にカウント動作とストップを切り替える。カウント動作中に押してストップした後、再度押した場合、続きからカウント動作を行う。ラップ/スプリット・リセット押したときの動作状況に合わせて、このスイッチの動作も変化する。カウントがストップしている時に押すとリセット動作として、カウントしていた値をクリアする。カウント動作中に押すとスプリット動作として、表示している値を止める。カウント動作は継続する。スプリット状態で再度押した場合、カウントしている値の表示を再開する。カウント動作中にスイッチを押して表示を止め、ストップボタンでカウントを停止しても表示は維持する。その状態でこのスイッチを押すと、カウントがストップした値を表示する。この状態でもう一度このスイッチを押すと、

カウントはクリアする（リセット）その前にスタートのスイッチを押すと、その値からカウントを再開する。ラップの場合、ボタンを押すと表示している値をとめ、カウントは0から再開する。ラップ機能、スプリット機能を両方実装する場合は、スイッチの一つをモードの切り替えに割り振る。99.99 秒の次のカウントは 00.00 秒とする。

5.16.2.1 ヒント

現在どの状況にいるのかを保持するシグナルか状態遷移を応用する。

5.16.3 5.16.3 その他課題

タイマーを作成する。表示は、上位 2 桁が「分」、下位 2 桁が「秒」とする。第一段階は、決められた時間（たとえば 3 分など）のカウントダウンを行う。0 までカウントダウンが完了したらそこで停止する。リセットするとカウントする時間をリロードする。第二段階は、カウントする時間を 2 つから選べるようにする（たとえば 3 分と 5 分）。最後は、任意の時間を設定できるようにする。

Chapter 6

第6章 付録

6.1 6.1 参考情報

VHDL Language Reference Manual 言語の規格

http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?reload=true&arnumber=4772740

VHDL によるハードウェア設計入門 CQ 出版/ 長谷川裕恭著

HDL サンプル記述集 CQ 出版

トランジスタ技術 SPECIAL No. 79 初歩の HDL 設計学習帳 CQ 出版

トランジスタ技術 SPECIAL for フレッシュヤーズ No. 105 ロジック回路設計はじめの
一歩 CQ 出版例題で学ぶ論理回路設計

森北出版/ 富川武彦著

ディジタルコンピューティングシステム昭晃堂/ 亀山充隆著

Chapter 7

Indices and tables

- `genindex`
- `modindex`
- `search`