

7セグメントディスプレイ論理回路の最適化手法に関する比較研究

学籍番号: 08D23091

氏名: 辻 孝弥

提出日: 2025 年 6 月 18 日

1 実験背景

7セグメントディスプレイは、数字やアルファベットを表示するための最も基本的な表示デバイスの一つである。デジタル時計、電卓、各種計測器において広く使用されており、現代のデジタル技術の基礎を成している。

7セグメントディスプレイは、a～g までの7つのセグメントから構成され、これらの点灯パターンによって16進数(0～F)を表現する。各セグメントの制御には論理回路が必要であり、入力となる4ビットの2進数(0000～1111)に対して、適切な出力パターン(7ビット)を生成する必要がある。

この論理回路の設計において、回路の複雑さとコストを最小化するため、論理式の最簡化が重要な課題となる。論理式の最簡化には複数の手法が存在し、それぞれ異なるアプローチと特徴を持つ。

2 実験目的

本実験の目的は以下の通りである：

1. 16進数表示用7セグメントディスプレイの論理回路を設計し、手動による最簡化を行う
2. 異なる最適化手法(手動カルノー図法、CPLX 線形計画法、クワイン・マクラスキー法)による結果を比較分析する
3. 各手法の特徴と差異が生じる理由を理論的に考察する
4. クワイン・マクラスキー法の計算複雑性を実証し、入力ビット数増加による指数関数的増大を確認する

3 実験の理論

3.1 7セグメントディスプレイの原理

7セグメントディスプレイは7つのセグメント(a, b, c, d, e, f, g)から構成される。4ビット入力(X_1, X_2, X_3, X_4)に対して、各セグメントの点灯状態を決定する論理関数を求める必要がある。

3.2 論理最簡化手法

3.2.1 カルノー図法

カルノー図法は、真理値表を2次元のマップ上に配置し、隣接する1のグループを視覚的に識別することで最簡主加法標準形を求める手法である。4変数の場合、 4×4 のマップを使用し、以下の手順で最簡化を行う：

1. 真理値表から出力が 1 となる最小項をカルノー図上にマッピング
2. 隣接する 1 のセルをグループ化（1 個、2 個、4 個、8 個の 2 の累乗単位）
3. 各グループから論理項を導出
4. 全ての最小項をカバーする最小の論理項集合を選択

3.2.2 線形計画法（CPLEX）

CPLEX を用いた最適化では、論理式の最簡化を整数線形計画問題として定式化する。目的関数を使用する論理項の数の最小化とし、制約条件として全ての最小項をカバーすることを設定する。

3.2.3 クワイン・マクラスキー法

クワイン・マクラスキー法は以下の 2 段階から構成される：

1. **素項の生成**：最小項を 1 の数によってグループ化し、隣接グループの項を結合して素項を生成
2. **Petrick's Method**：素項の中から最小カバーを選択

4 実験結果

4.1 課題 1：真理値表の完成と論理回路設計

4.1.1 真理値表（表 2.1）

表 1 に 16 進数表示用 7 セグメントディスプレイの完全な真理値表を示す。

表 1 7 セグメントディスプレイの真理値表（表 2.1）

入力 (4bit)	表示	出力 (abcdefg)
0000	0	1111110
0001	1	0110000
0010	2	1101101
0011	3	1111001
0100	4	0110011
0101	5	1011011
0110	6	1011111
0111	7	1110000
1000	8	1111111
1001	9	1111011
1010	A	1110111
1011	b	0011111
1100	C	1001110
1101	d	0111101
1110	E	1001111
1111	F	1000111

4.1.2 カルノー図による導出過程

各セグメントについて、カルノー図を用いた詳細な導出過程を示す。

セグメント a の導出例：

セグメント a が点灯する入力は：0, 2, 3, 5, 6, 7, 8, 9, A, C, E, F（12 個の最小項）

4 変数カルノー図において、変数配置を以下のように設定：

- 横軸： X_3X_4 （00, 01, 11, 10 の順）
- 縦軸： X_1X_2 （00, 01, 11, 10 の順）

カルノー図上で 1 となるセルをマッピングし、隣接する 1 のグループを特定：

1. グループ 1： $(X_1X_2X_3X_4) = 00_0, 01_0, 10_0 \rightarrow \overline{X_2} \cdot \overline{X_4}$
2. グループ 2： $(X_1X_2X_3X_4) = 0_1_ \rightarrow \overline{X_1} \cdot X_3$
3. グループ 3： $(X_1X_2X_3X_4) = _11_ \rightarrow X_2 \cdot X_3$
4. グループ 4： $(X_1X_2X_3X_4) = 0101 \rightarrow \overline{X_1} \cdot X_2 \cdot X_4$
5. グループ 5： $(X_1X_2X_3X_4) = 1_0 \rightarrow X_1 \cdot \overline{X_4}$
6. グループ 6： $(X_1X_2X_3X_4) = 1000 \rightarrow X_1 \cdot \overline{X_2} \cdot \overline{X_3}$

したがって、セグメント a の最簡論理式は：

$$a = \overline{X_2} \cdot \overline{X_4} + \overline{X_1} \cdot X_3 + X_2 \cdot X_3 + \overline{X_1} \cdot X_2 \cdot X_4 + X_1 \cdot \overline{X_4} + X_1 \cdot \overline{X_2} \cdot \overline{X_3}$$

4.1.3 カルノー図による導出

図 1～3 に各セグメント（a～g）のカルノー図を示す。これらの図は、上記の論理式導出過程における最小項のグループ化を視覚的に表現したものである。

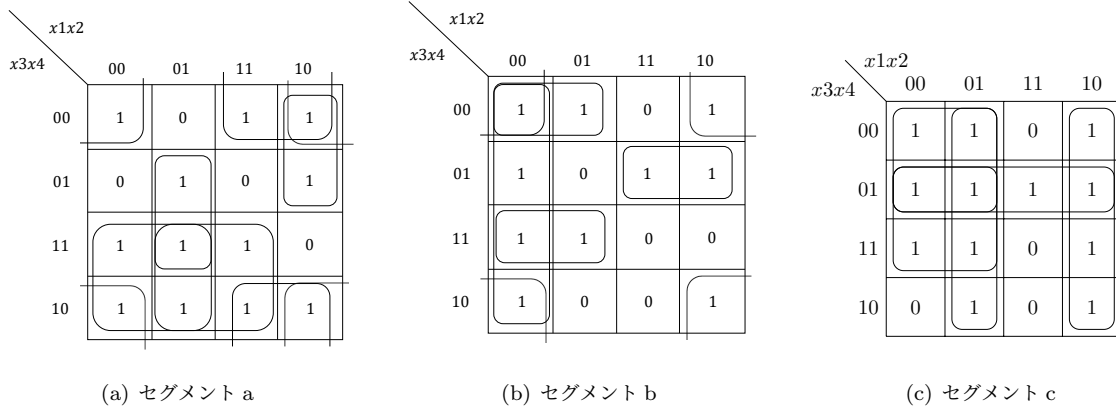


図 1 カルノー図 (a, b, c)

$x1x2$		00	01	11	10
$x3x4$	00	1	0	1	1
	01	0	1	1	1
	11	1	0	0	1
	10	1	1	1	0

(a) セグメント d

$x1x2$		00	01	11	10
$x3x4$	00	1	0	1	1
	01	0	0	1	0
	11	0	0	1	1
	10	1	1	1	1

(b) セグメント e

$x1x2$		00	01	11	10
$x3x4$	00	1	1	1	1
	01	0	1	0	1
	11	0	1	1	1
	10	0	1	1	1

(c) セグメント f

図2 カルノー図 (d, e, f)

$x1x2$		00	01	11	10
$x3x4$	00	0	1	0	1
	01	0	1	1	1
	11	1	0	1	1
	10	1	1	1	1

(a) セグメント g

図3 カルノー図 (g)

同様の手順により、全セグメントの論理式を導出した：

$$a = \overline{X_2} \cdot \overline{X_4} + \overline{X_1} \cdot X_3 + X_2 \cdot X_3 + \overline{X_1} \cdot X_2 \cdot X_4 + X_1 \cdot \overline{X_4} + X_1 \cdot \overline{X_2} \cdot \overline{X_3} \quad (1)$$

$$b = \overline{X_2} \cdot \overline{X_4} + \overline{X_1} \cdot \overline{X_2} + \overline{X_1} \cdot \overline{X_3} \cdot \overline{X_4} + X_1 \cdot \overline{X_3} \cdot X_4 + \overline{X_1} \cdot X_3 \cdot X_4 \quad (2)$$

$$c = \overline{X_1} \cdot \overline{X_3} + \overline{X_1} \cdot X_4 + \overline{X_3} \cdot X_4 + \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2} \quad (3)$$

$$d = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_4} + X_1 \cdot \overline{X_3} + X_2 \cdot \overline{X_3} \cdot X_4 + \overline{X_2} \cdot X_3 \cdot X_4 + X_2 \cdot X_3 \cdot \overline{X_4} \quad (4)$$

$$e = \overline{X_2} \cdot \overline{X_4} + X_1 \cdot X_2 + X_1 \cdot X_3 + X_3 \cdot \overline{X_4} \quad (5)$$

$$f = \overline{X_3} \cdot \overline{X_4} + \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2} + X_2 \cdot X_3 \quad (6)$$

$$g = \overline{X_1} \cdot X_2 \cdot \overline{X_3} + X_1 \cdot \overline{X_2} + X_1 \cdot X_4 + \overline{X_2} \cdot X_3 + X_3 \cdot \overline{X_4} \quad (7)$$

4.1.4 論理回路図

上記の論理式に基づき、AND、OR、NOT ゲートのみを用いた論理回路を設計した。図 4～6 に各セグメントの個別回路を、図 7 に全体回路を示す。

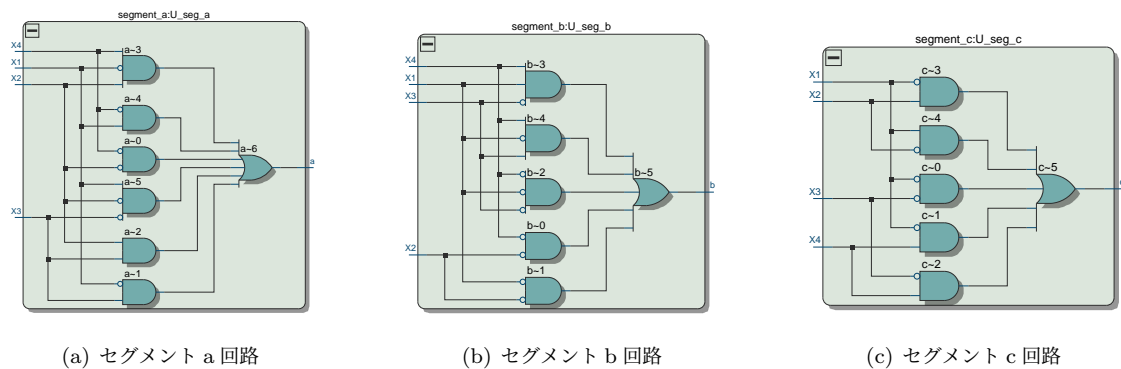


図 4 セグメント個別回路 (a, b, c)

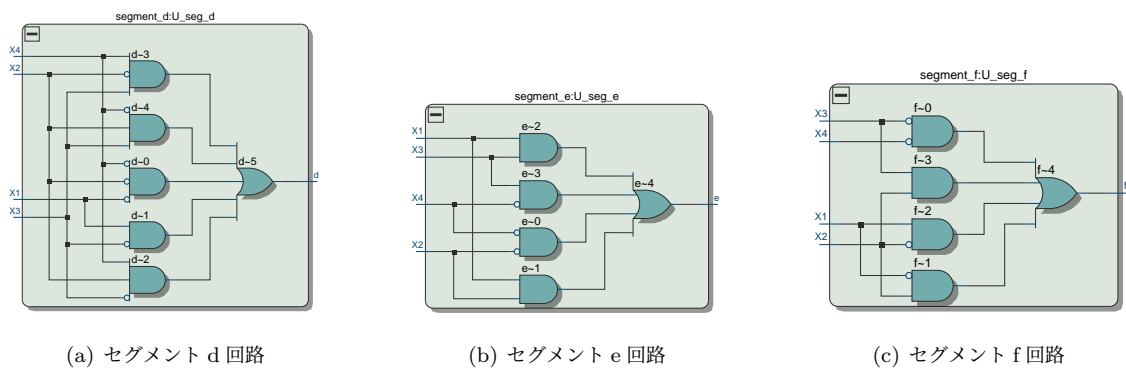


図 5 セグメント個別回路 (d, e, f)

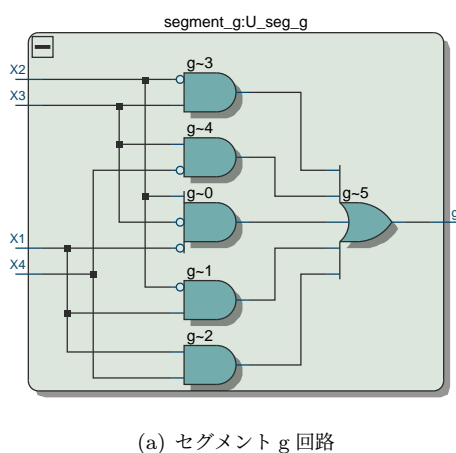


図 6 セグメント個別回路 (g)

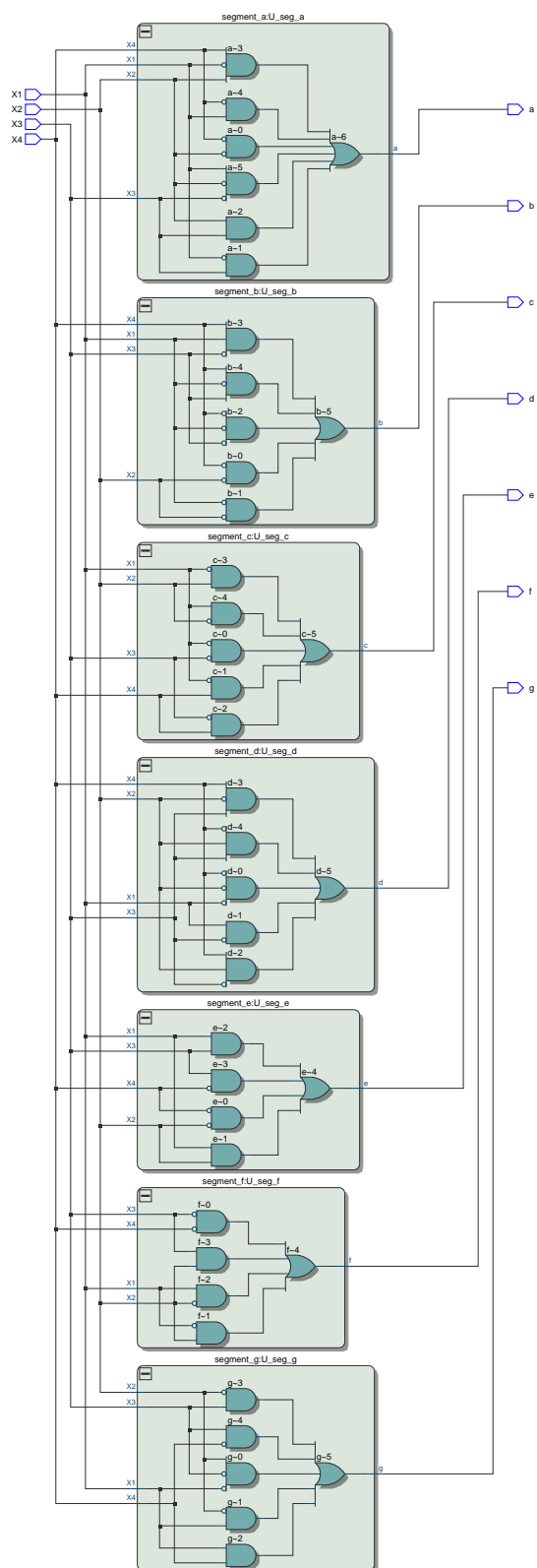


図7 7セグメントディスプレイ完全回路図

4.2 課題 2：最適化手法の比較

4.2.1 CPLEX 最適化との比較

表 2 に手動導出と CPLEX 最適化、クワイン・マクラスキー法による結果の比較を示す。

表 2 最適化手法の比較結果

セグメント	手動（項数）	CPLEX（項数）	QMC（項数）	一致度
a	6	6	6	完全一致
b	5	5	5	完全一致
c	5	5	5	完全一致
d	5	5	5	完全一致
e	4	4	4	完全一致
f	4	4	4	完全一致
g	5	5	5	項は異なるが項数同じ

4.2.2 論理式が厳密に等しくない理由

セグメント g において以下の差異が確認された：

手動導出結果：

$$g = \overline{X_1} \cdot X_2 \cdot \overline{X_3} + X_1 \cdot \overline{X_2} + X_1 \cdot X_4 + \overline{X_2} \cdot X_3 + X_3 \cdot \overline{X_4}$$

CPLEX 結果：

$$g = \overline{X_1} \cdot \overline{X_3} \cdot X_4 + \overline{X_1} \cdot X_2 \cdot \overline{X_3} + \overline{X_1} \cdot X_2 \cdot \overline{X_4} + X_1 \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2}$$

クワイン・マクラスキー結果：

$$g = X_3 \cdot \overline{X_4} + \overline{X_1} \cdot X_2 \cdot \overline{X_3} + \overline{X_1} \cdot X_2 \cdot \overline{X_4} + X_1 \cdot X_4 + X_1 \cdot \overline{X_2}$$

この差異の理由は：

1. 複数最適解の存在：同じ最小項数で複数の論理式表現が可能
2. 最適化基準の違い：CPLEX（数値最適化）と QMC（体系的アルゴリズム）の選択基準の相違
3. don't care 条件の扱い：異なるアプローチでの冗長項削減方法

4.3 課題 3：クワイン・マクラスキー法の計算複雑性

4.3.1 計算複雑性の実証実験

入力ビット数を 4 ビットから 7 ビットに拡張し、計算時間の変化を測定した。

表 3 入力ビット数による計算時間の変化

ビット数	最小項数	素項数	QMC 時間 (秒)	Petrack 時間 (秒)
4	12	8	0.0006	0.0017
7	45	38	0.0012	483.0667
比率	3.75 倍	4.75 倍	2.0 倍	284,157 倍

4.3.2 指数関数的増大の理由

7ビット入力で計算時間が指数関数的に増大する主要因は、Petrick's Method での組合せ爆発である：

1. 解候補数の爆発的增加：
 - 4ビット：最大 32 個の解候補
 - 7ビット：最大 67,552 個の解候補（2,100 倍増加）
2. 分配処理の計算量：各最小項処理で解候補が乗算的に増加
3. メモリ使用量：大量の解候補保持によるメモリ消費

実測では7ビット入力で Petrick's Method が約 8 分間実行され、実用限界が 6-7 ビット程度であることが確認された。

5 考察

5.1 手法の特徴と適用範囲

1. カルノー図法：
 - 利点：視覚的で直感的、学習効果が高い
 - 欠点：4 変数程度が実用限界
 - 適用場面：小規模回路、教育目的
2. CPLEX 線形計画法：
 - 利点：厳密な最適解、制約条件の柔軟設定
 - 欠点：ソフトウェア依存、設定の複雑さ
 - 適用場面：中～大規模回路、産業応用
3. クワイン・マクラスキー法：
 - 利点：体系的アルゴリズム、プログラム実装容易
 - 欠点：7 ビット以上で実用性に限界
 - 適用場面：中規模回路、アルゴリズム学習

5.2 計算複雑性の理論的分析

クワイン・マクラスキー法の計算量は理論上 $O(3^n)$ であるが、実際のボトルネックは Petrick's Method の組合せ爆発にある。これは以下の要因による：

1. Prime Implicant の指数的增加
2. カバレッジ関係の複雑化
3. 分配法における解候補の乗算的增加

6 結論

本実験により以下の重要な知見が得られた：

1. 論理回路設計の完成：16 進数表示 7 セグメントディスプレイの完全な論理回路を、カルノー図による手動導出により設計した
2. 最適化手法の特徴：

- 同一問題に対し複数の最適解が存在し得る
- 手法により異なる最適解が選択される場合がある
- 項数は一致するが項の組合せが異なる場合がある

3. 計算複雑性の実証：

- クワイン・マクラスキー法は 7 ビット以上で実用性に限界
- 主要ボトルネック：Petrick's Method での組合せ爆発
- 実用限界：6-7 ビット程度

4. 実用的示唆：入力規模に応じた適切な最適化手法の選択が重要である

本研究は論理回路設計における最適化手法の理論的理解と実用的応用の両面において重要な知見を提供した。

参考文献

- [1] 情報通信工学専門実験 A システムレベル設計 指示書 2025 年度版