

計算機科学実験 3 A

機能設計仕様書

チーム 4 : 竹田原俊介 Chung Mung Tim

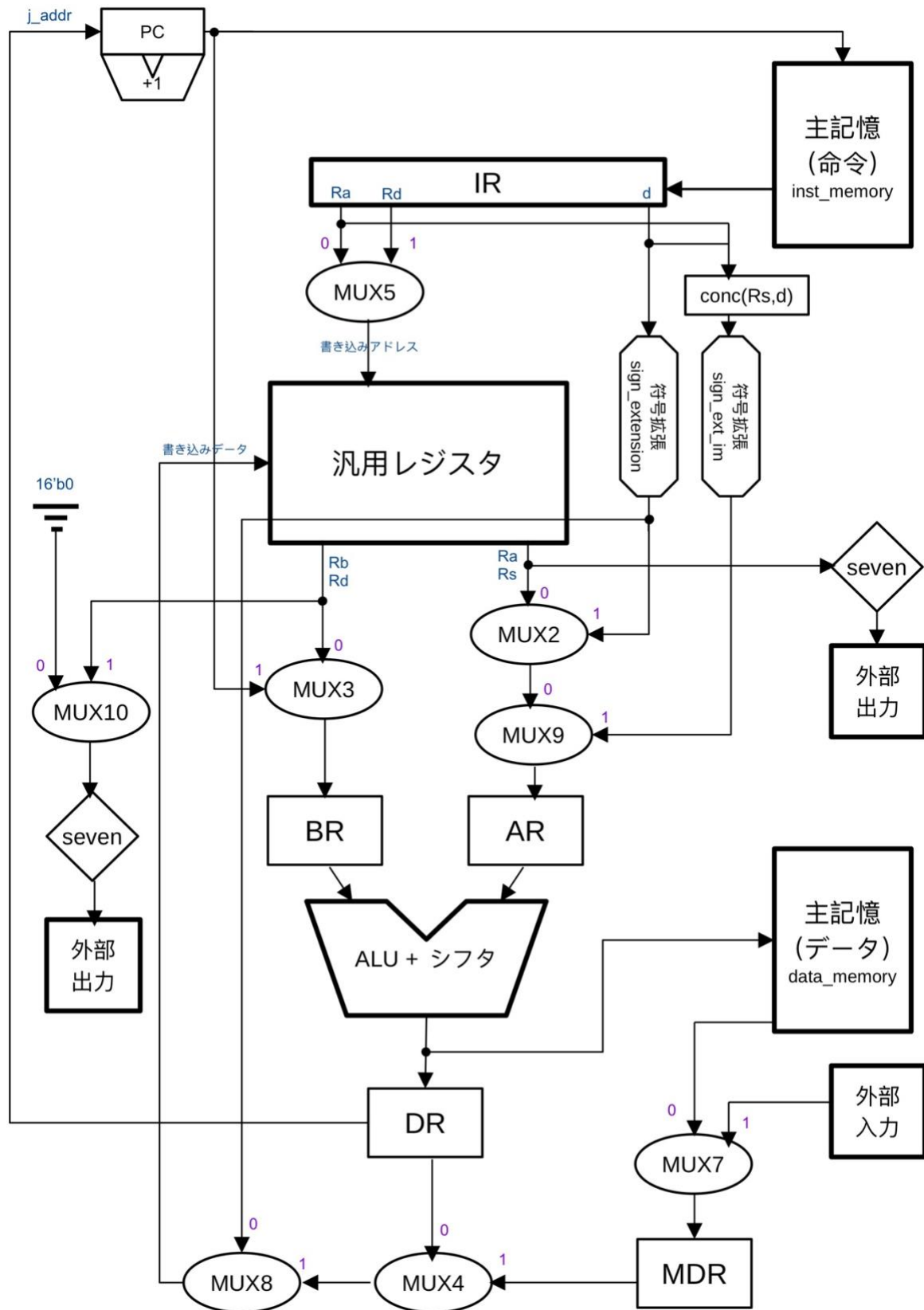
Chung Mung Tim

2022-06-02

第 1 章 概要

図 1 は私たちが設計された **SIMPLE** の全体のブロック図です．その中，中間レポートから追加したコンポーネントの中で，私が担当するのは **seven** というコンポーネントである．以下のレポートでは，**seven** の外部仕様や内部仕様，プロセッサ全体の中で果たす役割について詳しく説明する．

図 1 SIMPLE のブロック図



第2章 seven

モジュール `seven` は外部装置へ出力したいたびに必要である。 `seven` の機能は、16 ビットの2進数を4桁の16進数としてLEDディスプレイに表示することである。それを実現するために、 `seven` の外部仕様は以下である：

入力：

- 16 ビットの2進数データ `in`
- 出力信号 `signal`

出力：

- 32 ビットの2進数データ `out`

`seven` の Verilog HDL コードは以下である：

```
module seven(in, signal, out);  
    input [15:0] in; // from ar  
    input signal; // if signal==0, output 0  
    output [31:0] out; // to 7segLED  
  
    wire [7:0] out1, out2, out3, out4;  
  
    displaydigit digit1 (  
        .bin(in[15:12]),  
        .led(out1)  
    );  
  
    displaydigit digit2 (  
        .bin(in[11:8]),  
        .led(out2)  
    );  
  
    displaydigit digit3 (  
        .bin(in[7:4]),  
        .led(out3)  
    );  
  
    displaydigit digit4 (  
        .bin(in[3:0]),  
        .led(out4)  
    );  
endmodule
```

```

);

assign out = (signal) ? {out1, out2, out3, out4}:
               32'b0000_0000_0000_0000_0000_0000_0000_0000;

endmodule

```

signal という信号は制御部から与えられる。signal が 0 の時、32 ビットの 0 を出力する。このような場合、7SEG LED は点灯しない。signal という信号が 1 になる時のみ数字を表示する。

seven は下位モジュール displaydigit を 4 回呼び出している。“displaydigit”は、4 ビットの 2 進数を受け取り、7SEG LED 上に 16 進数 1 桁で表示されるようにデコードするモジュールです。

displaydigit の外部仕様は以下である：

入力：

- 4 ビット入力データ bin

出力：

- 8 ビット出力データ led

displaydigit の Verilog HDL コードは以下である：

```

module displaydigit(bin, led);
    input [3:0] bin;
    output [7:0] led; // One hexadecimal digit on the 7segLED

    function [7:0] decode;
        input [3:0] fourbit; // 4-bit binary number
        begin
            case (fourbit)
                0: decode = 8'b11111100;
                1: decode = 8'b01100000;
                2: decode = 8'b11011010;
                3: decode = 8'b11110010;
                4: decode = 8'b01100110;
                5: decode = 8'b10110110;
                6: decode = 8'b10111110;
                7: decode = 8'b11100000;
                8: decode = 8'b11111110;
            endcase
        end
    endfunction
endmodule

```

```
9: decode = 8'b11110010;  
10: decode = 8'b11101110;  
11: decode = 8'b00111110;  
12: decode = 8'b00011010;  
13: decode = 8'b01111010;  
14: decode = 8'b10011110;  
15: decode = 8'b10001110;  
  
endcase  
  
end  
  
endfunction  
  
assign led = decode(bin);  
  
endmodule
```

decode という関数は、すべての4ビット入力に対して8ビットのコードを出力する。この8ビットコードは MU500-7SEG マニュアルの p.14 に従い、適切なピン配置で1桁の16進数を出力するために必要はデータである。

seven は displaydigit を4回呼び出すことで、4桁の16進数を7SEG LED 上に表示することができる。

性能評価

回路サイズ : 56 / 28,848 (< 1%)

LUT 数 : 56

遅延時間 (CAD の予測値) : 図 2 参照

クリティカルパス : ない

図 2 seven の遅延時間

	Input Port	Output Port	RR	RF	FR	FF
1	in[0]	out[1]		8.905	9.430	
2	in[0]	out[2]		8.727	9.290	
3	in[0]	out[3]		8.739	9.321	
4	in[0]	out[4]	9.205	8.982	9.566	9.380
5	in[0]	out[5]	10.048			10.432
6	in[0]	out[6]	9.204	9.035	9.613	9.430
7	in[0]	out[7]	9.178	9.051	9.611	9.375
8	in[1]	out[1]	9.203	9.040	9.536	9.465
9	in[1]	out[2]	9.063	8.867	9.414	9.237
10	in[1]	out[3]	9.080			9.256
11	in[1]	out[4]	9.359	9.114	9.664	9.519
12	in[1]	out[5]		10.147	10.519	
13	in[1]	out[6]	9.346	9.178	9.747	9.545
14	in[1]	out[7]	9.397	9.161	9.733	9.582
15	in[2]	out[1]	8.768	8.634	9.146	9.003
16	in[2]	out[2]	8.600	8.431	8.970	8.810
17	in[2]	out[3]	8.613	8.447	8.982	8.825
18	in[2]	out[4]	8.882	8.690	9.251	9.068
19	in[2]	out[5]	9.710	9.715	10.079	10.093
20	in[2]	out[6]		8.772	9.305	
21	in[2]	out[7]	8.924	8.757	9.293	9.135
22	in[3]	out[1]	8.950			9.202
23	in[3]	out[2]	8.784	8.614	9.170	8.965
24	in[3]	out[3]	8.802			8.987
25	in[3]	out[4]	9.073	8.882	9.460	9.233
26	in[3]	out[5]	9.884	9.892	10.274	10.243
27	in[3]	out[6]	9.124	8.961	9.511	9.310

	Input Port	Output Port	RR	RF	FR	FF
28	in[3]	out[7]	9.106	8.944	9.497	9.294
29	in[4]	out[9]		8.412	8.888	
30	in[4]	out[10]		8.378	8.873	
31	in[4]	out[11]		9.918	10.301	
32	in[4]	out[12]	8.306	8.218	8.727	8.605
33	in[4]	out[13]	8.560			8.873
34	in[4]	out[14]	8.534	8.414	8.885	8.838
35	in[4]	out[15]	8.446	8.375	8.867	8.762
36	in[5]	out[9]	8.182	8.118	8.601	8.523
37	in[5]	out[10]	8.153	8.090	8.584	8.475
38	in[5]	out[11]	9.588			10.020
39	in[5]	out[12]	8.056	7.892	8.420	8.360
40	in[5]	out[13]		8.168	8.658	
41	in[5]	out[14]	8.237	8.113	8.583	8.549
42	in[5]	out[15]	8.199	8.005	8.525	8.519
43	in[6]	out[9]	8.022	7.922	8.391	8.331
44	in[6]	out[10]	7.998	7.921	8.408	8.292
45	in[6]	out[11]	9.412	9.463	9.817	9.831
46	in[6]	out[12]	7.854	7.761	8.260	8.130
47	in[6]	out[13]	8.066	7.994	8.476	8.365
48	in[6]	out[14]		7.972	8.453	
49	in[6]	out[15]	7.994	7.918	8.400	8.287
50	in[7]	out[9]	7.857			8.141
51	in[7]	out[10]	7.842	7.762	8.220	8.149
52	in[7]	out[11]	9.253			9.691
53	in[7]	out[12]	7.691	7.597	8.069	7.984
54	in[7]	out[13]	7.913	7.838	8.292	8.226

	Input Port	Output Port	RR	RF	FR	FF
55	in[7]	out[14]	7.882	7.806	8.260	8.193
56	in[7]	out[15]	7.832	7.755	8.211	8.143
57	in[8]	out[17]		8.312	8.834	
58	in[8]	out[18]		8.300	8.865	
59	in[8]	out[19]		8.296	8.878	
60	in[8]	out[20]	8.473	8.317	8.883	8.693
61	in[8]	out[21]	8.794			9.004
62	in[8]	out[22]	8.221	8.037	8.561	8.450
63	in[8]	out[23]	8.459	8.302	8.869	8.678
64	in[9]	out[17]	8.467	8.344	8.864	8.727
65	in[9]	out[18]	8.467	8.323	8.875	8.685
66	in[9]	out[19]	8.477			8.677
67	in[9]	out[20]	8.532	8.300	8.873	8.745
68	in[9]	out[21]		8.615	9.173	
69	in[9]	out[22]	8.243	8.055	8.567	8.469
70	in[9]	out[23]	8.525	8.245	8.828	8.736
71	in[10]	out[17]	8.488	8.329	8.846	8.727
72	in[10]	out[18]	8.498	8.340	8.896	8.699
73	in[10]	out[19]	8.487	8.329	8.880	8.685
74	in[10]	out[20]	8.508	8.347	8.901	8.703
75	in[10]	out[21]	8.797	8.633	9.196	8.993
76	in[10]	out[22]		8.090	8.622	
77	in[10]	out[23]	8.502	8.340	8.895	8.696
78	in[11]	out[17]	8.379			8.586
79	in[11]	out[18]	8.396	8.235	8.756	8.604
80	in[11]	out[19]	8.383			8.592
81	in[11]	out[20]	8.404	8.242	8.763	8.610

^	Input Port	Output Port	RR	RF	FR	FF
82	in[11]	out[21]	8.695	8.528	9.055	8.897
83	in[11]	out[22]	8.124	7.984	8.483	8.352
84	in[11]	out[23]	8.397	8.234	8.756	8.602
85	in[12]	out[25]		8.271	8.758	
86	in[12]	out[26]		8.536	9.144	
87	in[12]	out[27]		8.179	8.736	
88	in[12]	out[28]	8.511	8.335	8.893	8.754
89	in[12]	out[29]	8.510			8.739
90	in[12]	out[30]	8.637	8.466	9.064	8.879
91	in[12]	out[31]	8.409	8.300	8.861	8.643
92	in[13]	out[25]	8.267	8.165	8.642	8.577
93	in[13]	out[26]	8.559	8.389	8.972	8.765
94	in[13]	out[27]	8.153			8.409
95	in[13]	out[28]	8.333	8.189	8.745	8.564
96	in[13]	out[29]		8.205	8.769	
97	in[13]	out[30]	8.514	8.349	8.927	8.724
98	in[13]	out[31]	8.302	8.154	8.714	8.530
99	in[14]	out[25]	8.332	8.231	8.695	8.585
100	in[14]	out[26]	8.625	8.454	8.979	8.817
101	in[14]	out[27]	8.219	8.098	8.572	8.460
102	in[14]	out[28]	8.399	8.254	8.752	8.616
103	in[14]	out[29]	8.422	8.270	8.775	8.632
104	in[14]	out[30]		8.415	8.934	
105	in[14]	out[31]	8.369	8.220	8.721	8.581
106	in[15]	out[25]	8.426			8.741
107	in[15]	out[26]	8.749	8.490	9.069	8.941
108	in[15]	out[27]	8.337			8.578

^	Input Port	Output Port	RR	RF	FR	FF
109	in[15]	out[28]	8.529	8.331	8.853	8.755
110	in[15]	out[29]	8.511	8.305	8.862	8.735
111	in[15]	out[30]	8.643	8.473	9.063	8.859
112	in[15]	out[31]	8.494	8.276	8.848	8.715
113	signal	out[1]	10.056			10.472
114	signal	out[2]	9.730			10.148
115	signal	out[3]	9.738			10.162
116	signal	out[4]	10.010			10.405
117	signal	out[5]	10.829			11.422
118	signal	out[6]	10.062			10.485
119	signal	out[7]	10.050			10.471
120	signal	out[9]	8.295			8.612
121	signal	out[10]	8.334			8.678
122	signal	out[11]	9.623			10.084
123	signal	out[12]	8.182			8.510
124	signal	out[13]	8.404			8.752
125	signal	out[14]	8.375			8.721
126	signal	out[15]	8.322			8.668
127	signal	out[17]	8.878			9.177
128	signal	out[18]	8.954			9.257
129	signal	out[19]	8.937			9.240
130	signal	out[20]	8.960			9.261
131	signal	out[21]	8.664			8.909
132	signal	out[22]	8.684			9.008
133	signal	out[23]	8.953			9.252
134	signal	out[25]	9.055			9.451
135	signal	out[26]	9.299			9.668
136	signal	out[27]	9.056			9.454
137	signal	out[28]	9.069			9.464
138	signal	out[29]	9.087			9.475
139	signal	out[30]	9.253			9.624
140	signal	out[31]	9.038			9.430

第3章 考察および感想

実験についての感想

この実験では、実際にプロセッサを作らないと学べないようなことをたくさん学びました。制御装置の責任者でありながら、制御部が何をすべきなのか、実験のかなり終盤まで明確なイメージを持っていませんでした。

総じて、二人の仕事の分担が悪かったと思いました。トップレベル、フェーズカウンタ、制御部は、設計全体を見渡し、非常に密接に関係している部分ですから、同じ人が担当すべきです。しかし、当初はトップレベルを竹田原さんが担当し、制御部は私が作っています。実機でデバッグしてプロセッサが動かない原因を探る頃には、明確な役割分担がなくなり、基本的に並列ではなく一緒に作業することになり、効率が大幅に低下してしまいました。