

# **システムLSIとPLL (フェーズロックループ)**

**2012-11-30  
加沼 安喜良**

# 目次

- [0] 本講義の狙い
- [1] システムLSIにおけるPLLの役割
- [2] CMOS PLL設計手順例
- [3] 周波数シンセサイザ  
(整数分周比と分数分周比)
- [4] デジタルPLL
- [5] 通信ネットワークにおけるジッタ累積
- [6] OFDM方式無線LANのPLL

# **[0] 本講義の狙い**

- ・ **2000年以降はPC中心からインターネット中心へ社会が変化し、通信やマルチメディアなどアナログ信号の処理を含むシステム全体のLSIへの集積化が急速に進展している。**
- ・ **本講義では、システム間の情報の伝達に必要な位相同期を担うPLLをシステムLSI（SoC=system on a chipと同義で使われることが多い）の重要な構成要素として取り上げ、その設計手法と応用例を論じる。**

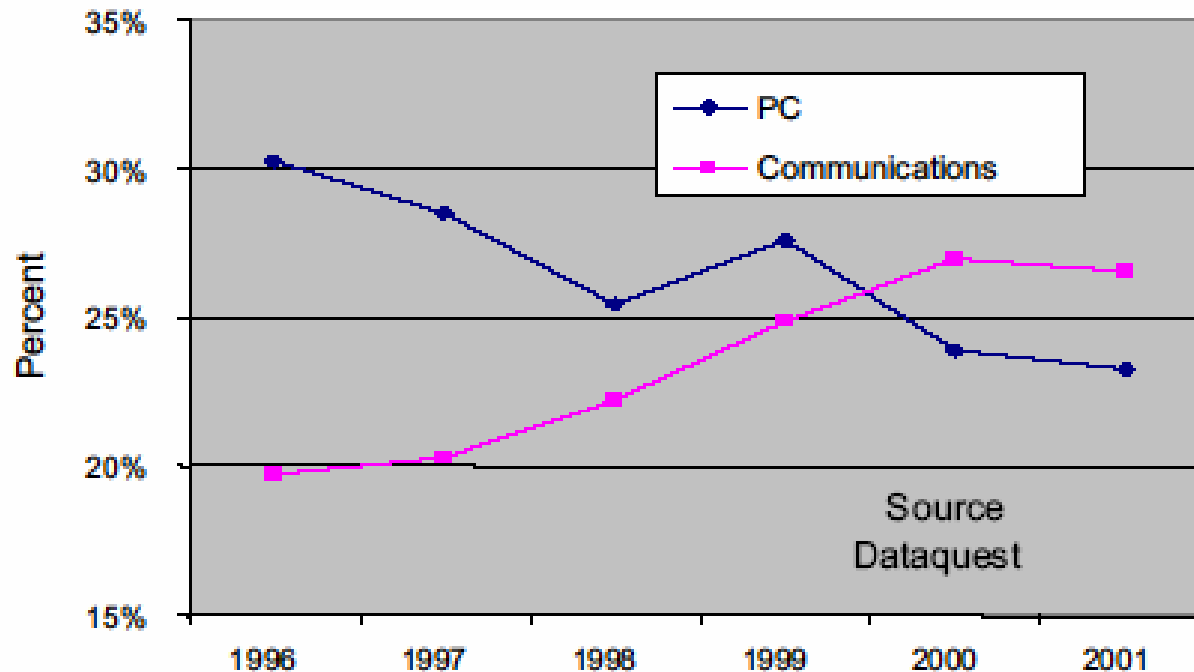
# **[ 1 ] システムLSIにおけるPLLの役割**

- 1. PCからインターネットへの  
パラダイムシフト**
- 2. アナログ回路：重要性とデジタル化**
- 3. PLLの機能と主な応用**

# **1. PCからインターネットへのパラダイムシフト**

# パラダイムシフト：インターネットへ

インターネットの普及に対応

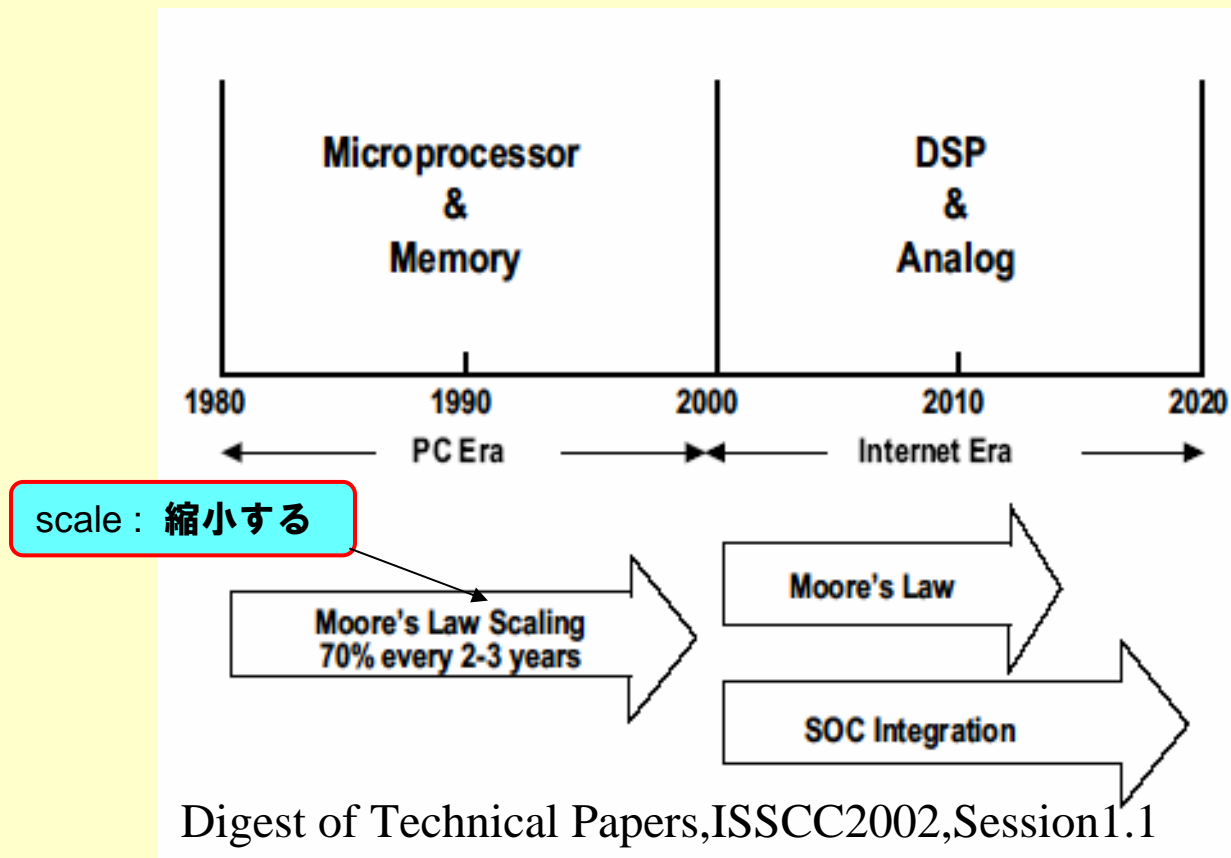


パラダイムシフト：  
ある時代や集団の支配的な考え方が劇的に変化すること。

PC分野と通信分野の半導体世界市場売り上げ比率の変化

Digest of Technical Papers, ISSCC2002, Session 1.1

# パラダイムシフト：SoCへ

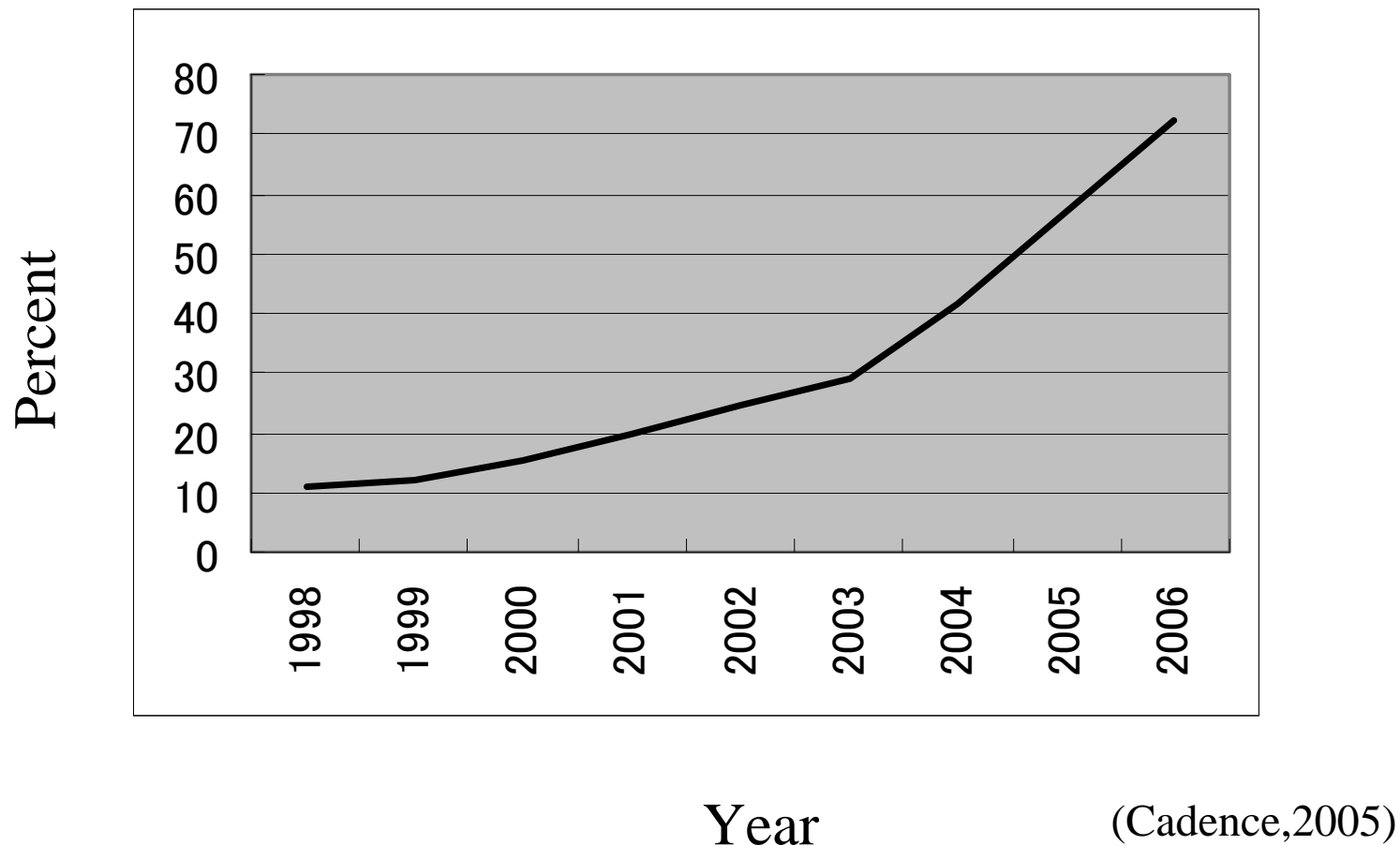


**SoCへの集積化はインターネット時代には極めて重要**

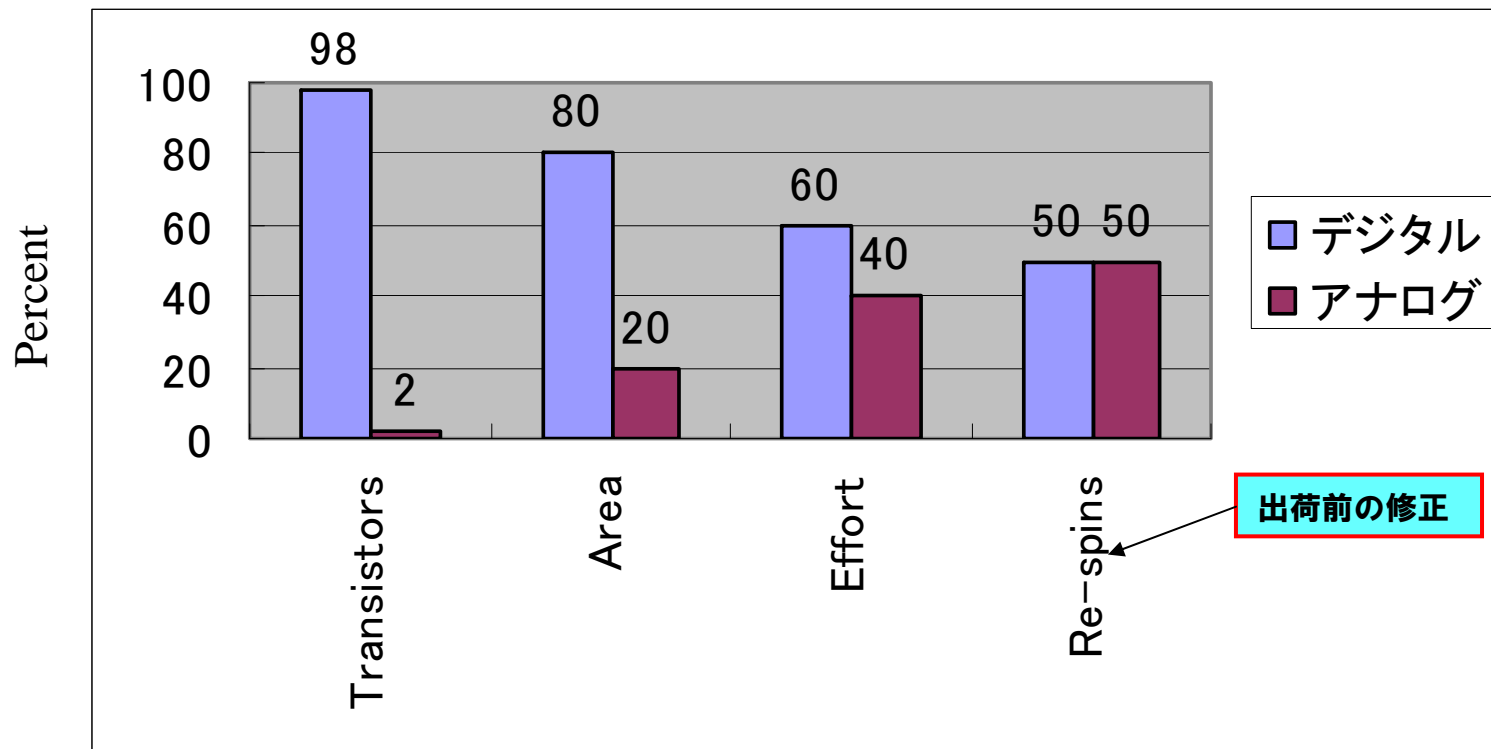
## **2. アナログ回路：重要性とデジタル化**



# アナログ混載SoC比率増加

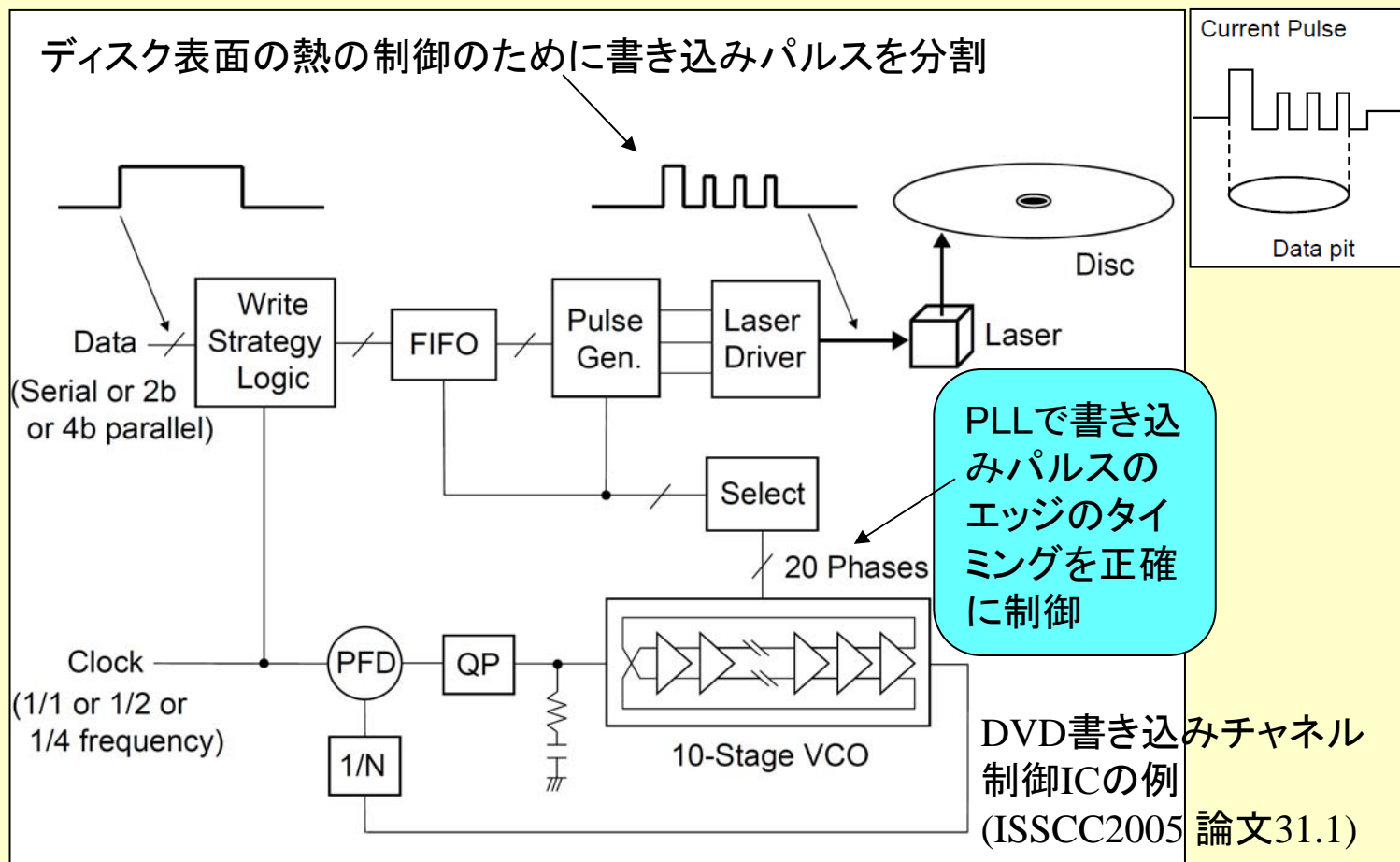


# アナログ設計のTATへの影響増加

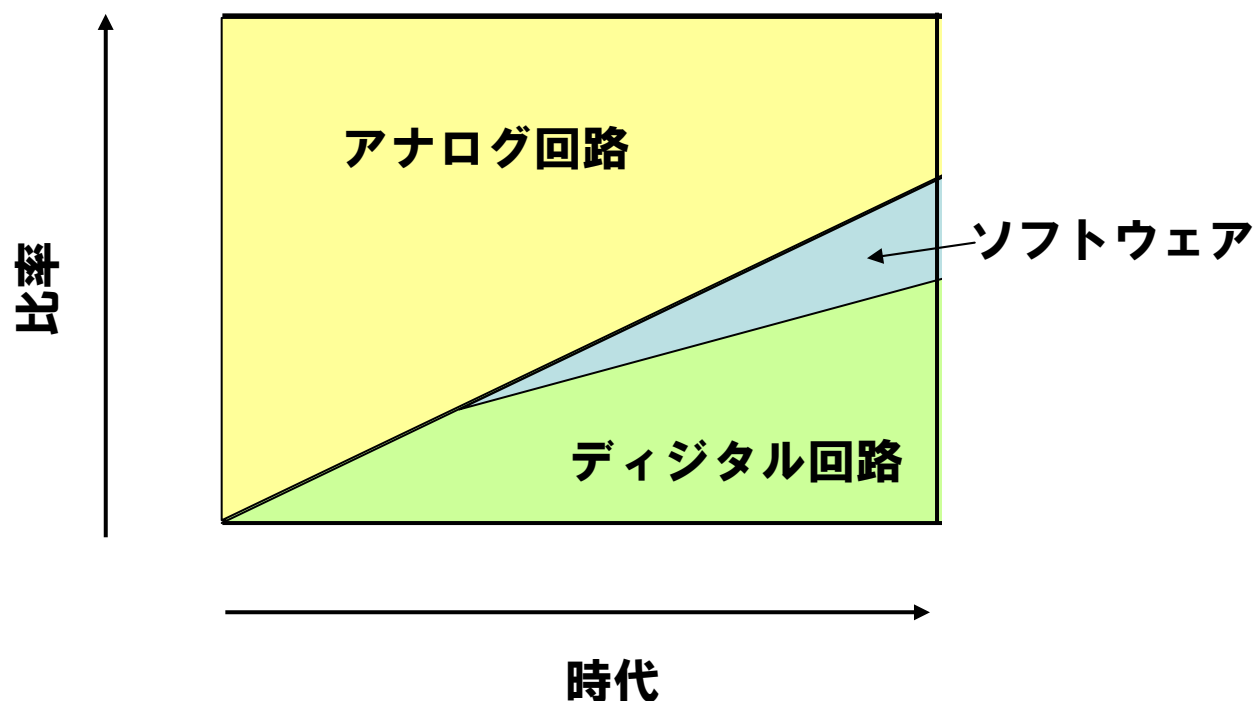


(Cadence,2005)

# マルチメディアの例：DVDデコーダ



# アナログ回路の進化の概念図



### **3. PLLの機能と主な応用**

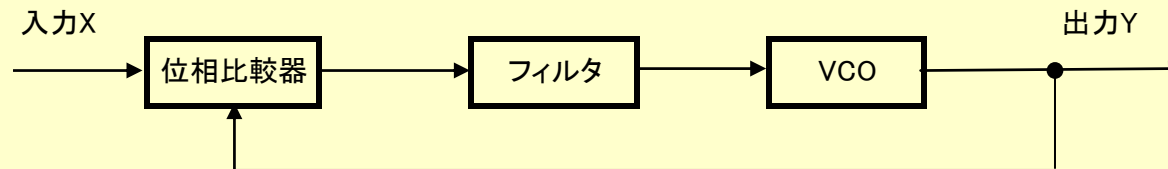
# PLL（位相同期ループ）とは

定義:

角速度 $\omega$ 、振幅 $A$ の正弦波信号は、次式のように書ける。

$$X(t) = A \sin(\omega t + \theta)$$

ここで $\theta$ が位相である。入力信号からノイズを取り除き周波数(角速度)と位相が一致する正弦波信号を抽出し再生するためのフィードバックループを、位相同期ループ(Phase Locked Loop=PLL)と呼ぶ。

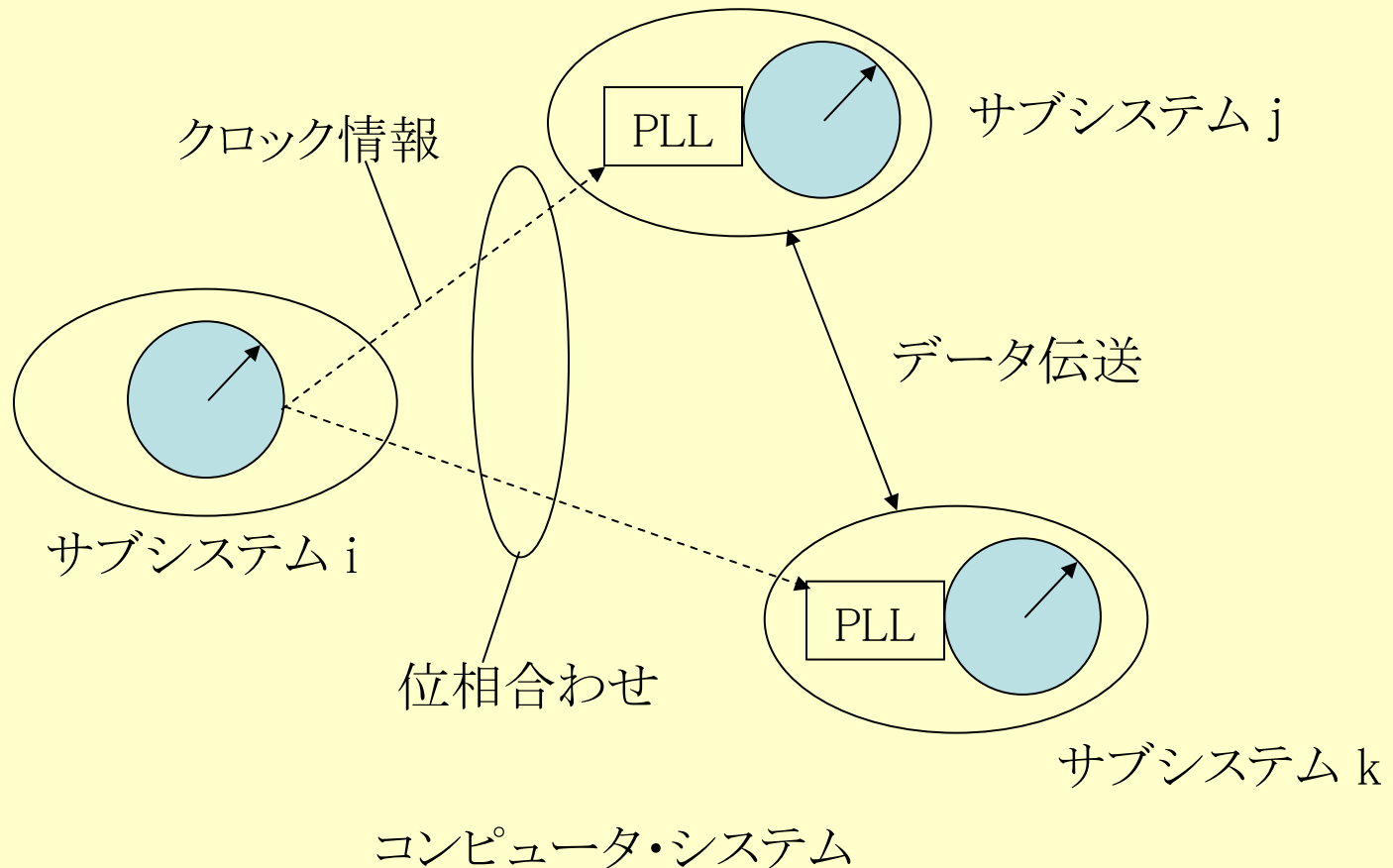


PLLの基本構成

# PLLの機能

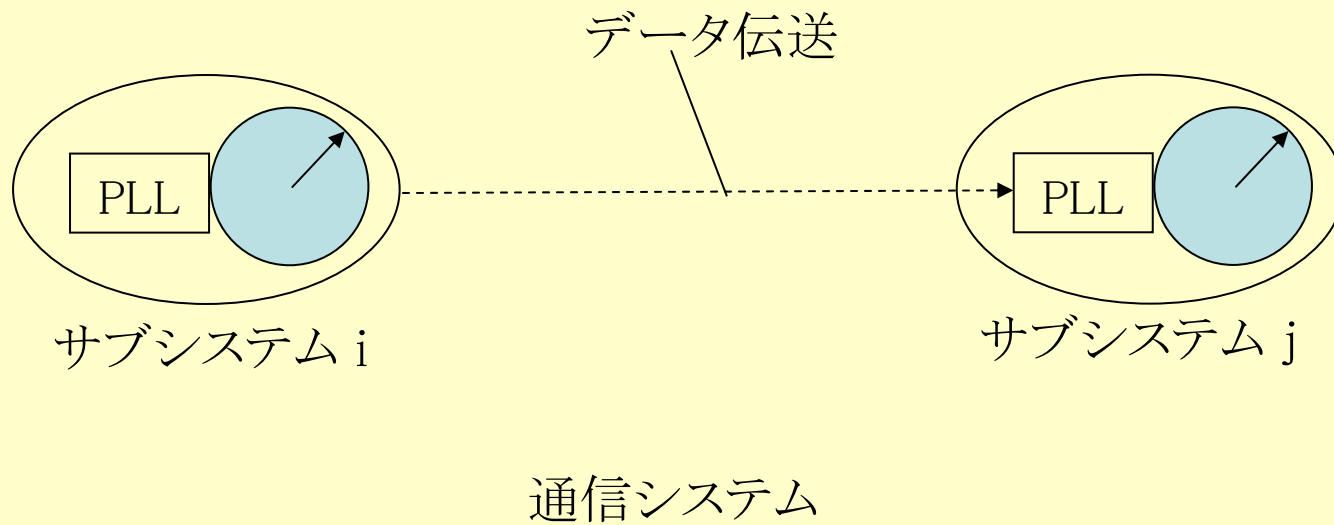
- ・ 人間の制御対象のシステムは複数のサブシステムからなる。サブシステムにはそれぞれ固有の時計を持って情報を処理する。
- ・ 時計は円周上を回転する針の位置で時刻を表す。針の位置が $360^\circ$ の中のどこにあるかで示したものが位相。
- ・ サブシステム間で情報を通信するためには時計を合わせる必要がある。つまり位相を合わせる必要がある。
- ・ サブシステム間で位相を合わせるために電子回路でフィードバックをかけて自動制御を実現したものがPLL (Phase Locked Loop) である。
- ・ 以上は受信サブシステムでのPLLの役割に関するものだが、送信サブシステムからクロック情報やデータを送出する際にも周波数や位相を微調整するのにPLLが用いられる(周波数シンセサイザ)。

# PLLによる位相合わせ





# PLLによる位相合わせ

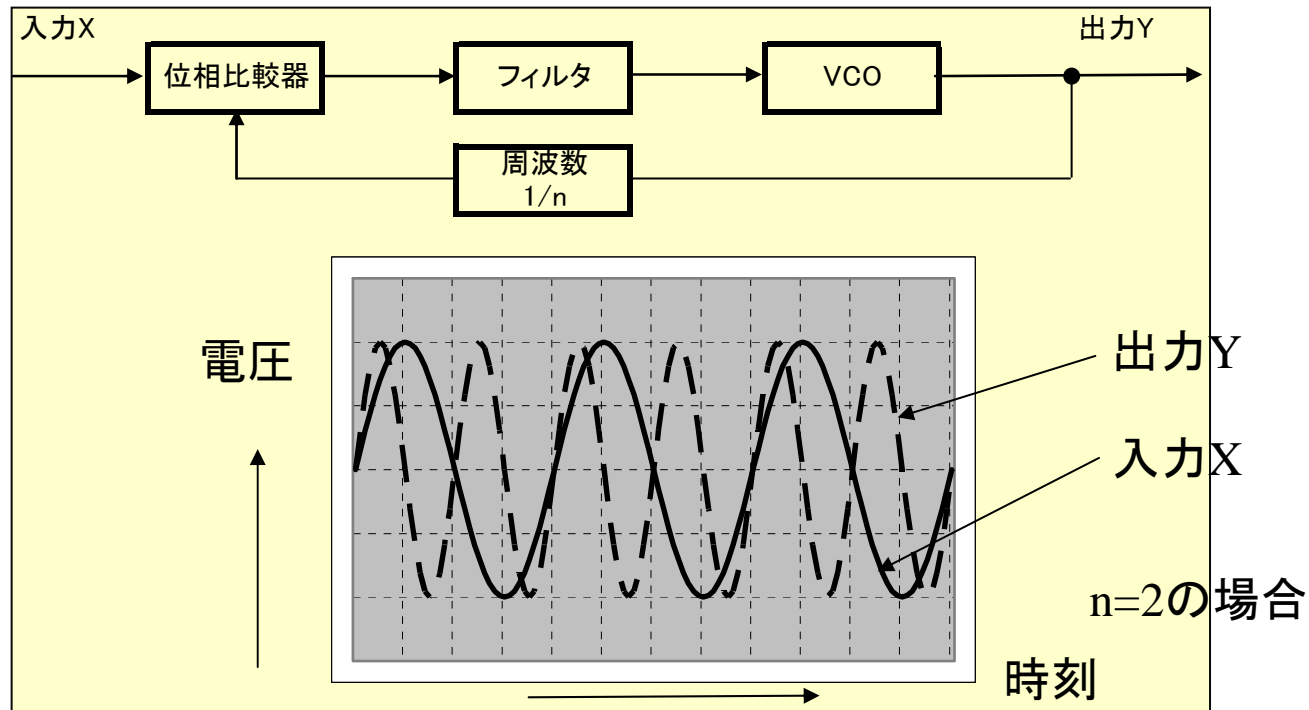


# PLLの主な用途

PLLの主な用途には次のようなものがある。

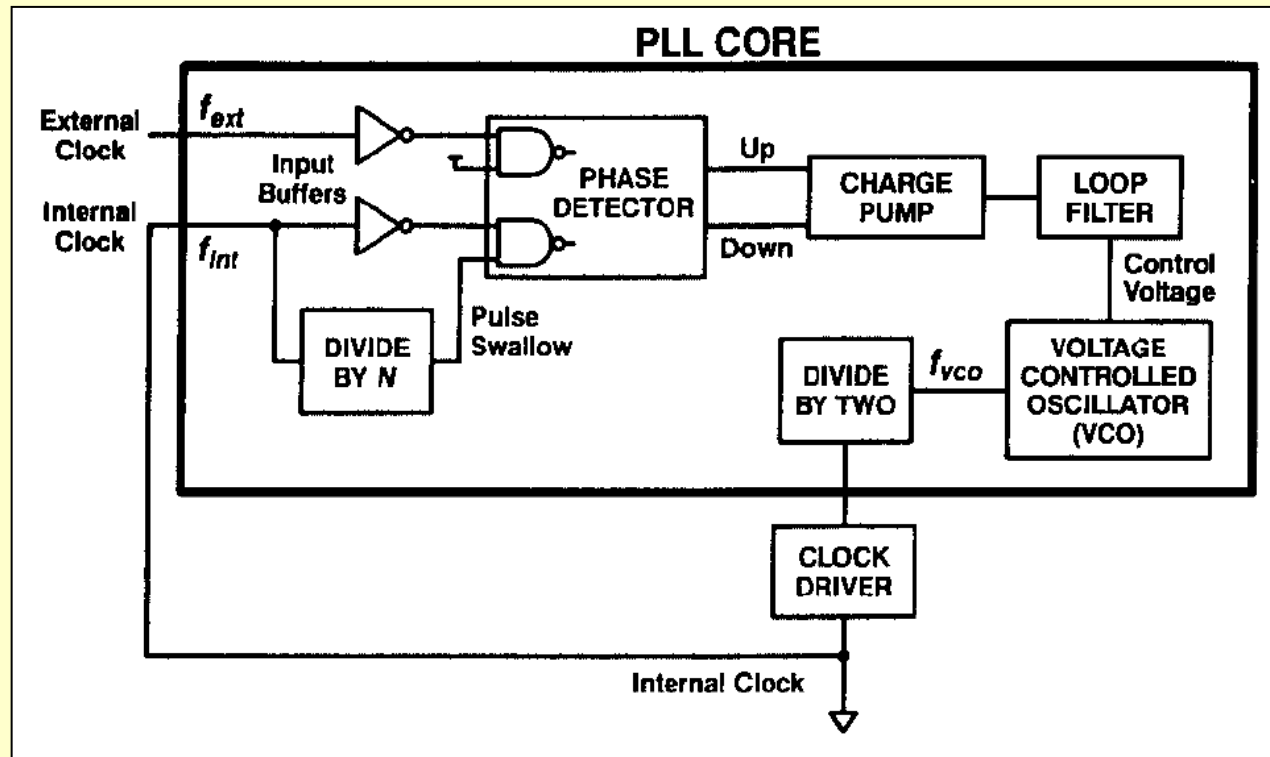
- ①水晶発信器の信号を参照信号とするクロック発生のための周波数シンセサイザ・・・  
用途：マイクロプロセッサ、有線/無線通信、信号発生器
- ②受信データからのクロック抽出・・・用途：有線/無線通信
- ③モーターなどの機械系の制御
- ④FM受信機での音声信号回復

# 周波数シンセサイザ



- 水晶発振器などからのクロック信号を逡倍
- マイクロプロセッサの基本クロック、トランシーバなどの通信用LSIの受信用/送信用局部発振器、測定器の信号発生器などが用途

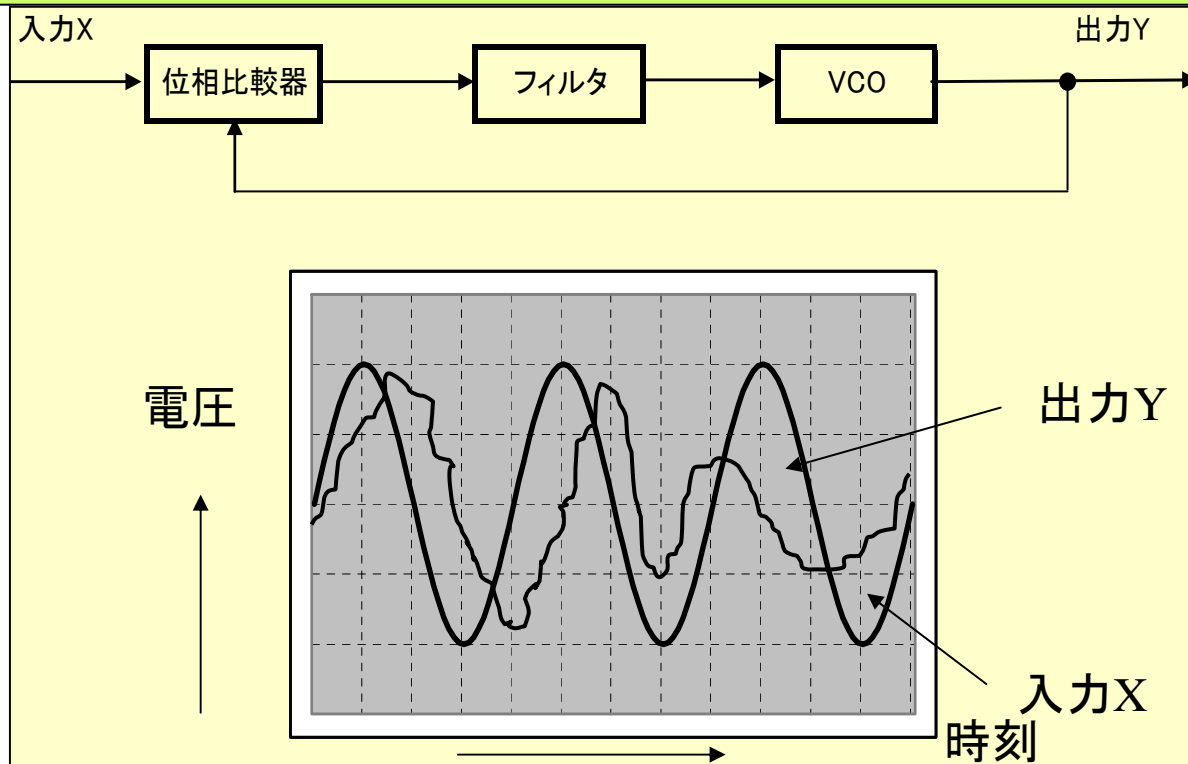
# マイクロプロセッサの例



マイクロプロセッサの内部クロックの位相を外部クロックに同期させるためPLLを導入

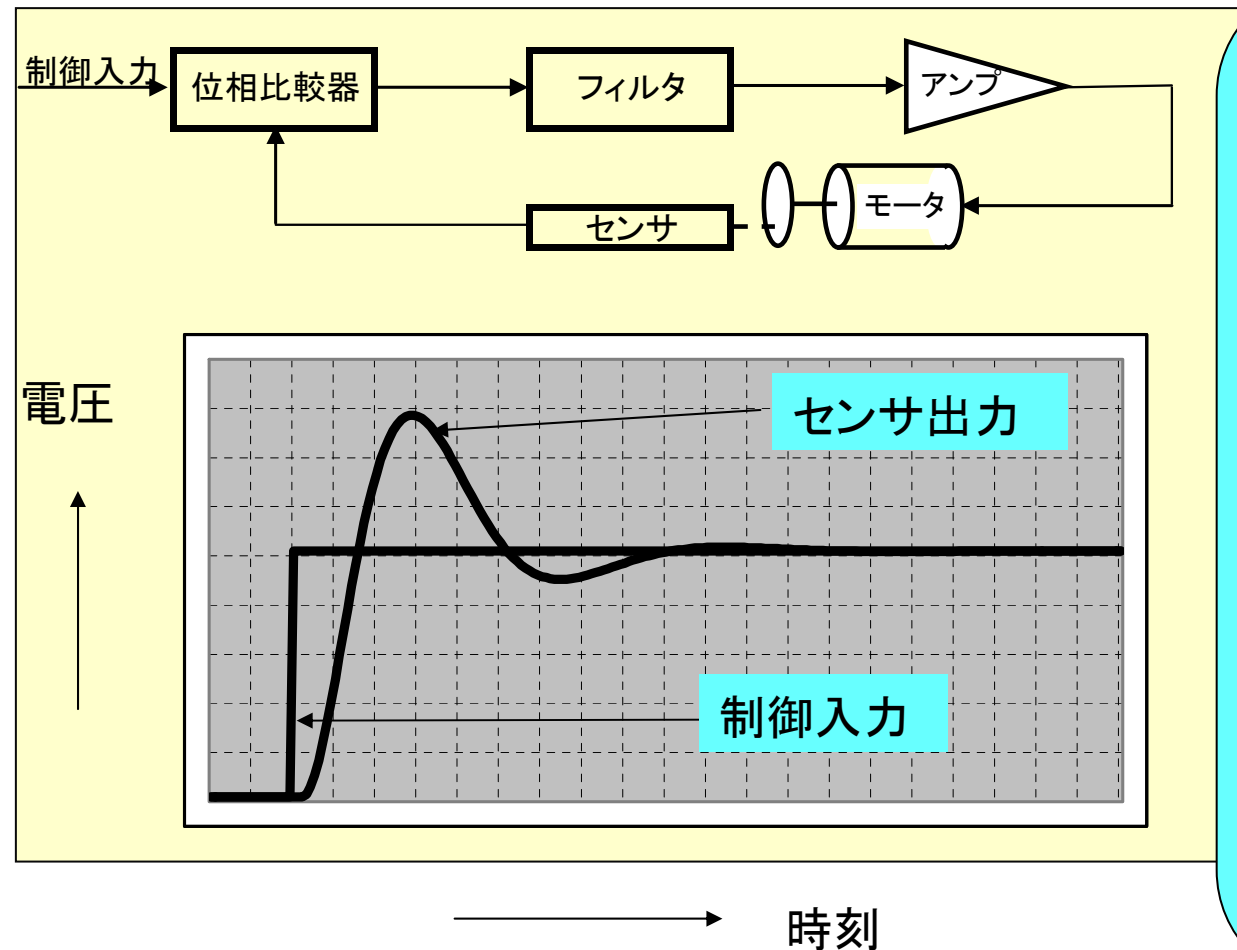
Ian Young, et al., "A PLL Clock Generator with 5 to 110MHz Lock Range for Microprocessors", ISSCC Digest of Technical Papers, Feb. 1992, PP.50-51

# 受信データからのクロック抽出



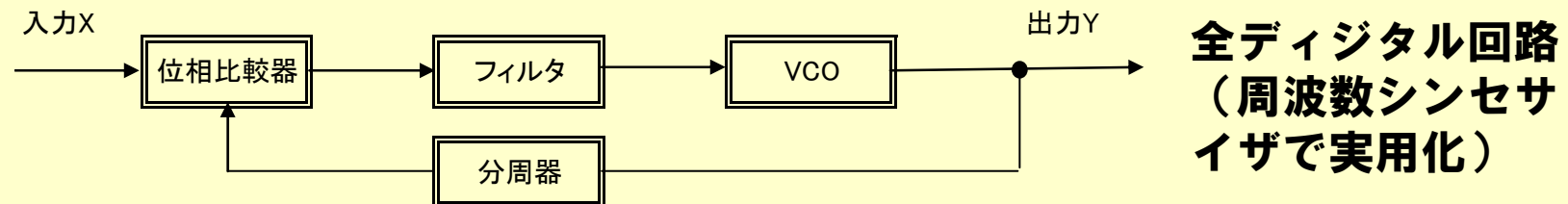
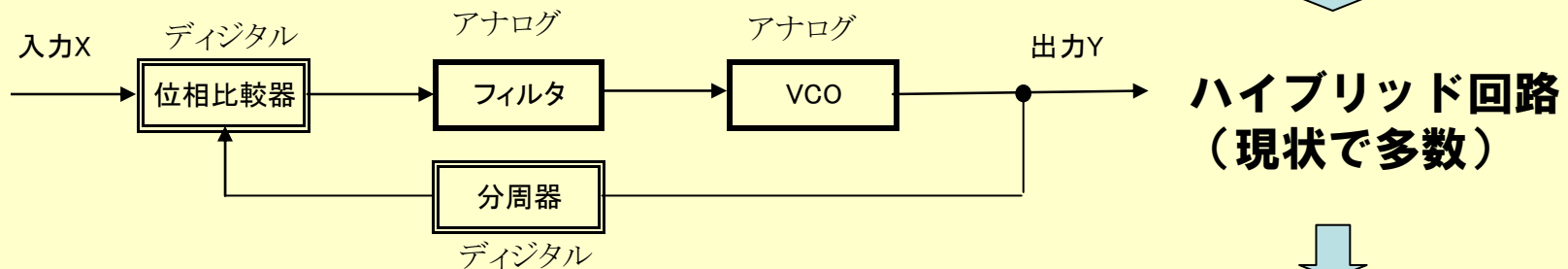
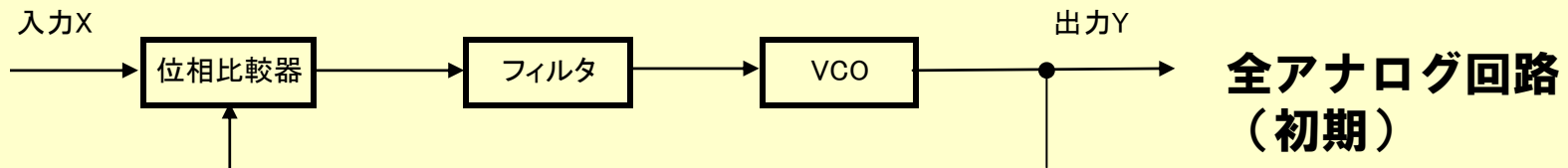
- 通信では通常はコスト削減のため、データだけを送受信
- 受信機は受信データからクロック抽出し、そのクロック信号に同期して受信データを読み取る

# PLLによるモーター制御



- ・位相比較器とフィルタの後のアンプでVCOの代わりにモータという機械系を駆動
- ・モータの回転角を光センサーなどで読み取った結果を位相比較器へ入力
- ・電気系と機械系と光学系からなるPLLを構成してモータの回転の位相制御

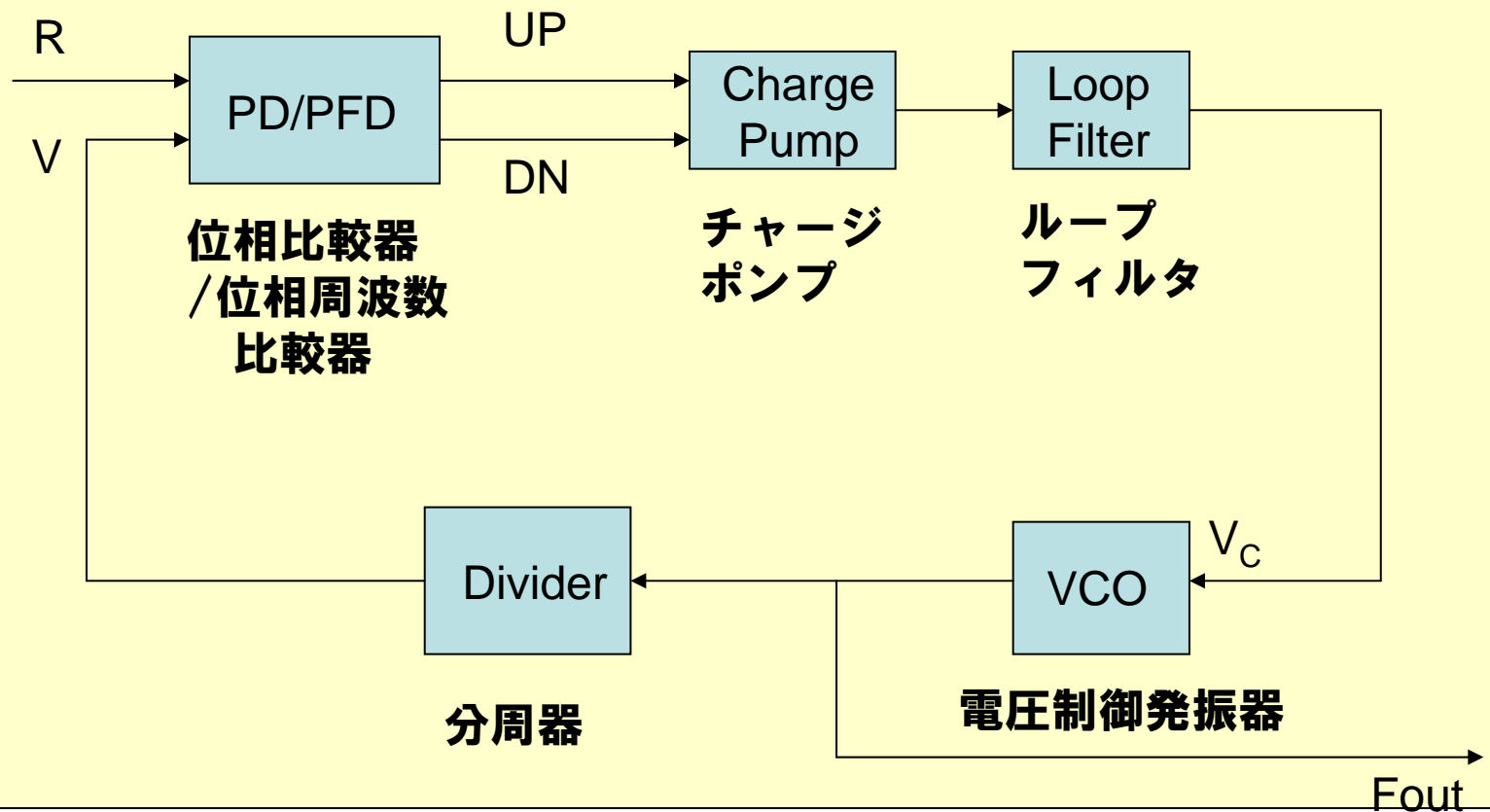
# PLLのデジタル化



## **[2] CMOS PLL設計手順例**



# PLLの基本構成

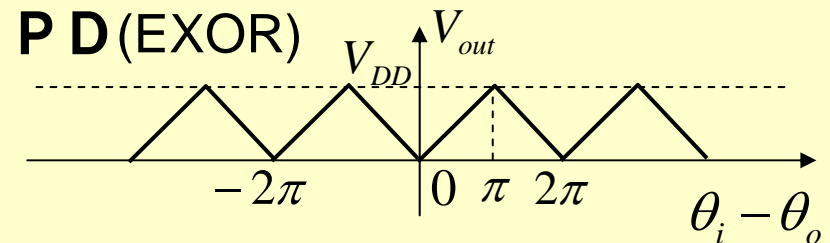
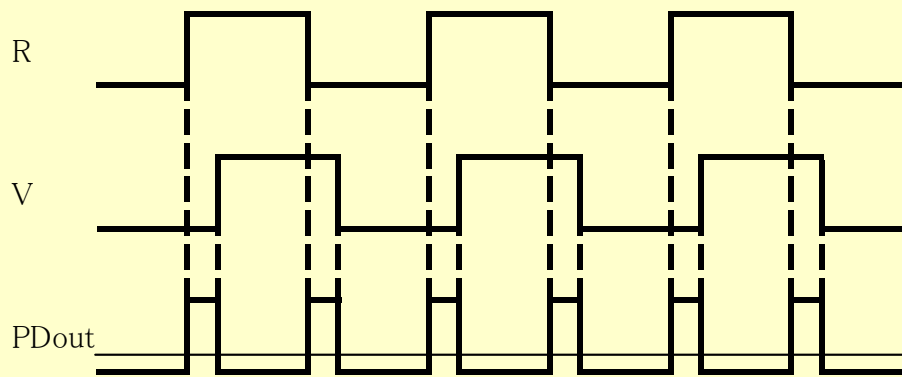
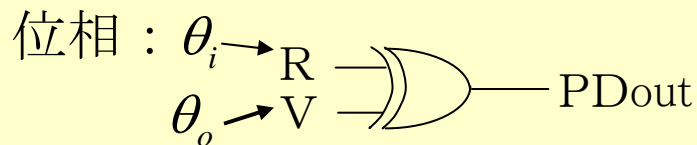


# PLLの構成要素

- ・ **PD** (位相比較器/検出器, phase detector) /  
**PFD** (位相周波数比較器/検出器, phase frequency detector)  
検出可能な最小位相差である**不感帯 (dead zone)** は  
**ジッタとして現れるので、小さいほうが良い**
- ・ CMOSのPLLでは**PD, PFD**はデジタル回路が通常用いられる
- ・ **Charge Pump** (チャージ・ポンプ)  
PFDからのUP/DN信号によりループフィルタを充放電
- ・ **Loop Filter** (ループフィルタ) ... 積分器として機能
- ・ **VCO** (電圧制御発振器, voltage controlled oscillator)  
プロセス、電源、温度変動に対して安定発振が要求される
- ・ **Divider (分周器)**  
動作速度が重要

# PD

- 信号レベルを比較
- 1サイクル ( $2\pi$ ) 未満の位相差を検出
- EX-OR型など
- ノイズに強い

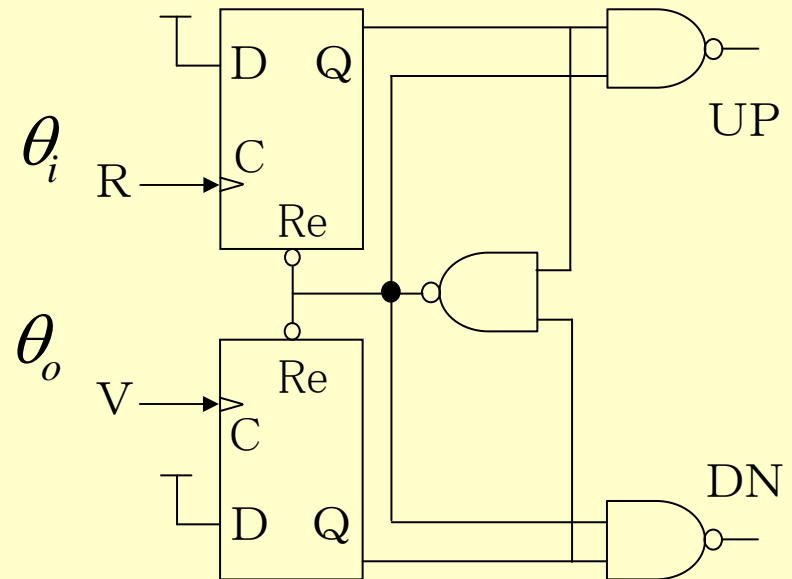
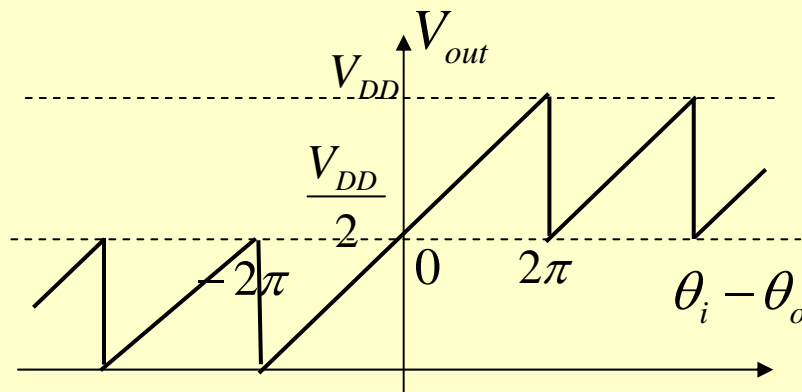


$V_{out}$ : 出力にループフィルタを  
 接続した場合の出力電圧

- 比較する信号の  
 duty ratio=50%で  
 ないと比較できない
- 位相差は  $0 \sim \pi$  ま  
 でしか検出できない

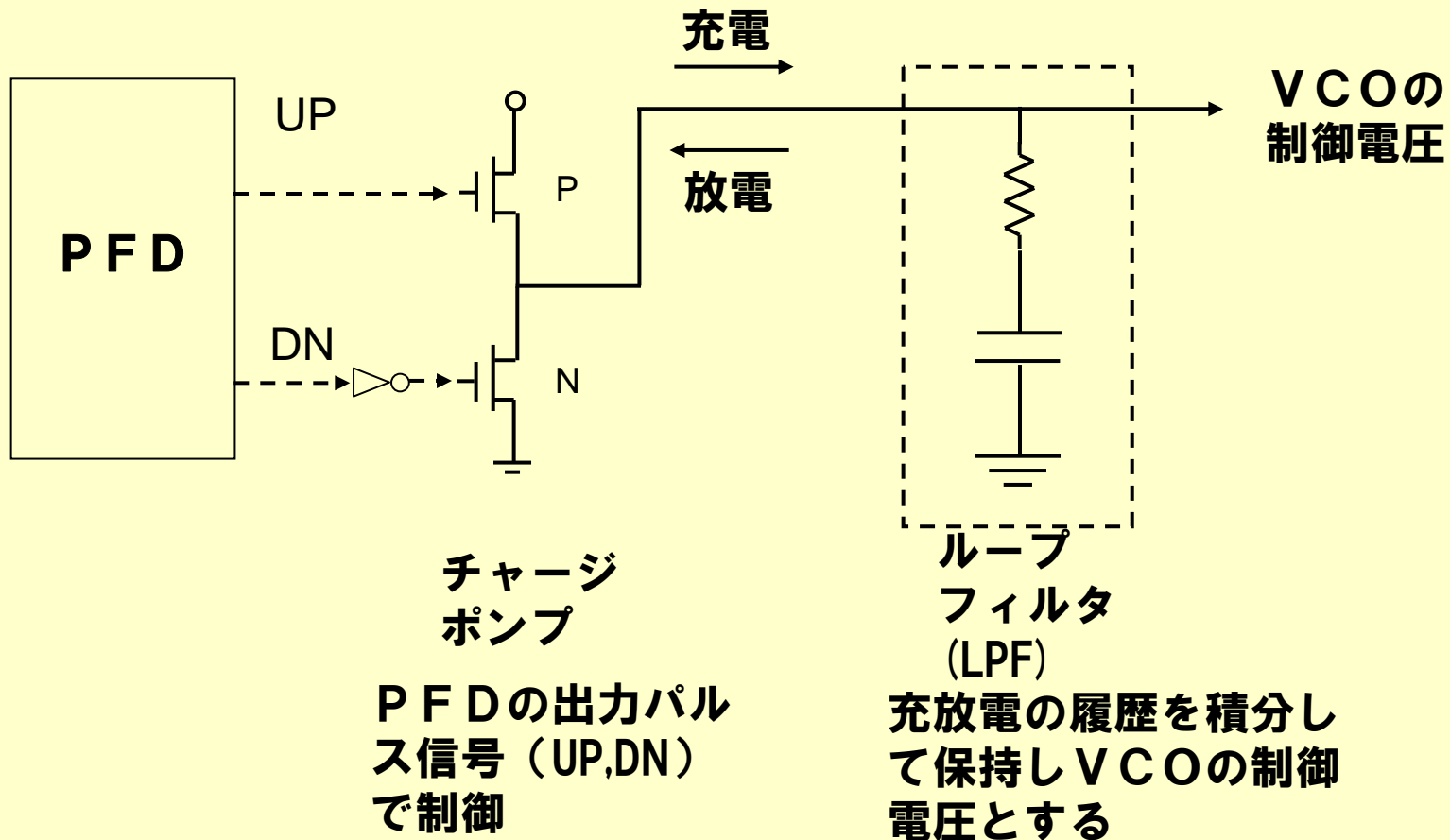
# PFD

- ・ 2つの信号のエッジを監視（一方のエッジの検出後、他方のエッジを検出し位相差を測定）
- ・  $2\pi$ を超える複数サイクルの位相差も検出
- ・ ノイズの影響を受け易い

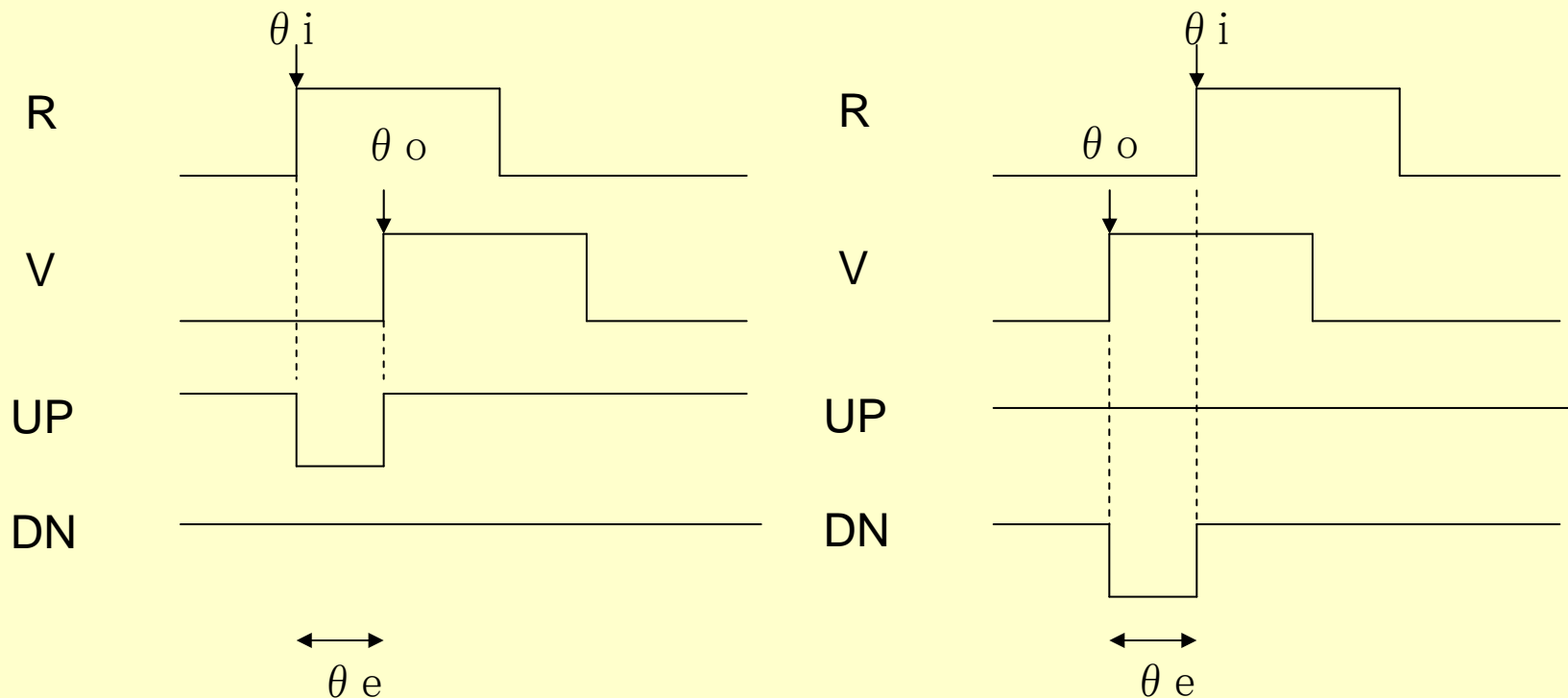


$V_{out}$  : チャージポンプと  
ループフィルタを接続  
した時の出力電圧

# チャージポンプとLPF



# ネガティブ・フィードバック (PFDの場合)



位相差と等しい時間幅 ( $\theta_e$ ) を持ったパルス信号を生成。

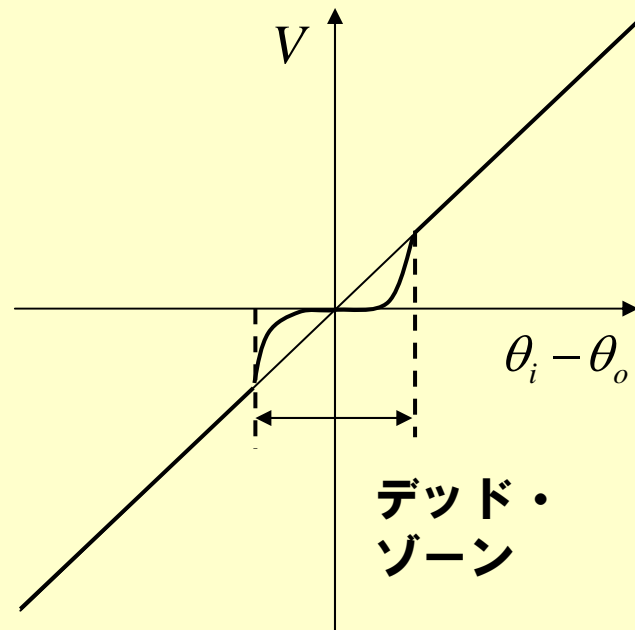
RよりVが遅れているときはVを進めるようにUPパルスを生成

RよりVが進んでいるときはVが遅れるようにDNパルスを生成

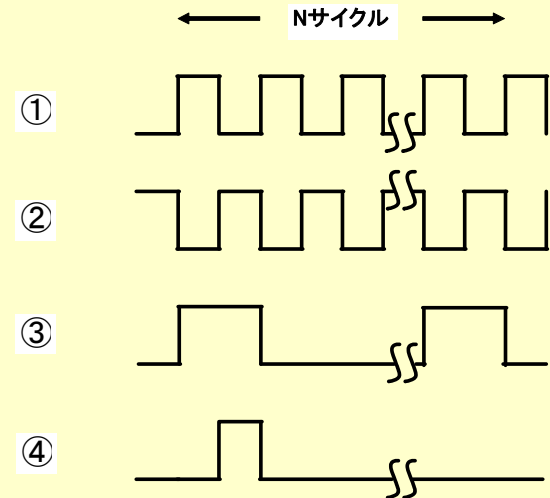
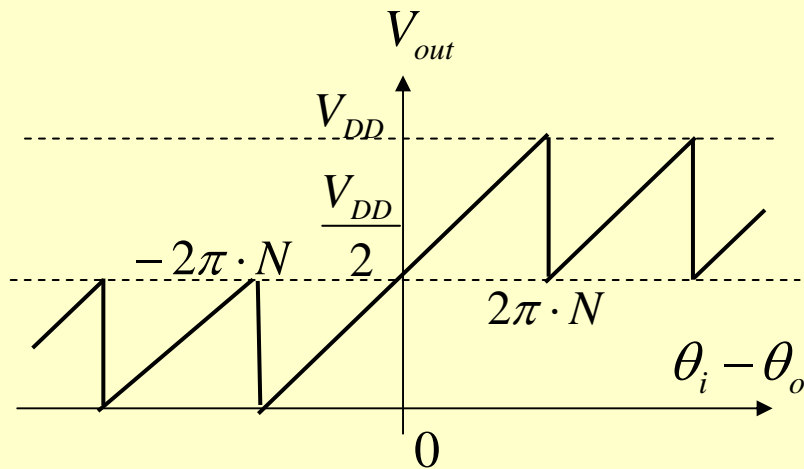
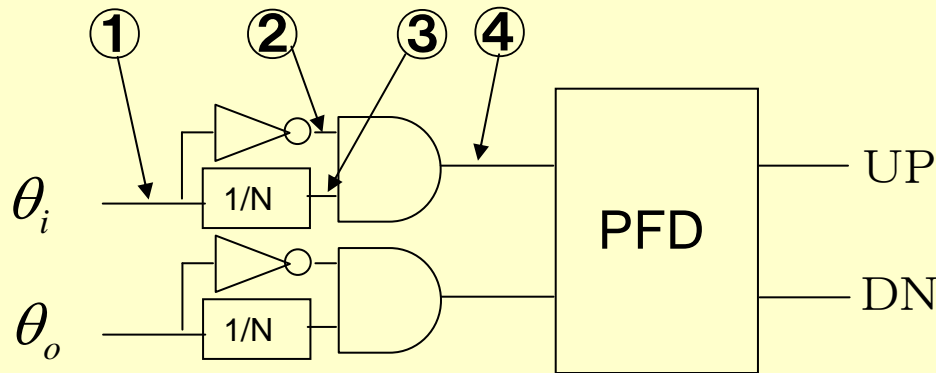
# PFDのデッド・ゾーン

## デッド・ゾーン（不感帯、dead zone）

位相差入力が小さくなったとき、PFDが出力を正しく出さなくなる位相差入力の範囲。ゲートの遅延で発生。



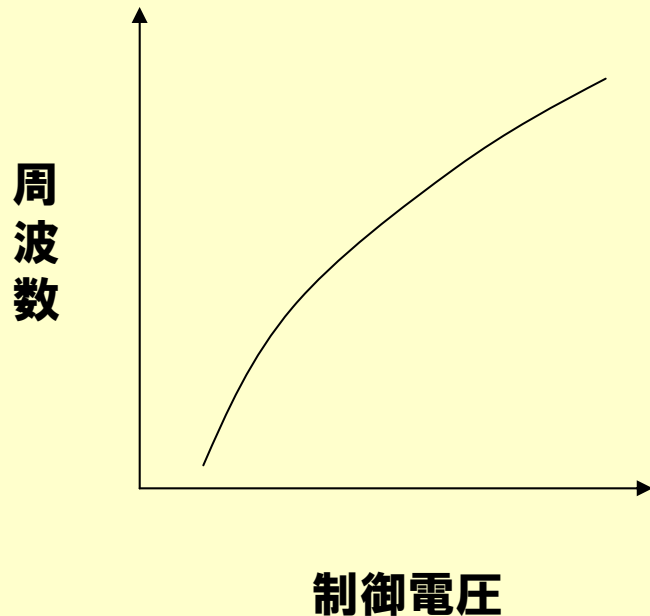
# 複数サイクルPFD



$V_{out}$  : チャージポンプと  
ループフィルタを接続  
した時の出力電圧



# VCOとCCO



VCOの発振周波数は制御電圧で決まる。

## 発振器

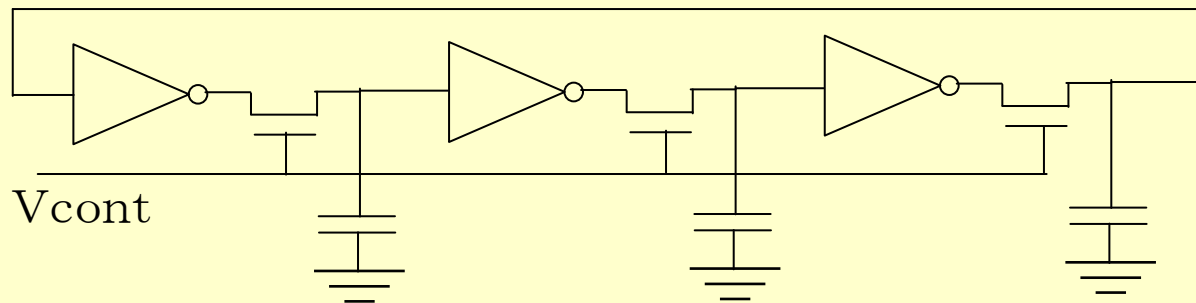
電圧制御発振器  
(Voltage Controlled Oscillator, VCO)

電流制御発振器  
(Current Controlled Oscillator, CCO  
もしくは ICO)

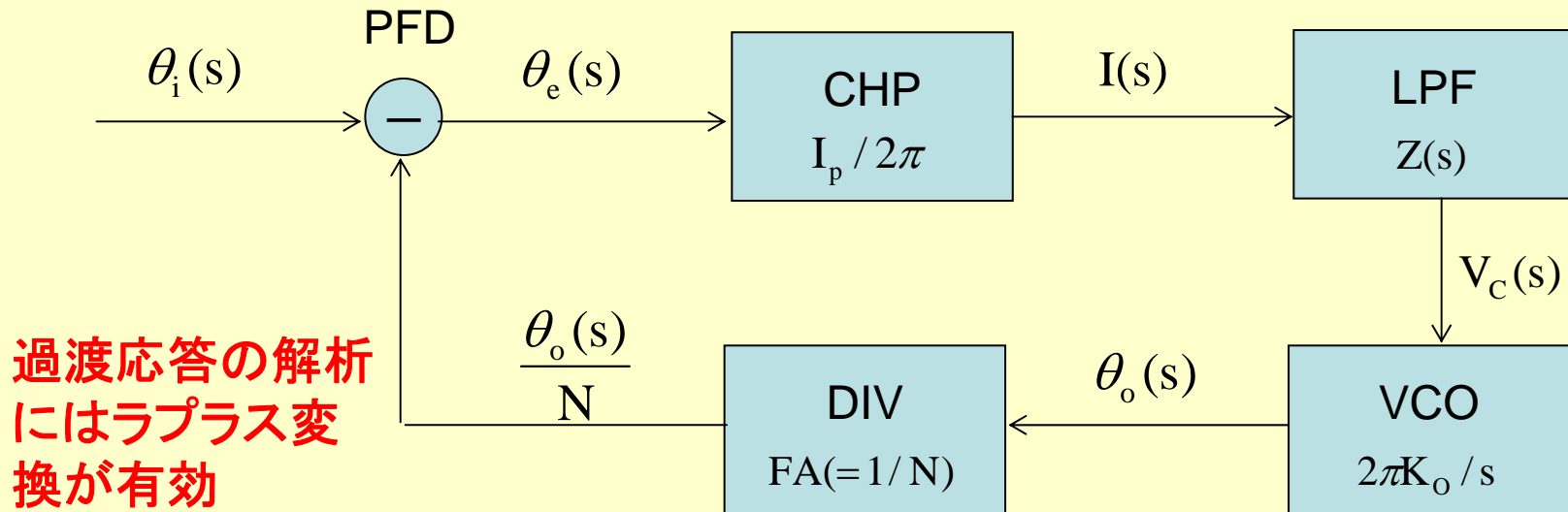
LPF 出力電圧を電流に変換する電圧・電流変換器が必要

# VCOの例 (Pass Transistor型)

- ・ インバータ・チェーンの負荷を制御  
制御電圧の増加→NMOS抵抗減少  
→CR時定数減少  
→発振周波数の増加



# PLL構成要素の伝達関数



過渡応答は畳み込み積分で与えられる： $f(t) * g(t) = \int_0^t f(t-u) \cdot g(u) du$   
畳み込み積分のラプラス変換により掛け算となり単純になる：

$$L(f(t)) = F(s), L(g(t)) = G(s) \text{ とすると } L(f(t) * g(t)) = F(s) \cdot G(s)$$

ただしラプラス変換： $F(s) = L(f(t)) = \int_0^\infty f(t) e^{-st} dt$

伝達関数＝出力のラプラス変換／入力 of ラプラス変換

# PLL内での次元変化

## ① P F D

位相→位相差

$$\theta_e(s) = \theta_i(s) - \theta_o(s) \quad \text{但し、} -2\pi \leq \theta_e(s) \leq 2\pi$$

## ② C H P

位相差→平均電流

$$I_d(s) = \frac{I_p}{2\pi} \cdot \theta_e(s)$$

## ③ L P F

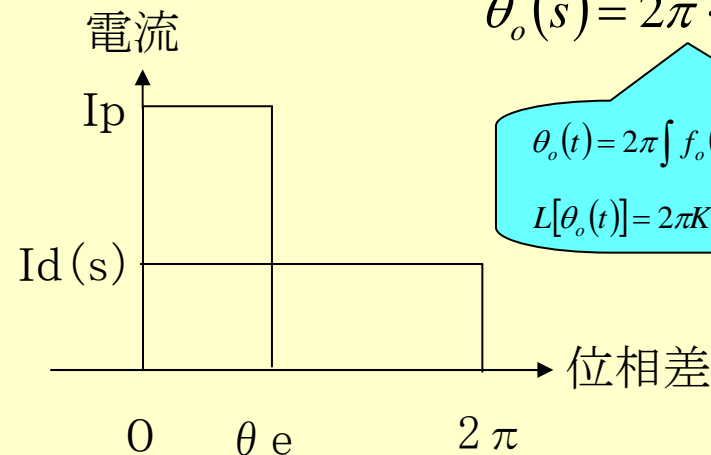
平均電流→電圧

$$V_C(s) = Z(s) \cdot I_d(s) \quad (\text{volt})$$

## ④ V C O

電圧→位相

$$\theta_o(s) = 2\pi \cdot K_o \cdot \frac{V_C(s)}{s}$$



$$\theta_o(t) = 2\pi \int f_o(t) dt = 2\pi \int K_o V_C(t) dt = 2\pi K_o \int V_C(t) dt$$

$$L[\theta_o(t)] = 2\pi K_o \cdot L\left[\int V_C(t) dt\right] = 2\pi K_o \cdot \frac{V_C(s)}{s}$$

# PLL伝達関数（付加フィルタ有り）

## LPFの伝達関数：Z(s)

$$Z(s) = \left(\frac{b-1}{b}\right) \cdot R_2 \cdot \left( \frac{\tau_2 \cdot s + 1}{\tau_2 \cdot s \cdot \left(\frac{\tau_2}{b}s + 1\right)} \right)$$

$$b \gg 1 \text{ のときは } Z(s) = R_2 \cdot \left( \frac{\tau_2 \cdot s + 1}{\tau_2 \cdot s \cdot \left(\frac{\tau_2}{b}s + 1\right)} \right)$$

ただし、 $b = 1 + \frac{C_1}{C_2}, \tau_2 = R_2 \cdot C_1$

付加フィルタ無しの場合：

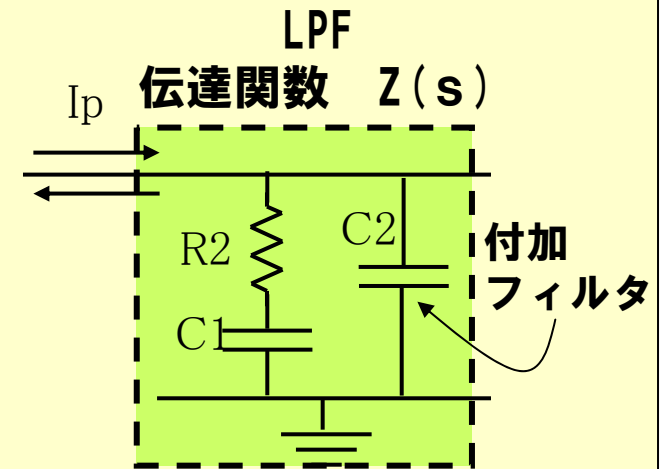
$$b \rightarrow \infty \text{ として } z(s) = R_2 \cdot \frac{\tau_2 \cdot s + 1}{\tau_2 \cdot s}$$

## PLLの開ループ伝達関数：F(s)

$$F(s) = \left(\frac{b-1}{b}\right) \cdot K \cdot \frac{\tau_2 \cdot s + 1}{\tau_2 \cdot s^2 \cdot \left(\frac{\tau_2}{b}s + 1\right)}$$

ただし、 $K = \frac{I_p \cdot R_2 \cdot K_o}{N}$

$$b \gg 1 \text{ のときは } F(s) = K \cdot \left( \frac{\tau_2 \cdot s + 1}{\tau_2 \cdot s^2 \cdot \left(\frac{\tau_2}{b}s + 1\right)} \right)$$



# PLL伝達関数（付加フィルタ有り）

## PLLの閉ループ伝達関数：H(s)

$$H(s) = \frac{K \left( \frac{b-1}{b} \right) \left( s + \frac{1}{\tau_2} \right)}{\frac{s^3 \tau_2}{b} + s^2 + K \left( \frac{b-1}{b} \right) s + K \cdot \frac{b-1}{b \cdot \tau_2}}$$

$b \gg 1$ のときは

$$H(s) = \frac{K \cdot \left( s + \frac{1}{\tau_2} \right)}{\frac{s^3 \tau_2}{b} + s^2 + K \cdot s + K \cdot \frac{1}{\tau_2}}$$

$b \rightarrow \infty$ で

$$H(s) = \frac{K \cdot \left( s + \frac{1}{\tau_2} \right)}{s^2 + K \cdot s + K \cdot \frac{1}{\tau_2}}$$

ここで、 $\tau_2 = \frac{2\zeta}{\omega_n}$ ,  $K = 2\zeta \cdot \omega_n$ と変数を

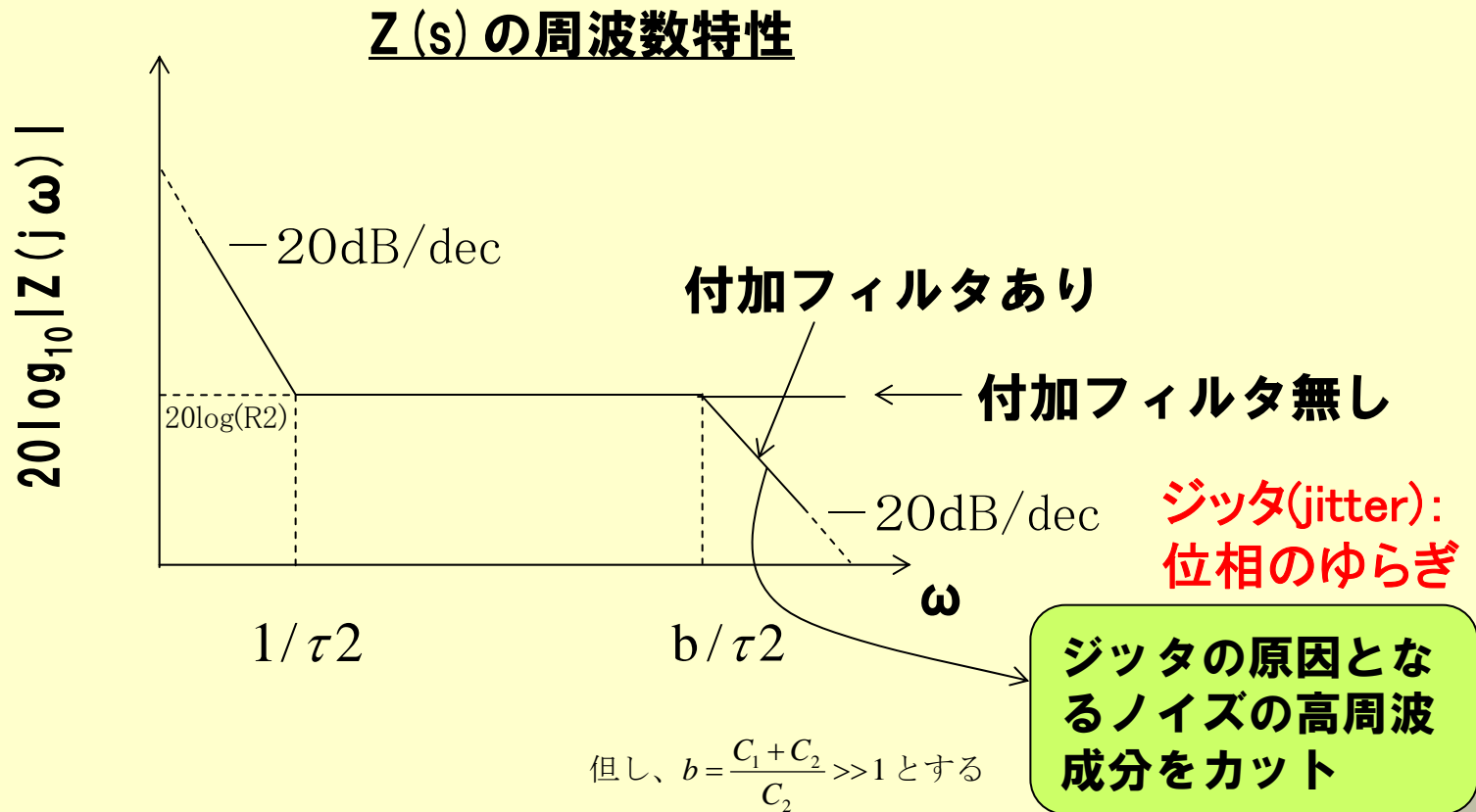
置き換えれば

$$H(s) = \frac{2\zeta \omega_n s + \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2}$$

これは(分母の)次数2、(積分器がVCOとフィルタで合計2個という意味で)タイプ2のPLLの伝達関数の一般的な式である。

付加フィルタを考慮するとPLLの伝達関数は3次になり解析が困難になるが、付加フィルタの効果は高周波側だけなのでPLLの基本設計は $b \rightarrow \infty$ として得られる2次のPLLの伝達関数で行い、高周波側で付加フィルタの設計を分離して行う。

# 付加フィルタの効果



# 設計パラメータ

①VCOのゲイン

$K_o$  (Hz/volt) 与えられているものとする

②ロックアップタイム

$T_p$  (sec) 仕様で決まっているものとする

③ダンピングファクタ

$$\zeta(\text{無次元}) \equiv \sqrt{\frac{K\tau^2}{4}}$$

④自然角周波数  
(固有角周波数)

$$\omega_n(\text{Hz}) \equiv \sqrt{\frac{K}{\tau^2}}$$

⑤ループゲイン

$$K = 2\zeta \cdot \omega_n$$

⑥LPFの時定数

$$\tau^2 = \frac{2\zeta}{\omega_n}$$

$$\tau^2 = R^2 \cdot C^1$$



# 設計パラメータ

⑦  $I_p \cdots 10\mu\text{A} \sim \text{数}10\mu\text{A}$

⑧  $R2 \cdots \text{数}k\Omega \sim 30k\Omega$  (ポリシリコン抵抗の場合)

$$K = \frac{I_p \cdot R2 \cdot K_o}{N} \text{ (Hz)} \quad N: \text{分周比}$$

⑨  $C1 \cdots \text{数}10\text{pF} \sim 600\text{pF}$  (MOSによる場合)  $R2 \cdot C1 = \tau 2$

⑩  $C2 \cdots \text{数}100\text{fF} \sim \text{数}10\text{pF}$   $C1$ の  $\frac{1}{30} \sim \frac{1}{100}$  程度

⑪  $R1 \cdots \text{数}k\Omega \sim \text{数}10k\Omega$   $R2$ の2倍程度, 補助的効果

## ② $T_p$ と $\omega_n$ の関係

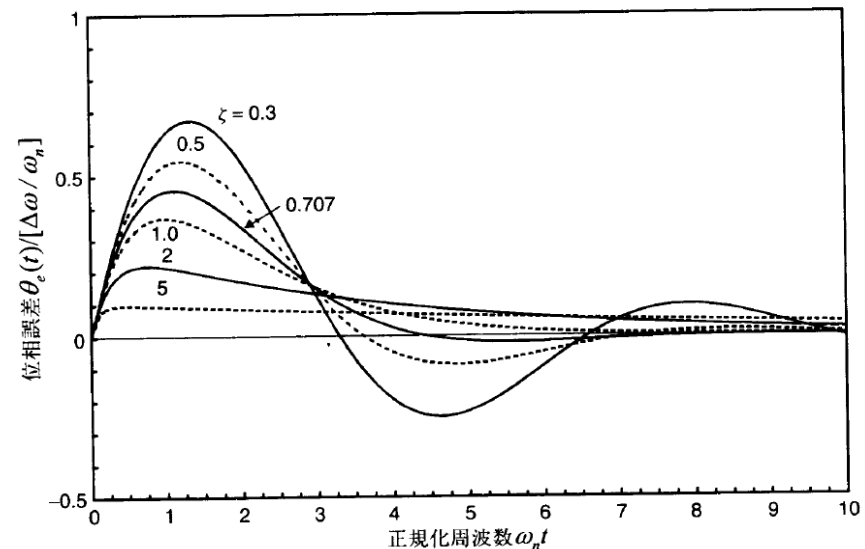
ロックアップタイム:

周波数ステップ  $\Delta\omega$  (Hz) の応答で位相誤差  $\theta_e(t)$  が最大値の  $\pm 5\%$  になるまでの時間をロックアップタイム ( $T_p$ ) とする。

$\zeta = 0.6 \sim 0.8$  とすると、  
右図から  $\omega_n \cdot T_p \geq 4.5$

$$\rightarrow \omega_n \geq \frac{4.5}{T_p}$$

$\theta_e(t)$ : 位相誤差 (rad)



2次タイプ2 PLLの周波数ステップ  $\Delta\omega$  に対する過渡応答

参考文献(1), P.87:

$$\theta_e(t) / \left( \frac{\Delta\omega}{\omega_n} \right) = \begin{cases} \left( \frac{1}{\sqrt{1-\zeta^2}} \sin \sqrt{1-\zeta^2} \omega_n t \right) e^{-\zeta \omega_n t} & \zeta < 1 \\ (\omega_n t) e^{-\omega_n t} & \zeta = 1 \\ \left( \frac{1}{\sqrt{\zeta^2-1}} \sinh \sqrt{\zeta^2-1} \omega_n t \right) e^{-\zeta \omega_n t} & \zeta > 1 \end{cases}$$

# ③ ζ の設計

通常は  $\zeta = 0.707 \sim 1$

$\zeta < 0.707$  の場合

PLLの系の周波数特性で、 $\omega_n$  付近にゲインのピークが発生する。つまり、この周波数近傍のノイズは増幅され、系は不安定となる。

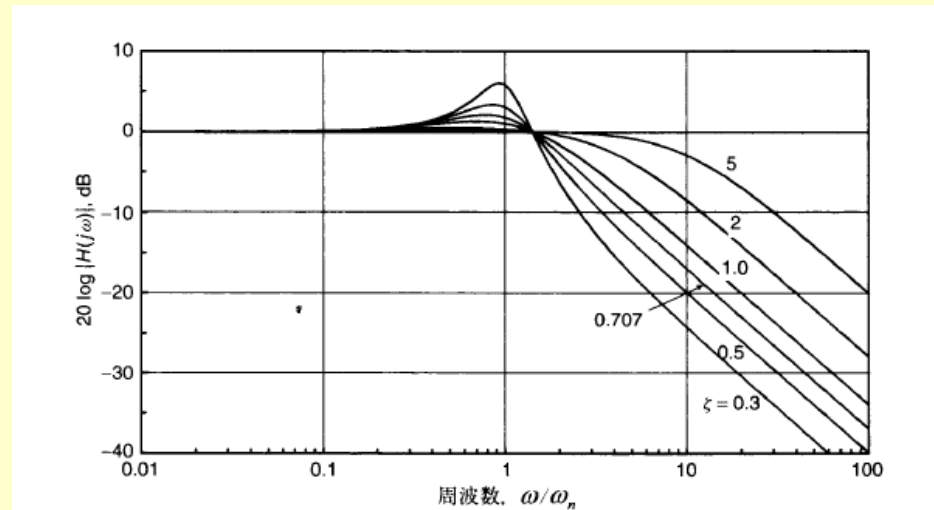
$\zeta \gg 1$  の場合

ノイズ・バンド幅

$$B_L = \int_0^\infty |H(f)|^2 df$$

$$= \frac{\omega_n}{4} \left( 2\zeta + \frac{1}{2\zeta} \right) \dots 2\text{次タイプ2 PLL}$$

が高周波側に広がる。



2次タイプ2 PLLの周波数応答 $|H(j\omega)|$

$$\text{ただし、} H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

振幅 $V_s$ の正弦波入力信号に重畳した白色ノイズ(スペクトル密度 $N_o$ )が原因でVCOの出力位相に生じるノイズ $\theta_{no}$ の分散は

$$\sigma_{\theta_{no}}^2 = \frac{2N_o}{V_s^2} \int_0^\infty |H(f)|^2 df \quad \dots \text{参考文献(1), P.110}$$

# ④ $\omega_n$ ⑤ $K$ ⑥ $\tau_2$ の設計

④  $\omega_n$

Gardnerの安定条件より、 $\omega_n \ll \frac{f_{in}}{2\zeta}$  (Hz) (チャージポンプの離散時間処理を考慮)

ただし、 $f_{in}$  : PFDの参照入力信号周波数

ロックアップタイム( $T_p$ )の制約 ( $\zeta = 0.6 \sim 0.8$ )

$$\omega_n \geq \frac{4.5}{T_p}$$

ロックアップタイムが大きくて良い場合はノイズ帯域を狭くするために $\omega_n$ を小さくすれば良い。

⑤  $K$

$$K = 2\zeta \cdot \omega_n$$

⑥  $\tau_2$

$$\tau_2 = \frac{2\zeta}{\omega_n}$$

# ⑦ $I_p$ ⑧ $R2$ ⑨ $C1$ の設計

⑦  $I_p$

チャージポンプのトランジスタの駆動力で決まる

⑧  $R2$

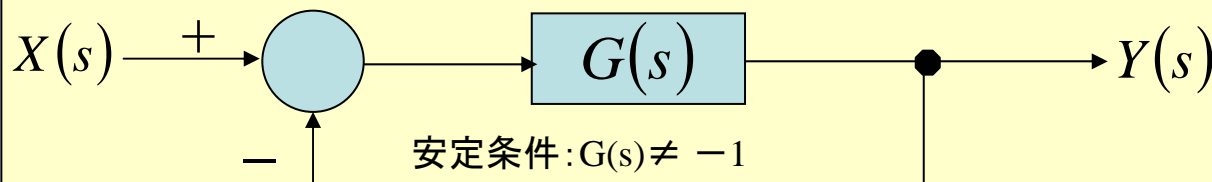
$$K = \frac{I_p \cdot R2 \cdot K_o}{N} \text{ (Hz)} \quad N: \text{分周比}$$

⑨  $C1$

$$R2 \cdot C1 = \tau 2$$

# ループの安定性（ボード線図）

Bodeの安定性基準：位相シフトが $180^\circ$ に達する前にゲインは1（0dB）以下にならないといけない。



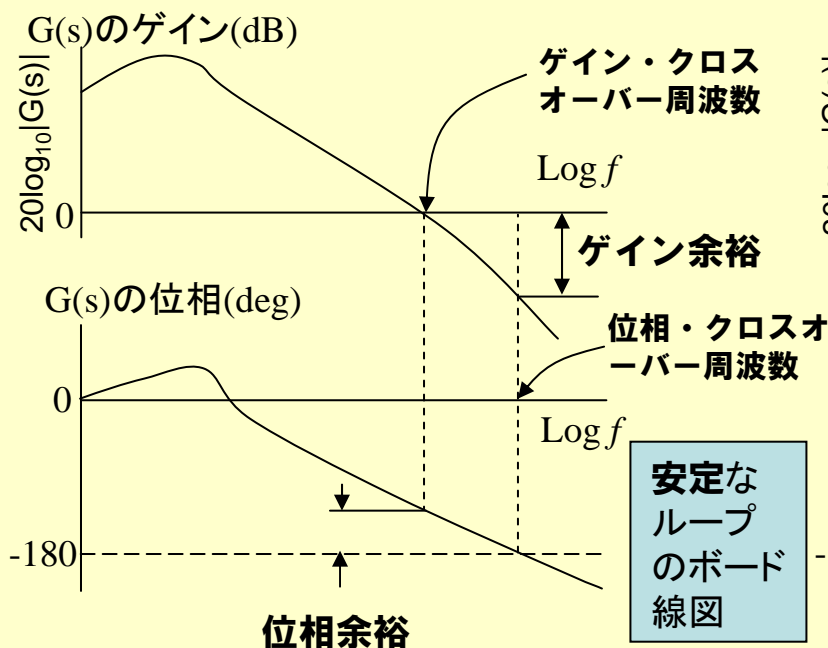
フィードバック・ループ

$G(s)$ : 開ループ伝達関数

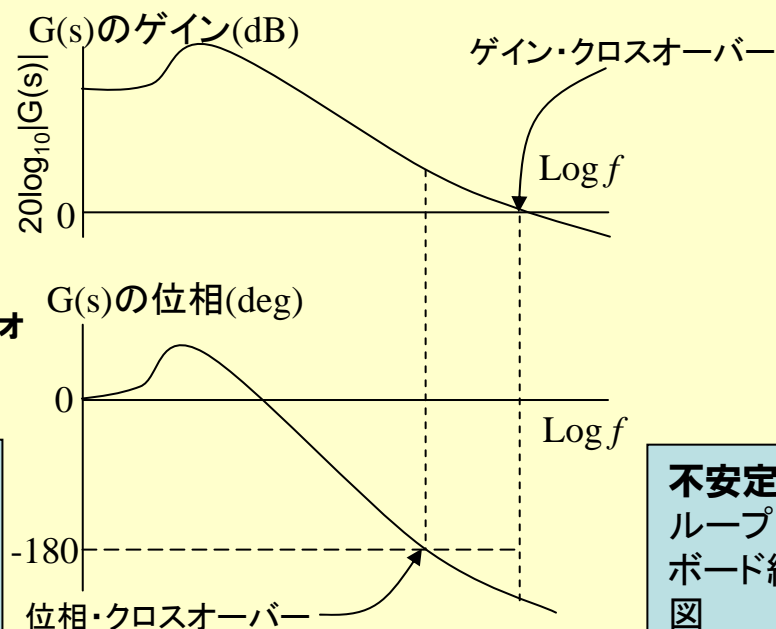
$H(s)$ : 閉ループ伝達関数

$$Y(s) = (X(s) - Y(s)) \cdot G(s)$$

$$H(s) = \frac{Y(s)}{X(s)} = \frac{G(s)}{1 + G(s)}$$



安定な  
ループ  
のボード  
線図



不安定な  
ループの  
ボード線  
図

# 付加フィルタの設計

PLLの開ループ伝達関数( $b \gg 1$ とする)

付加フィルタ有りの場合:

$$F(s) = K \cdot \left( \frac{\tau_2 \cdot s + 1}{\tau_2 \cdot s^2 \cdot \left( \frac{\tau_2}{b} s + 1 \right)} \right)$$

付加フィルタ無しの場合 ( $b \rightarrow \infty$ ):

$$F(s) = K \cdot \frac{\tau_2 \cdot s + 1}{\tau_2 \cdot s^2}$$

ボード線図で

**極 (pole) : フィルタの周波数特性でゲインが20dB/decade増加 (ハイパスフィルタ) もしくは減少 (ローパスフィルタ) に転ずる点**

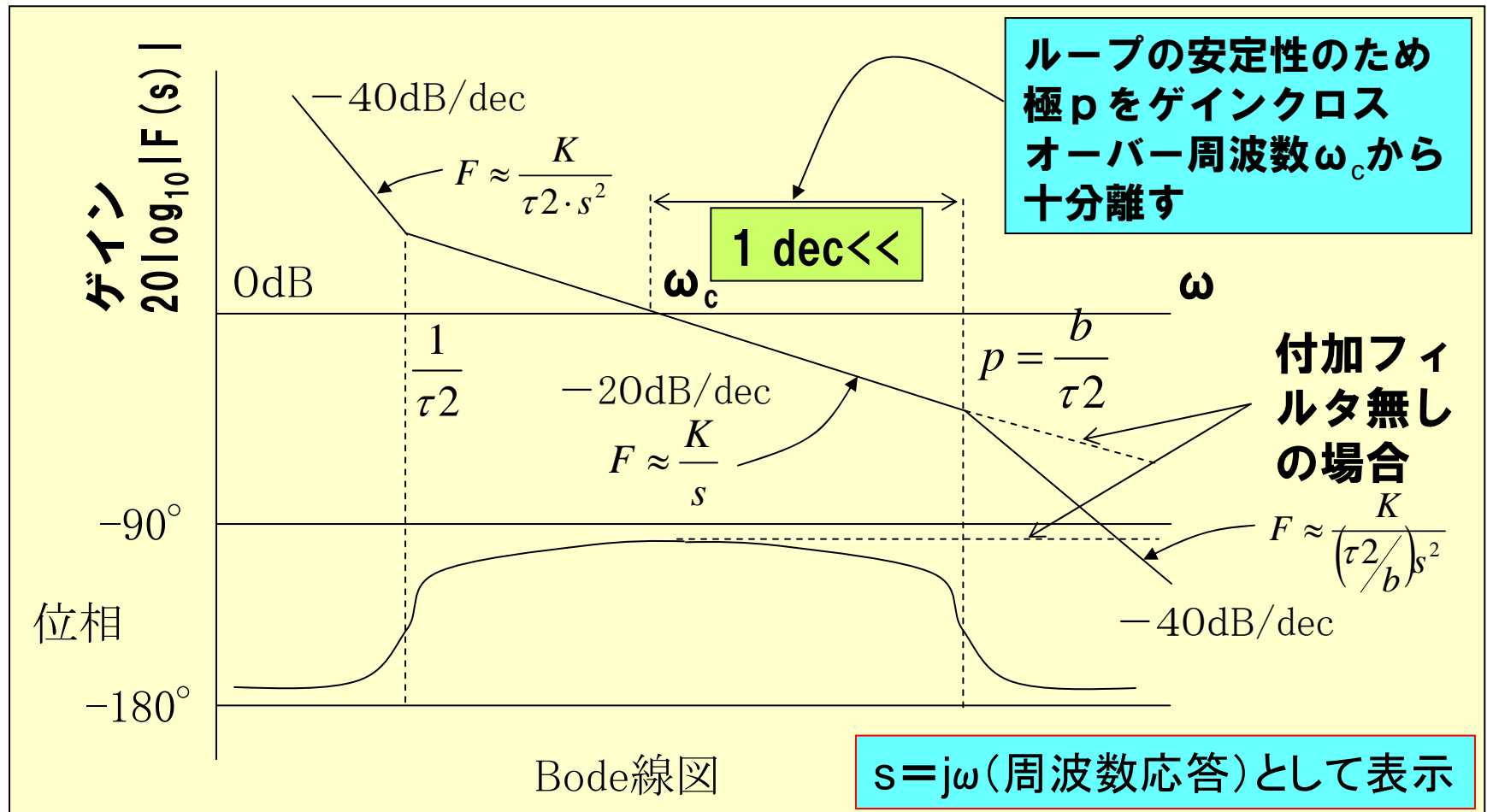
付加フィルタによる極

$$p = \frac{b}{\tau_2}$$

ゲインが0dBとなる周波数  
(付加フィルタの有無によらず)

$$\omega_c = K(\text{rad/s})$$

# 付加フィルタへの条件





# 付加フィルタへの条件

付加フィルタによって導入される位相遅れの影響を抑制するために付加フィルタの極の周波数 $p$ が $\omega_c$ よりも10倍程度高くなるように設計する、

$$\omega_c = K = \frac{(2\zeta)^2}{\tau^2} < \frac{1}{10} \cdot p = \frac{1}{10} \cdot \frac{b}{\tau^2}$$

したがって

$$40\zeta^2 < b$$

# ⑩C2の設計

$$b = 1 + \frac{C1}{C2} \quad \text{近似的には} \quad \boxed{C2 = \frac{C1}{b}}$$

ここで  $b \geq 40\zeta^2$  ( $b$  が小さいと位相特性が悪化する) したがって

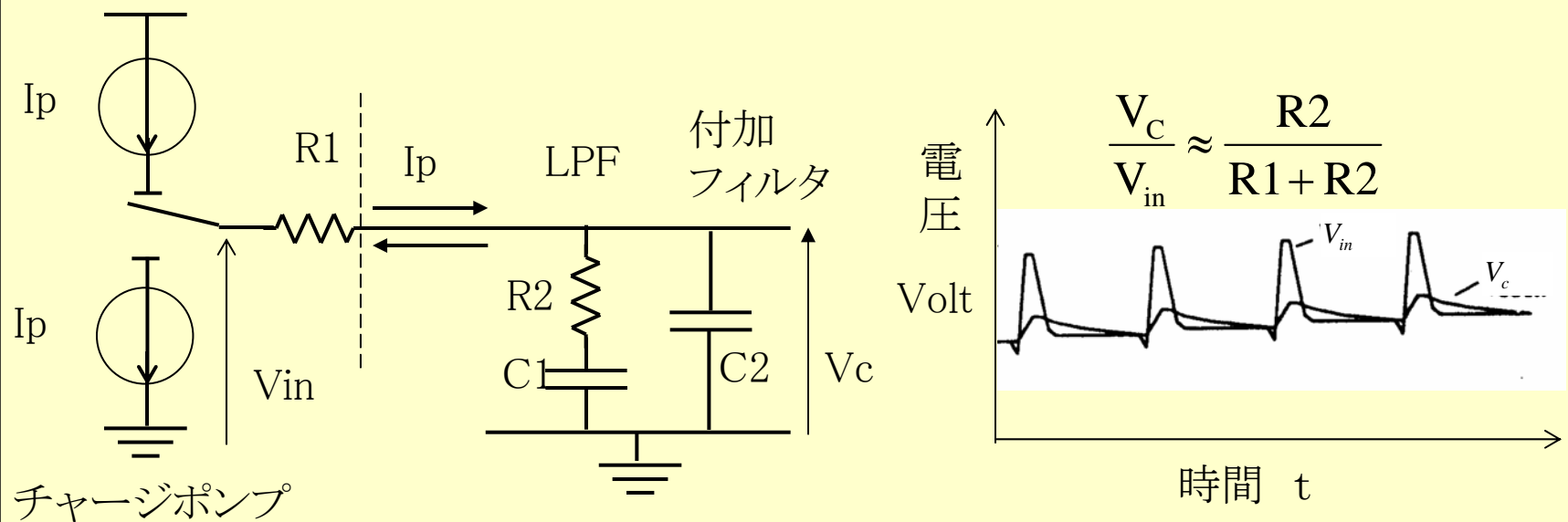
$$\boxed{C2 \leq \frac{C1}{40\zeta^2}}$$

# ⑪ R1 の設計

R1 はチャージポンプのスイッチングに起因するリップル除去用抵抗。

$$2 \times R2 \leq R1 \leq \frac{R0}{10}$$

R0=チャージポンプの抵抗(MOSのON抵抗)



# 設計前提条件例

$$f_{in} = 25\text{MHz}$$

$$\text{VCOのゲイン } K_o = 20\text{MHz}$$

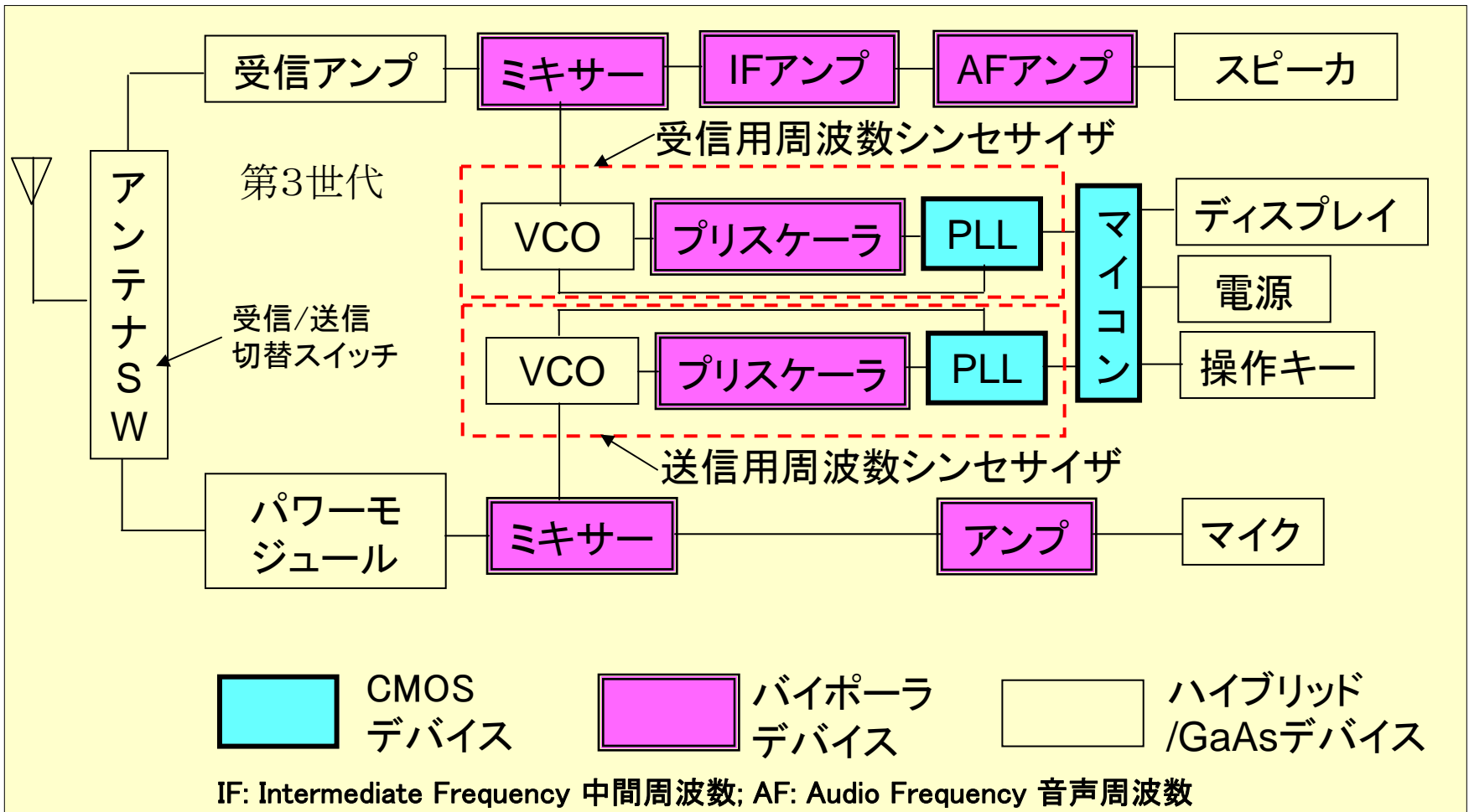
$$\zeta = 0.7 \quad (\text{プロセス変動は無いとする})$$

$$N = 1 \quad (\text{分周器無し})$$

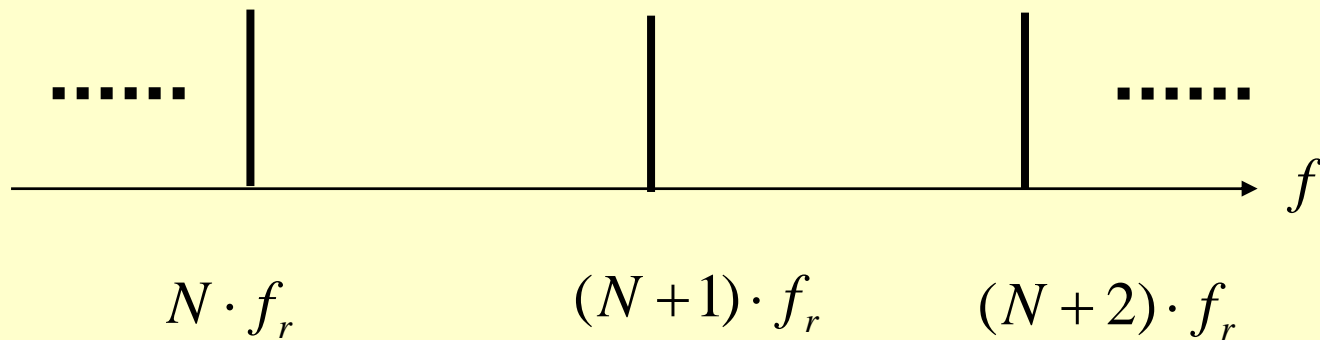
$$T_p \text{ (ロックアップタイム)} \sim 4 \mu\text{s}$$

# **[3] 周波数シンセサイザ**

# 携帯電話における周波数シンセサイザ

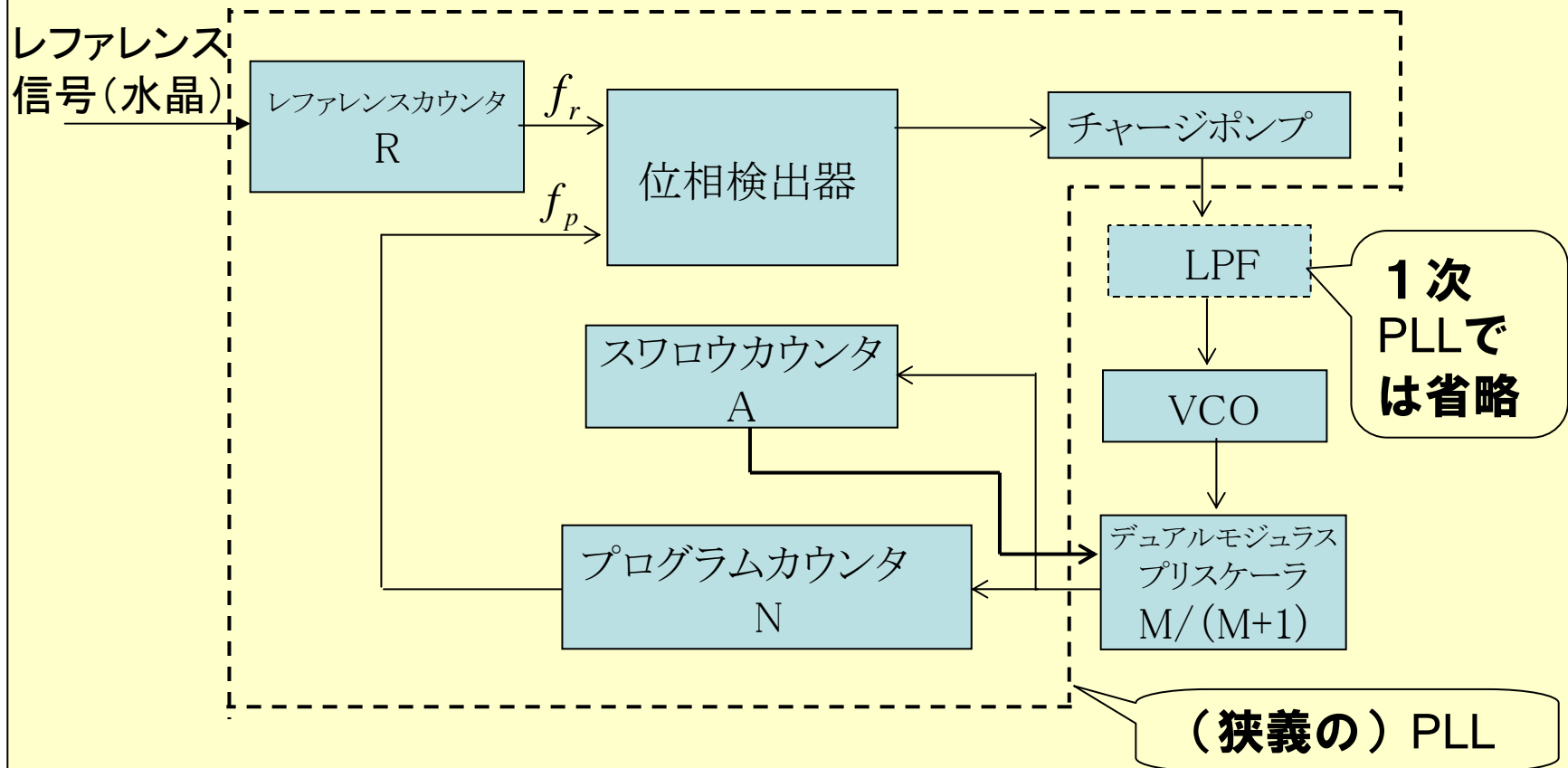


# 整数分周比周波数シンセサイザ



携帯電話やマイクロプロセッサのクロック周波数を  
参照周波数 $f_r$ の間隔で発生

# 周波数シンセサイザ (パルススワロウ方式) : 整数分周比





# パルススワロウ方式

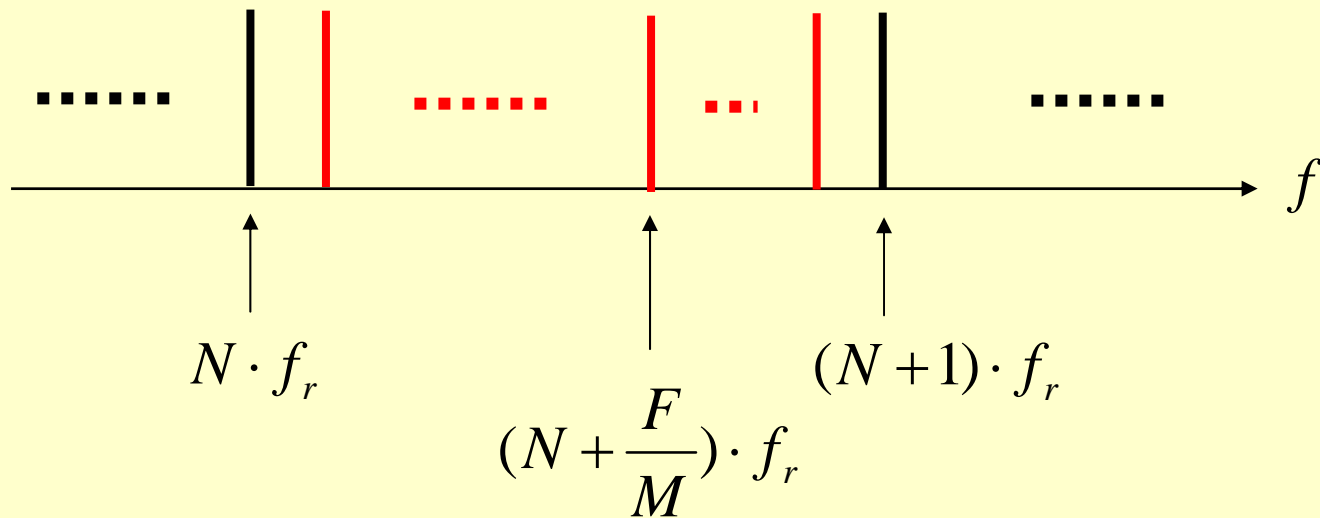
- ①VCO出力をまずデュアルモジュラスプリスケータで分周。
- ②デュアルモジュラスプリスケータは2種の分周比( $1/M, 1/(M+1)$ )を持ち、その出力はプログラムカウンタとスワロウカウンタへ入力される。
- ③スワロウカウンタは分周器制御用。  
スワロウカウンタが動作中はプリスケータは $1/(M+1)$ 。
- ④スワロウカウンタがA個のパルスのカウントするとプリスケータは $1/M$ になる。
- ⑤プログラムカウンタがNだけ数え終わるまでのVCOクロック数は $(M+1) \times A + M \times (N-A)$ 。つまりVCOクロックをこれだけ分周したものが  $f_p$
- ⑥ 
$$f_p = f_{vco} / \{(M+1) \times A + M \times (N-A)\}$$
$$f_{vco} = f_p \times \{(M+1) \times A + M \times (N-A)\}$$
$$= f_p \times (A + M \times N) = f_r \times (A + M \times N)$$
- ⑦従って、間隔  $f_r$  で周波数  $f_{vco}$  を発生させることが出来る。

# パルススワロウによる分周の例

全体分周数 P	10分周数 N-A	11分周数 A	10, 11分周合計回数 N
•	•	•	•
•	•	•	•
•	•	•	•
1100	110	0	110
1101	109	1	110
1102	108	2	110
1103	107	3	110
1104	106	4	110
1105	105	5	110
1106	104	6	110
1107	103	7	110
1108	102	8	110
1109	101	9	110
1110	111	0	111
1111	110	1	111
1112	109	2	111
•	•	•	•
•	•	•	•

M=10

# フラクショナルNシンセサイザ



間隔が $f_r$ よりも小さな（分数倍の）周波数を発生

# 分数分周比利用のメリット

## 整数分周比 周波数シンセサイザ

生成周波数の間隔を小さくするために  
入力周波数 $f_r$ を小さくしたいが、ループ  
ゲイン $K$ を小さくするには限界がある

$$\underbrace{\frac{4.5 \cdot 2\zeta}{T_p}}_{\text{周波数ステップ応答(ロックアップタイム } T_p \text{)の高速性条件}} \leq K \underbrace{\ll f_r}_{\text{Gardnerの安定性条件}}$$



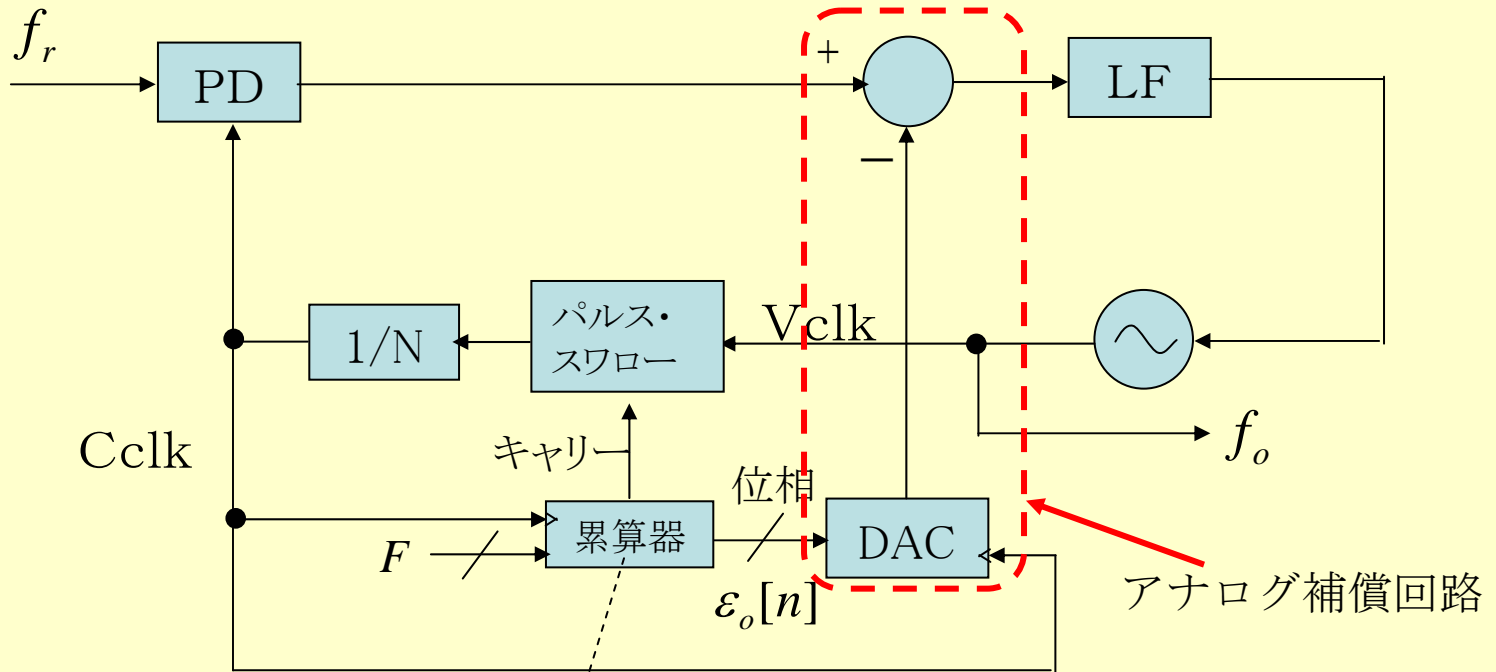
## フラクショナルN 周波数シンセサイザ

(フラクショナル：分数、小数)

入力周波数 $f_r$ を極端に小さくする必要がないので  
ループゲイン $K$ の減少に伴う不都合を伴うこと  
なしに生成周波数の間隔を小さくできる

# フラクショナルNシンセサイザ

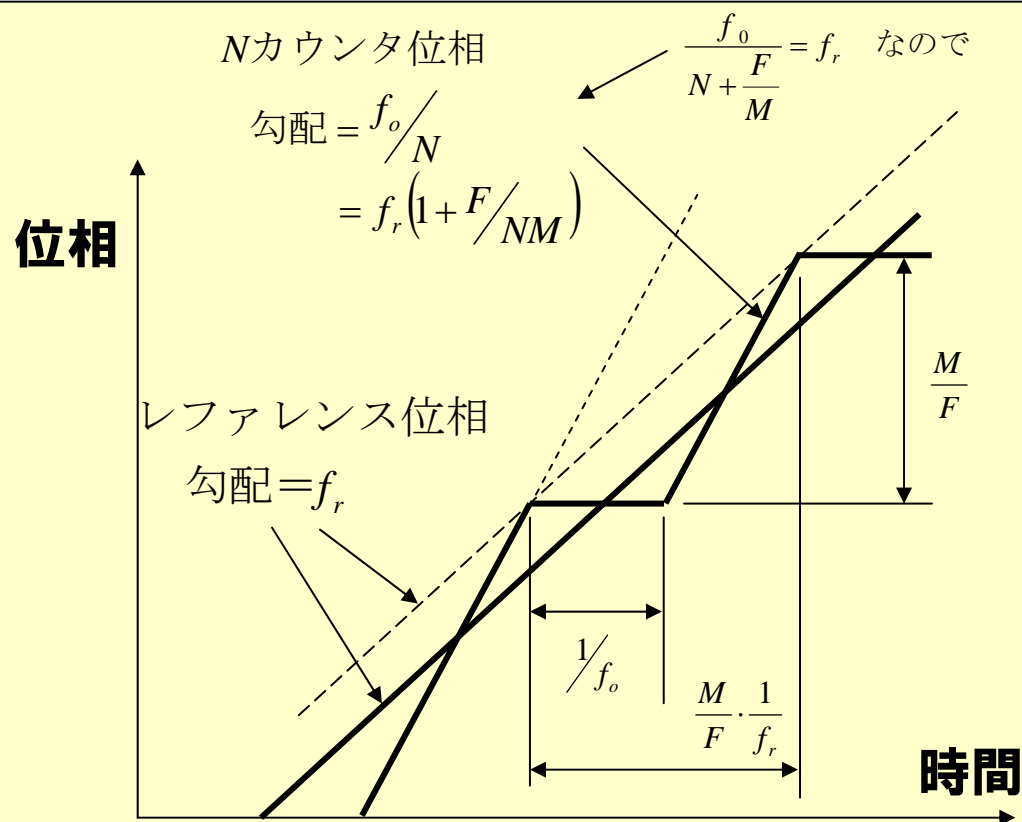
## アナログ補償回路付き



$$\varepsilon_o[n] = \varepsilon_o[n-1] + F \quad \text{mod-} M \quad (M \text{は通常は } 2 \text{ のべき乗})$$

# フラクショナルNシンセサイザ

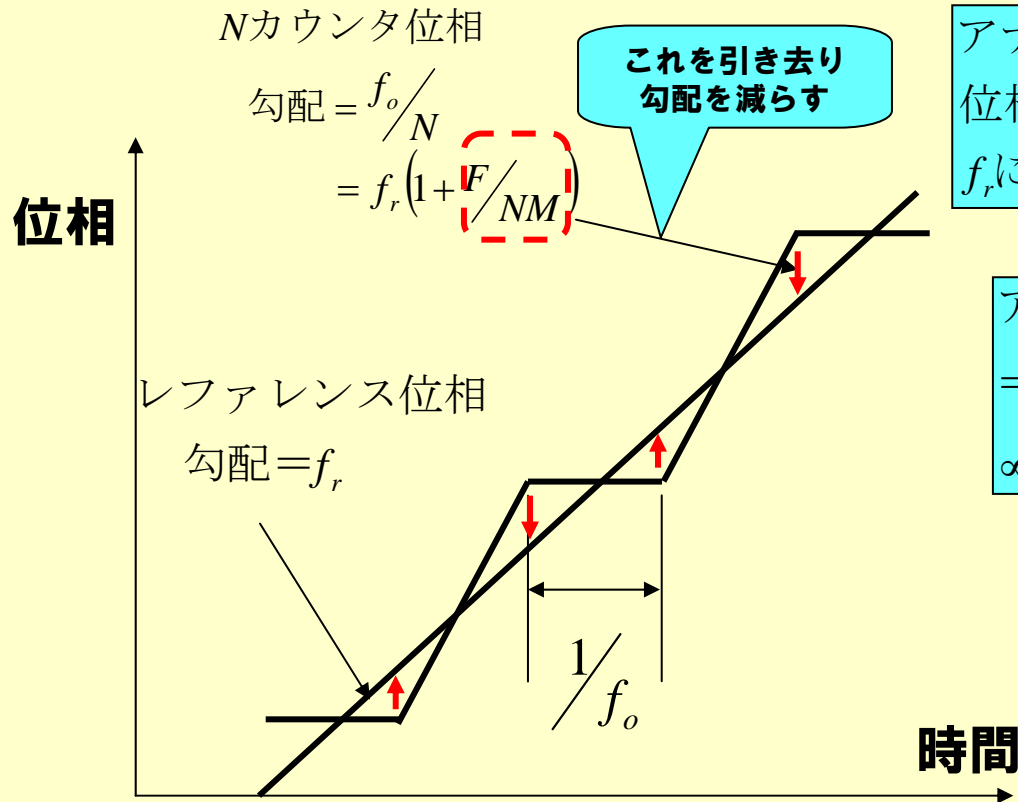
## アナログ補償回路導入の理由



分周カウンタの位相出力が不均一であるためシンセサイザ出力波形にノイズ周波数（スプリアス）が発生する可能性がある。

# フラクショナルNシンセサイザ

## アナログ補償回路付き



アナログ補償は等価的にNカウンタ位相の勾配をレファレンス位相勾配  $f_r$  に近づける。

アナログ補償回路の補正必要分  
 $= f_r \cdot \left( \frac{F}{NM} \right)$   
 $\propto F = \text{累算器の内容の増加勾配}$

# フラクショナルNシンセサイザの解釈

## アナログ補償回路付き

- ①分周比を  $N$  と  $(N+1)$  の間で切替えながら定 常状態で平均値  $\left(N + \frac{F}{M}\right)$  を実現
- ②通常は分周比  $N$  で、 $M$  サイクルの内  $F$  サイクルは分周比  $(N+1)$  とする
- ③MOD -  $M$  で  $F$  を繰り返し加算しオーバーフローが出るたびにパルスフローでクロックを1個分カウント停止し実効的に分周比を  $(N+1)$  とする
- ④①により  $f_o = f_r \left(N + \frac{F}{M}\right)$
- ⑤位相検出器の入力の 1 つの位相勾配は  $f_r$ , もう 1 つは  $f_o/N = f_r \left(1 + \frac{F}{NM}\right)$
- ⑥  $f_o/N$  の直線部分は  $f_r$  よりも  $\frac{F}{NM} f_r$  だけ勾配が大きい が  $M/F$  のサイクル間隔で位相勾配が  $1/f_o$  の期間 0 になるので、平均では位相勾配は  $f_r$  に等しい。
- ⑦アナログ補償回路で 位相検出器出力 (位相 差に比例) から勾配が  $F$  に比例する値を差し引いて実効的に入力側で  $f_o/N$  を  $f_r$  に漸近させて VCO 入力電圧を平滑化する ことで  $f_o$  出力からスプリアスを 削減する。



# フラクショナルNシンセサイザ

## アナログ補償回路の問題点と $\Sigma\Delta$ モジュレータへの進化

アナログ補償回路

位相ノイズ  
キャンセル

↓ 進化

- ①調整が困難  
(時間的にドリフトが発生)
- ②位相ノイズ打消しが不完全  
(1%程度は残る)
- ③高速動作に制約

デジタル回  
路による $\Sigma\Delta$   
モジュレータ

高周波側への  
ノイズの  
シェーピング

&

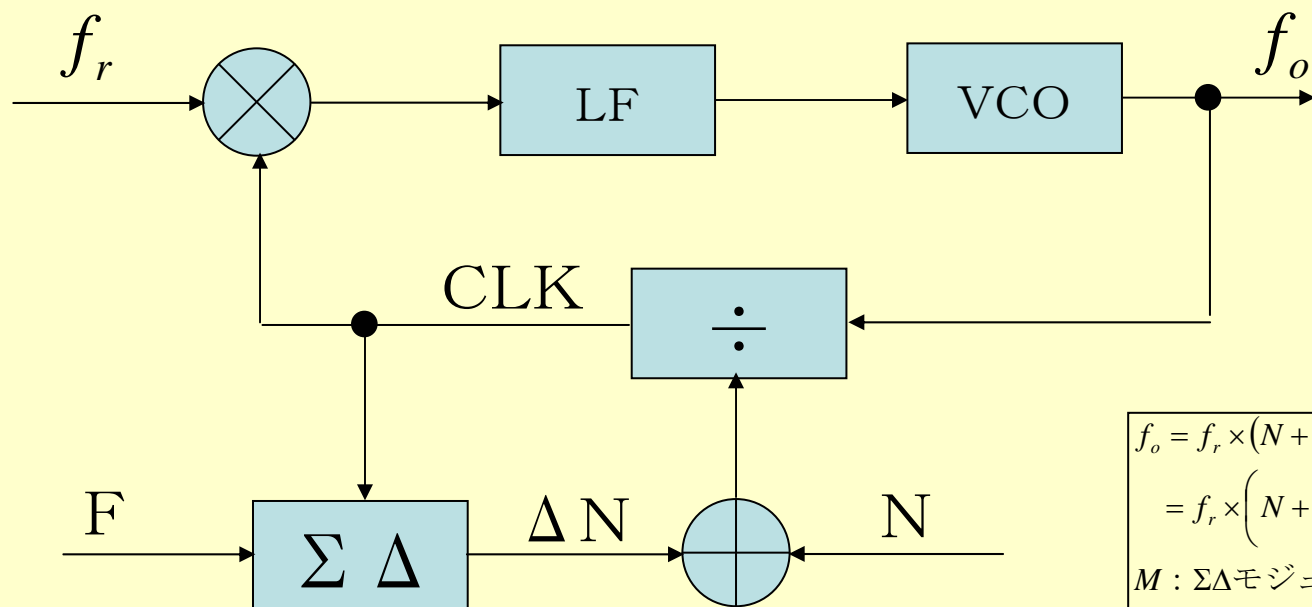
PLL

ローパス  
フィルタ  
機能

位相ノイズ  
の大幅削減  
可能

# フラクショナルN周波数シンセサイザ

## $\Sigma \Delta$ モジュレータ方式



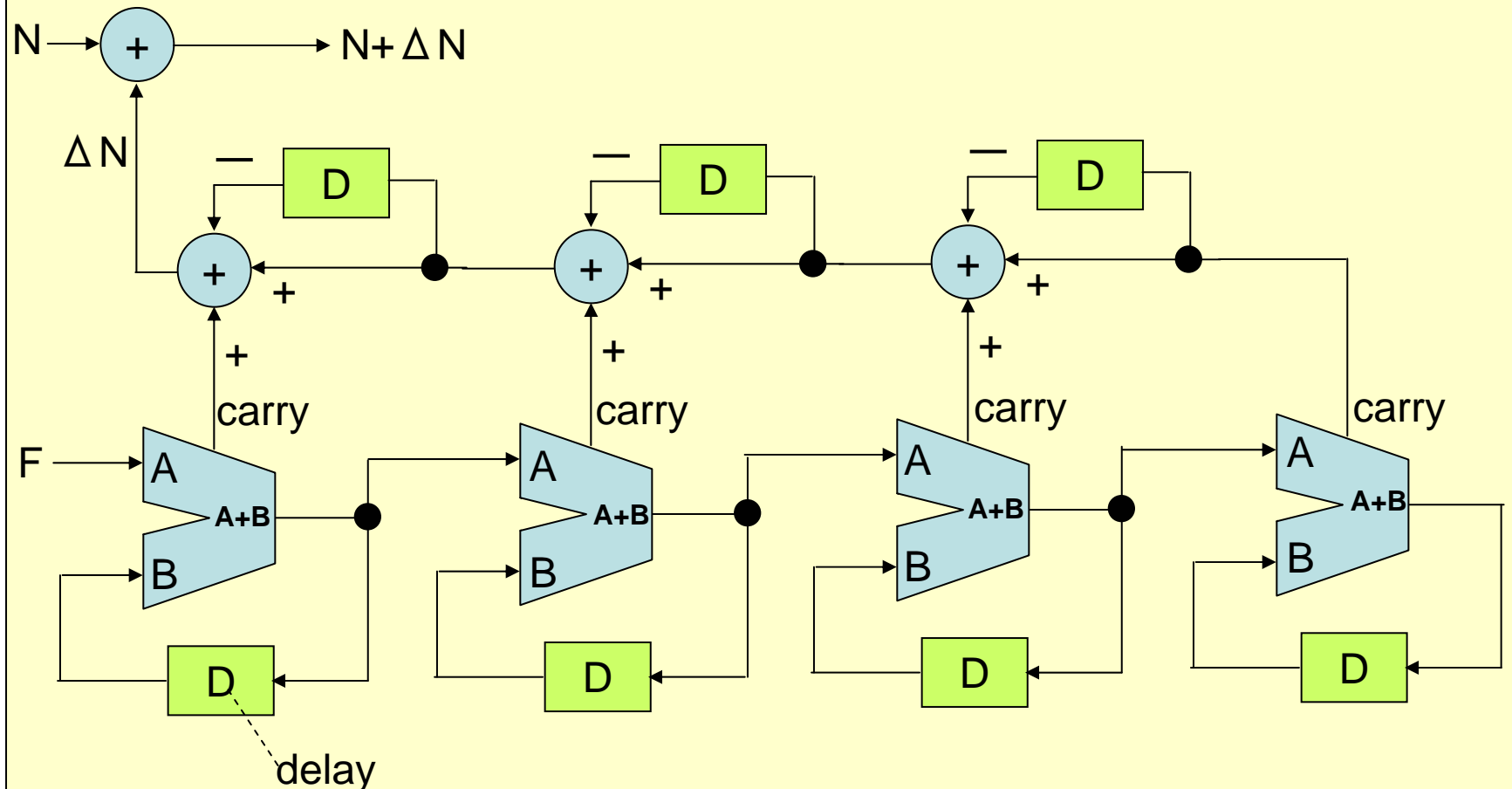
$$f_o = f_r \times (N + \Delta N)$$

$$= f_r \times \left( N + \frac{F}{M} \right)$$

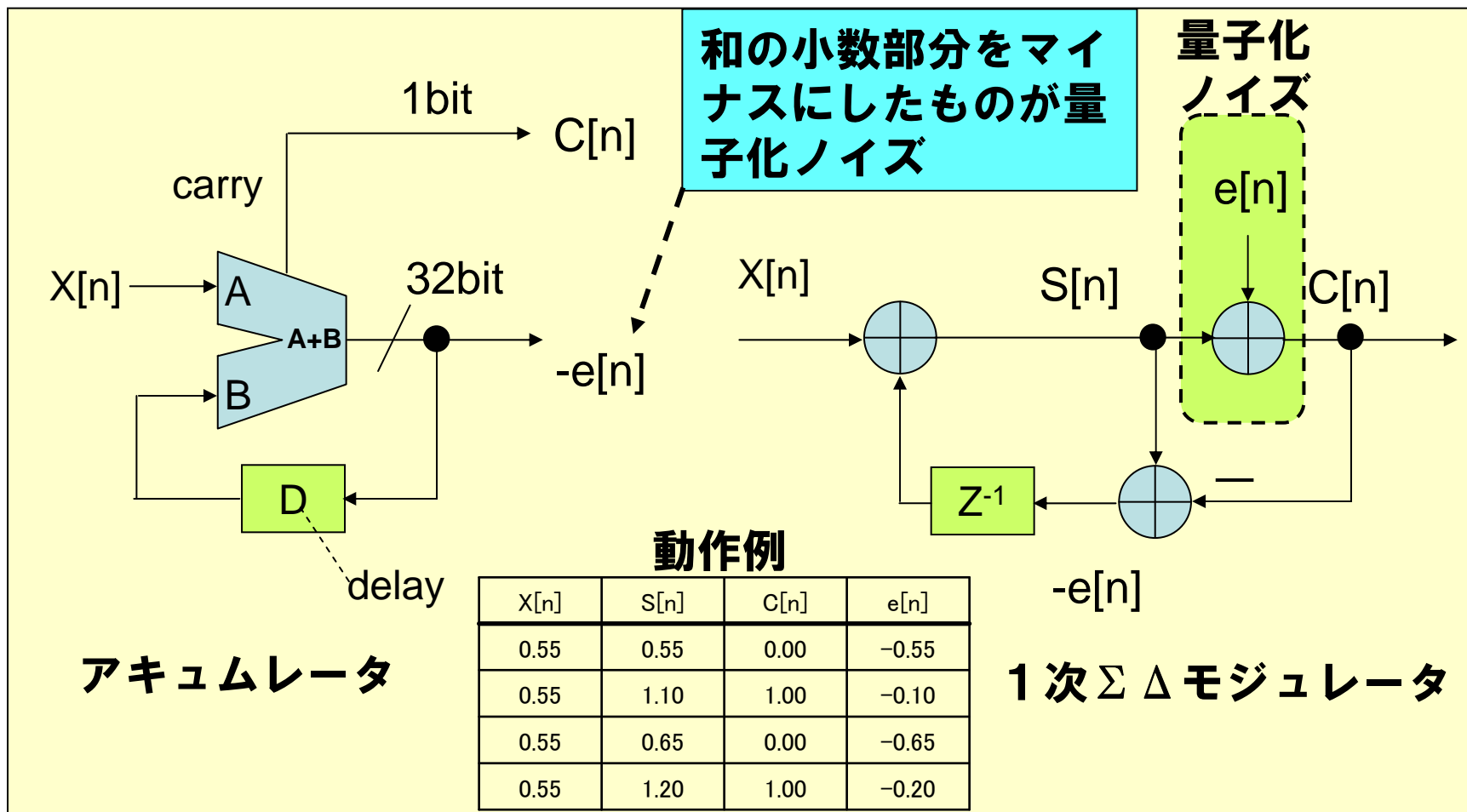
$M$  :  $\Sigma \Delta$  モジュレータの  
アキュムレータ  
の最大値 + 1

CLK クロック毎に整数比で分周

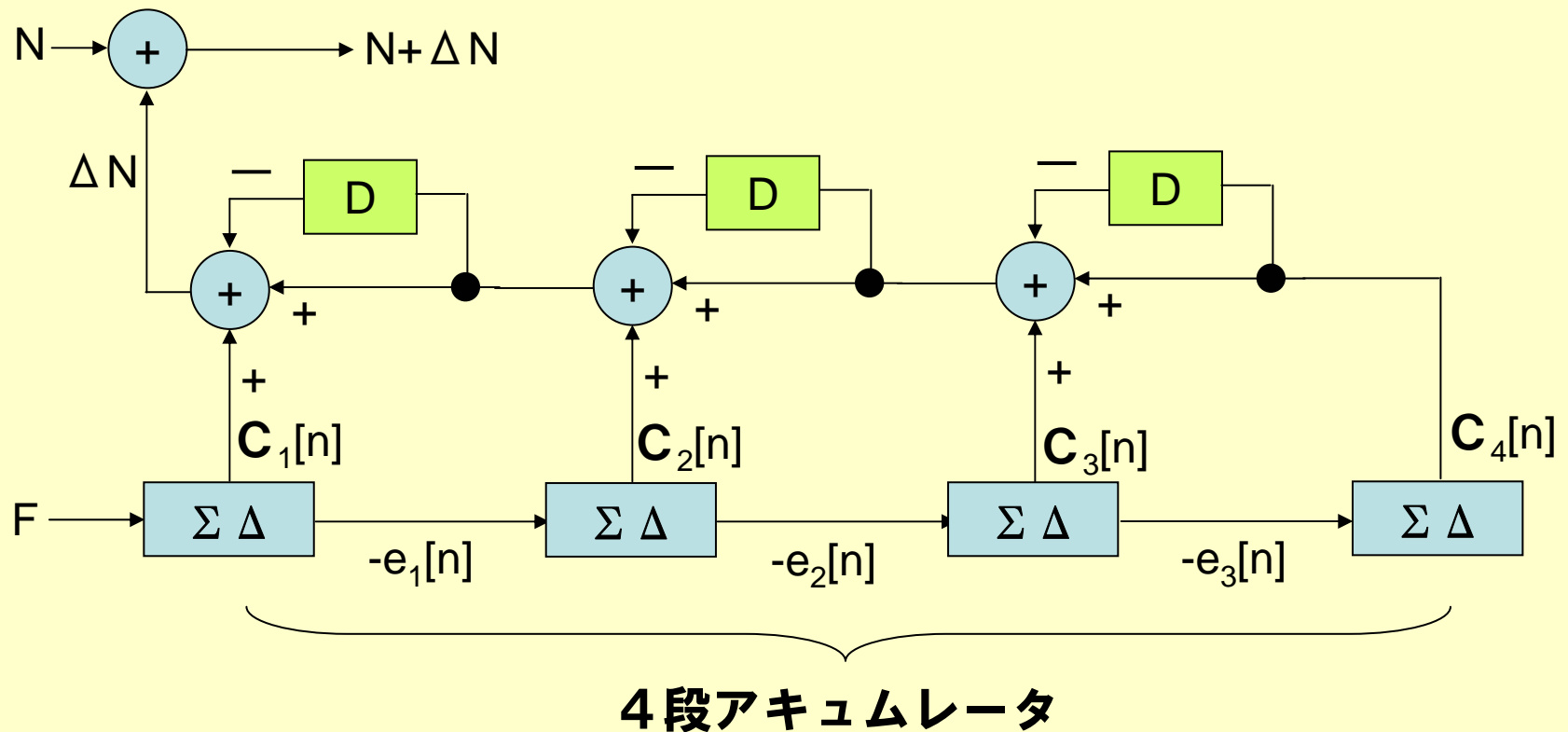
# MASH (multistage noise shaping)



# 量子化ノイズ表現の導入



# $\Sigma \Delta$ モジュレータによる 分数分周比の生成



# Σ Δ モジュレータによる ノイズシェーピング (1)

$$\left. \begin{aligned} C[n] &= S[n] + e[n] \\ S[n] &= X[n] - e[n-1] \end{aligned} \right\} \text{両式から } S[n] \text{ を消去}$$

$$C[n] = X[n] + e[n] \cdot (1 - z^{-1}) \quad : \text{1次シグマ・デルタモジュレータの伝達関数}$$

$$C_1[n] = e_1[n] \cdot (1 - z^{-1}) + F$$

$$C_2[n] = e_2[n] \cdot (1 - z^{-1}) - e_1[n]$$

$$C_3[n] = e_3[n] \cdot (1 - z^{-1}) - e_2[n]$$

$$C_4[n] = e_4[n] \cdot (1 - z^{-1}) - e_3[n]$$

差分は微分に相当  
→ 高周波項が強調される

4次ハイパス項  
(高度にシェイプされた  
ノイズ) + F

これより

$$\Delta N = C_1[n] + C_2[n] \cdot (1 - z^{-1}) + C_3[n] \cdot (1 - z^{-1})^2 + C_4[n] \cdot (1 - z^{-1})^3$$

$$\Delta N = e_4[n] \cdot (1 - z^{-1})^4 + F$$

# Σ Δ モジュレータによる ノイズシェーピング (2)

アキュムレータ	キャリア（オーバーフロー）ビットのΔNへの寄与							
	現サイクル		次サイクル		次々サイクル		次々々サイクル	長期的効果
1段目	+1							+1
2段目	+1	→	-1					0
3段目	+1	→	-2	→	+1			0
4段目	+1	→	-3	→	+3	→	-1	0

パスカルの三角形

1 段目アキュムレータ : 分周比に寄与

2 段目以降アキュムレータ : 位相ノイズの高周波へのシフトに寄与

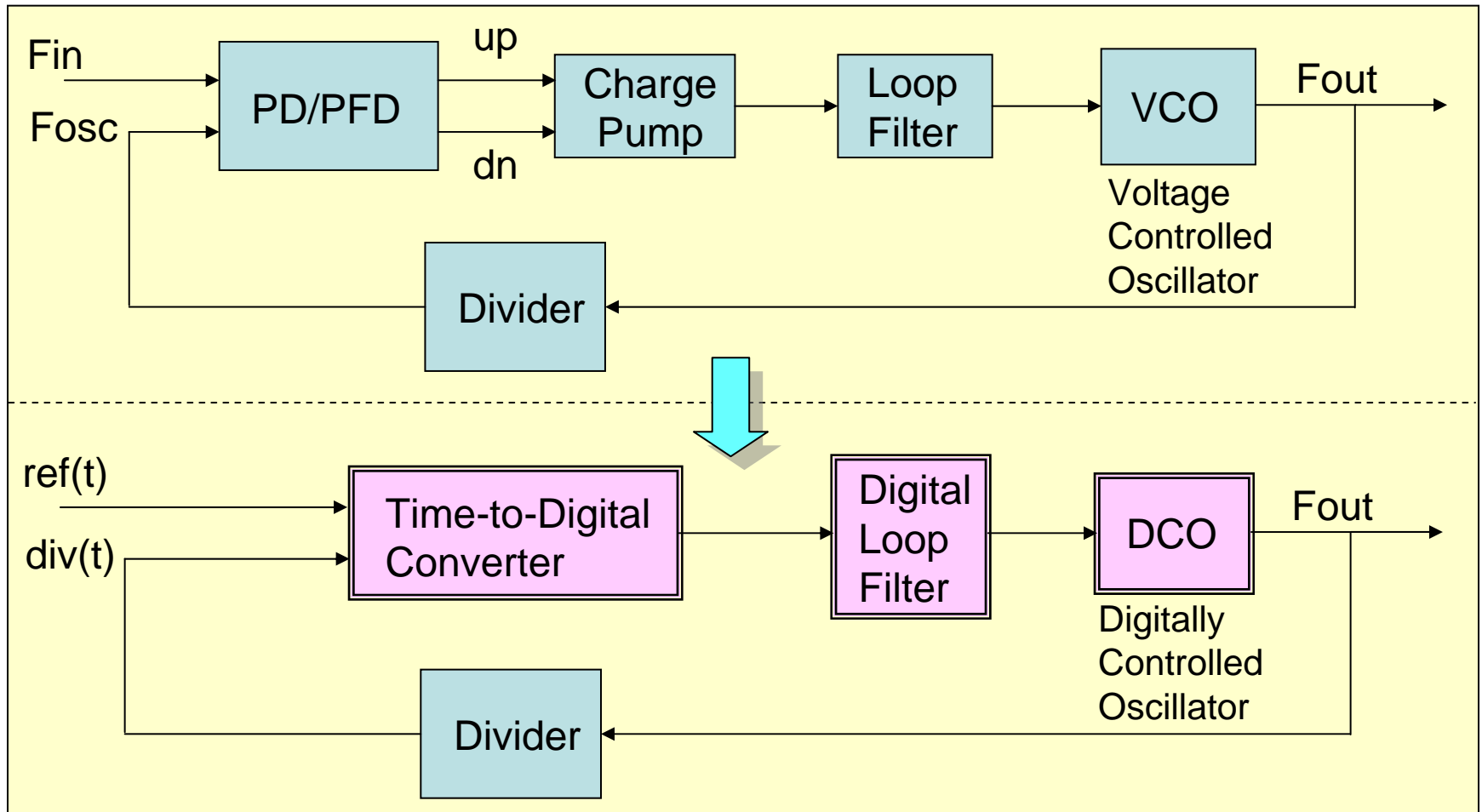
$\Delta N = +8 \sim -7$

長期的平均分周比 =  $F/M = F/2^{32}$

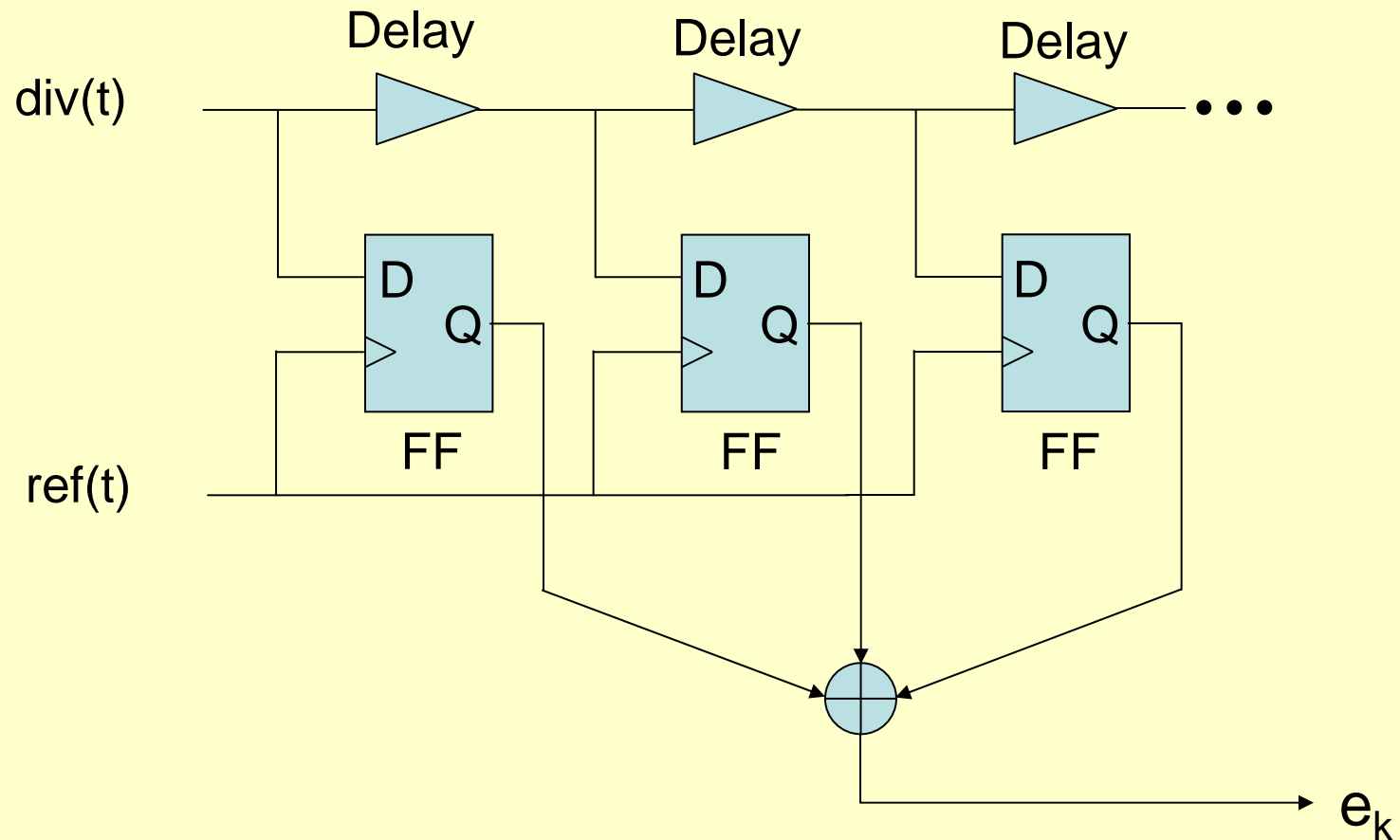
# **[4] デジタルPLL**



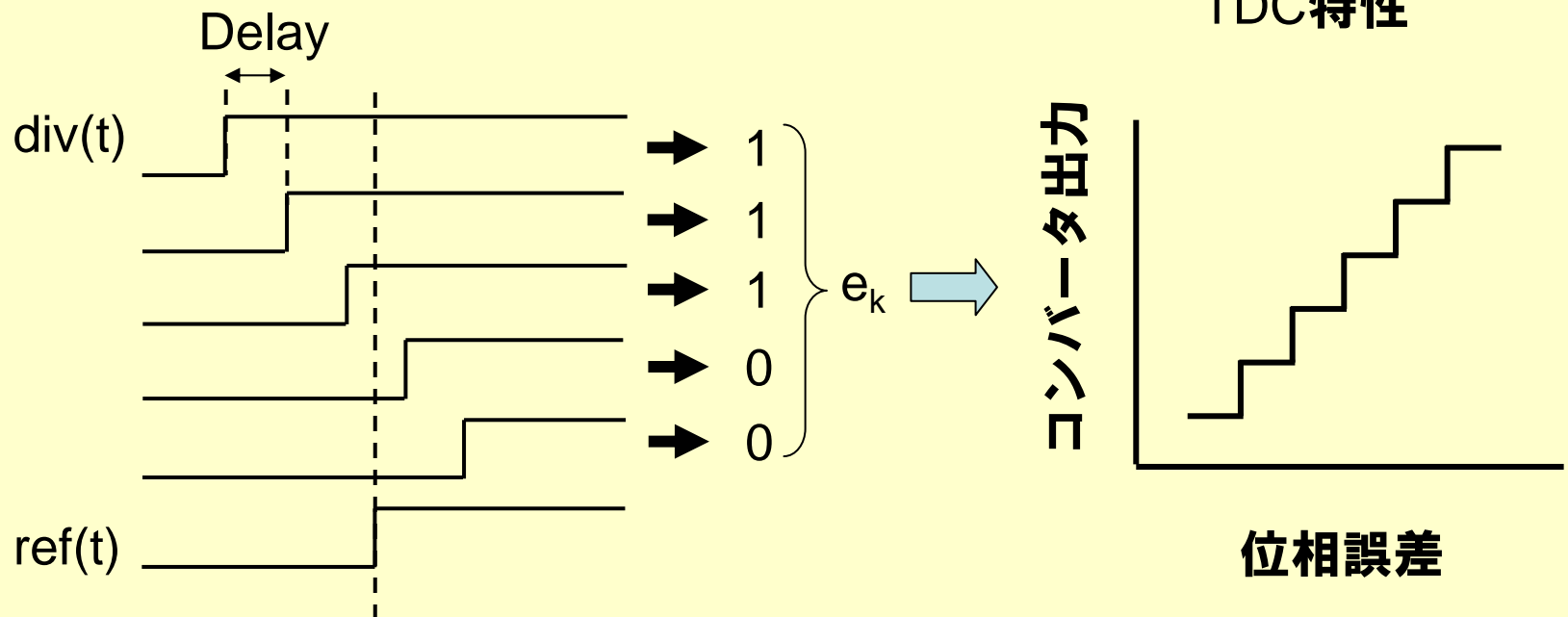
# PLLのデジタル化



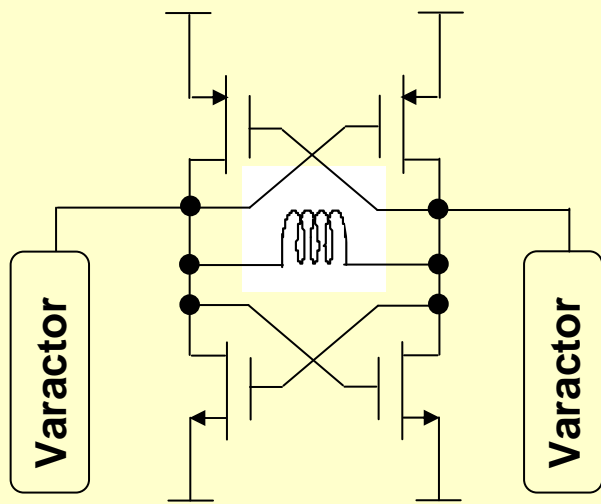
# Time-to-Digital Converter



# Time-to-Digital Converter



# DCO (Digitally Controlled Oscillator)

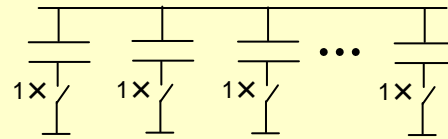


Varactor(バラクター、可変容量) :

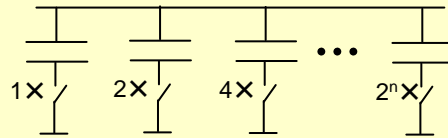
本来はアナログ回路で逆バイアスしたpn接合。電圧に応じて電気容量が変化する。

## Varactorの容量のデジタル制御

### ① Unit Element Array



### ② Binary Array



### ③ Coarse/Fine Control

Coarse Control :

**初期周波数チューニングの場合のみ、  
Binary Array使用**

Fine Control :

**PLLフィードバックで制御、  
Unit Element Array使用**

# 1チップ Bluetooth トランシーバ

## 【デジタルPLLの例】

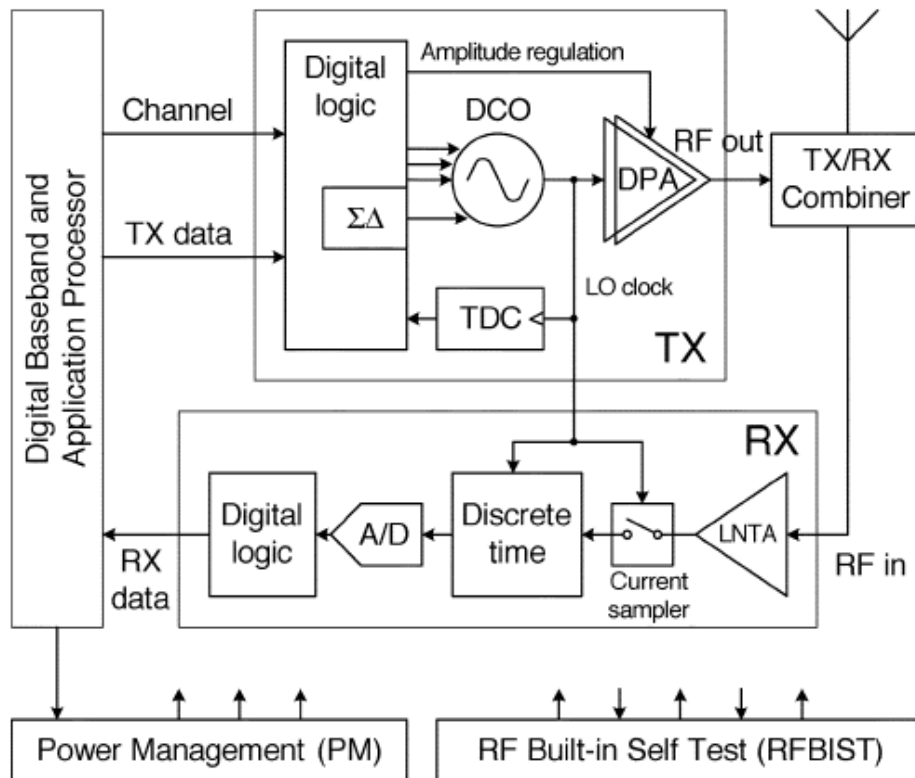


Fig. 1. Single-chip Bluetooth radio with an all-digital transmitter and a discrete-time receiver.

LNTA=low-noise  
transconductance  
amplifier

DPA=digitally  
controlled RF power  
amplifier

# DCO

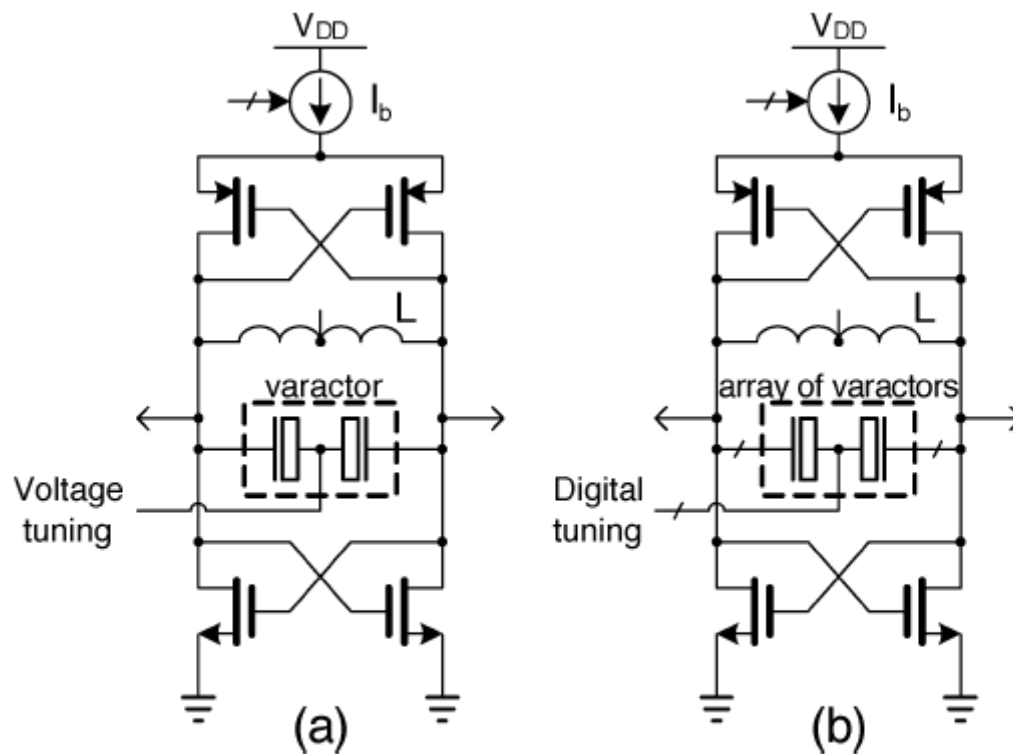


Fig. 2. Schematics of LC-tank core oscillators. (a) Voltage controlled (VCO). (b) Digitally controlled (DCO).

# TDC (Time-to-Digital Converter)

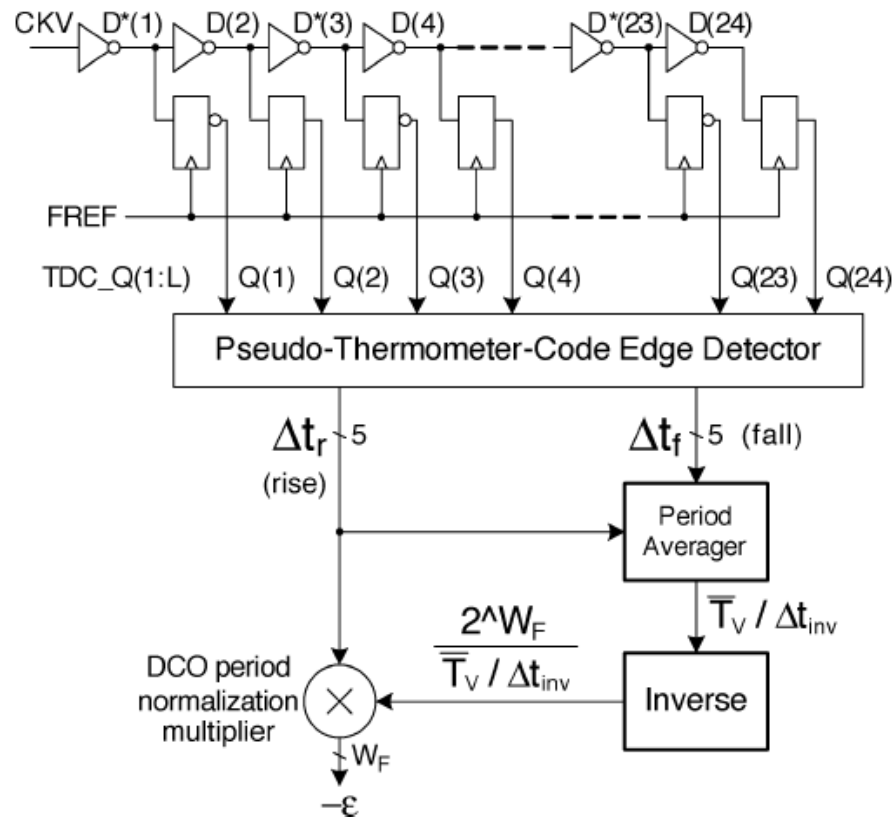


Fig. 7. Fractional error correction based on the TDC.

# デジタルPLLの利点

## 利点

- ・ 低コスト、製造が容易、ドリフト無しの部品、許容誤差の問題が無い
- ・ デジタル信号の記録は容易⇔アナログ信号の記録は困難
- ・ デジタル積分器はオフセットや揮発性の問題無し
- ・ デジタル操作は、アナログ的方法と比べて遥かに簡単
- ・ システム内の他のデジタル操作との互換性

## 特徴

- ・ 信号は一連の離散的なサンプルとして存在
- ・ 各サンプルのデータは無次元デジタル数
- ・ デジタル数は必然的に精度が有限。つまり量子化されている。
- ・ デジタルPLL内の操作は演算である



# ディジタルPLL（差分方程式）

• アナログPLL VCO (電圧制御オシレータ) →

ディジタルPLL NCO (数値制御オシレータ)

• アナログPLL  $\theta$  (単位: ラジアン) →

ディジタルPLL  $\varepsilon$  (単位: サイクル、UI ユニットインタバル)

$\varepsilon_i[n]$ : PLLの参照入力位相       $\varepsilon_o[n]$  : NCOの出力位相

$$u_d[n] = \kappa_p \{ \varepsilon_i[n] - \varepsilon_o[n] \} \quad \kappa_p \text{ 位相検出器のゲイン}$$

擬似次元 (cycle)<sup>-1</sup>

$u_d[n]$  位相検出器の出力

$$x_{mo}[n] = \kappa_m x_{mi}[n]$$

ループフィルタの比例素子

$$y_{Io}[n] = \kappa_I x_{Ii}[n-1] + y_{Io}[n-1] \quad \text{ループフィルタのディジタル積分器}$$

$$\varepsilon_o[n] = \{ \kappa_v u_c[n-1] + \varepsilon_o[n-1] \} \text{ mod } -1 \text{ サイクル} \quad \varepsilon_o \in [0,1)$$

NCO (特殊な積分器。循環型のアップ・ダウン・カウンタと考える)

# デジタルPLL (Z変換)

位相検出器の差分方程式のZ変換:

$$U_d(z) = \kappa_p \{ \varepsilon_i(z) - \varepsilon_o(z) \}$$

ディレイ無しの比例素子のZ変換

$$X_{mo}(z) = \kappa_m X_{mi}(z)$$

ただし $\varepsilon(z)$ と $X(z)$ とは各系列のZ変換

ディレイ1の積分器に対するZ変換:

$$Y_{lo}(z) = \frac{\kappa_I z^{-1} X_{li}(z)}{1 - z^{-1}}$$

NCOのZ変換は

$$\varepsilon_o(z) = \frac{\kappa_v z^{-1} U_c(z)}{1 - z^{-1}}$$

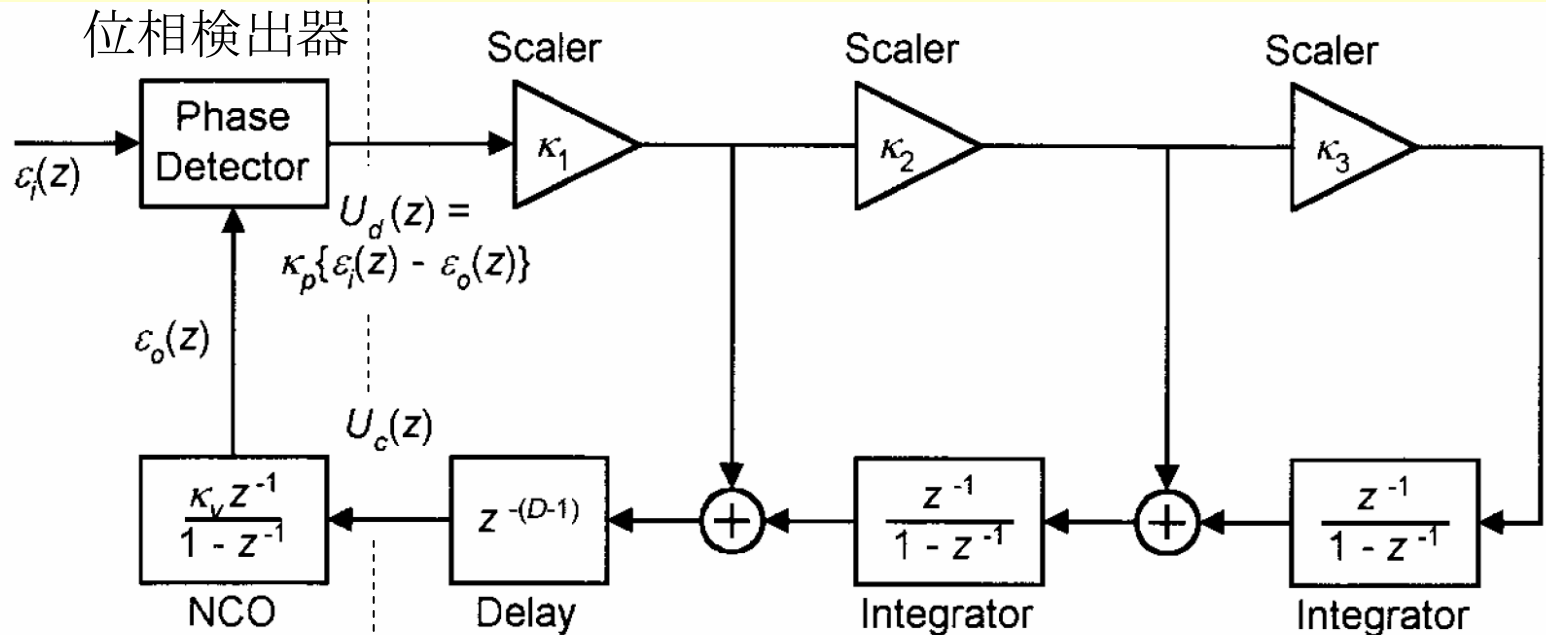
整数遅延のZ変換:

$$X_{do}(z) = z^{-D} X_{di}(z)$$

ループフィルタの伝達関数:

$$F(z) = \frac{U_c(z)}{U_d(z)} = z^{-(D-1)} \kappa_1 \left[ 1 + \frac{\kappa_2 z^{-1}}{1 - z^{-1}} \left( 1 + \frac{\kappa_3 z^{-1}}{1 - z^{-1}} \right) \right]$$

# タイプ3 DPLLのブロック図



$$F(z) = \frac{U_c(z)}{U_d(z)} = z^{-(D-1)} \kappa_1 \left[ 1 + \frac{\kappa_2 z^{-1}}{1 - z^{-1}} \left( 1 + \frac{\kappa_3 z^{-1}}{1 - z^{-1}} \right) \right]$$

# タイプ3 DPLLの伝達関数

$K = K_p K_v K_1$  と定義すると  
オープンループ伝達関数:

$$G_3(z) = \frac{\varepsilon_o(z)}{\varepsilon_e(z)} = \frac{\kappa z^{-D} \left[ (1 - z^{-1})^2 + \kappa_2 z^{-1} (1 - z^{-1}) + z^{-2} \kappa_2 \kappa_3 \right]}{(1 - z^{-1})^3}$$

ただし、 $\varepsilon_e(z) = \varepsilon_i(z) - \varepsilon_o(z)$

クロースドループ伝達関数:

$$\begin{aligned} H_3(z) &= \frac{\varepsilon_o(z)}{\varepsilon_i(z)} = \frac{G_3(z)}{1 + G_3(z)} \\ &= \frac{\kappa z^{-D} \left[ (1 - z^{-1})^2 + \kappa_2 z^{-1} (1 - z^{-1}) + \kappa_2 \kappa_3 z^{-2} \right]}{(1 - z^{-1})^3 + \kappa z^{-D} \left[ (1 - z^{-1})^2 + \kappa_2 z^{-1} (1 - z^{-1}) + \kappa_2 \kappa_3 z^{-2} \right]} \end{aligned}$$

# タイプ2、タイプ1のDPLL

クローズドループ伝達関数 $H_3(z)$ の分母の次数は $D=1$ でなければ4次以上。  
次数が増加すると不安定になる。

$\kappa_3 = 0$  の場合 (次数 $D+1$ のタイプ2デジタルPLL) :

$$H_2(z) = \frac{\kappa z^{-D} (1 - z^{-1} + \kappa_2 z^{-1})}{(1 - z^{-1})^2 + \kappa z^{-D} (1 - z^{-1} + \kappa_2 z^{-1})}$$

$$\begin{array}{ll} \text{ゼロ点: } z = 1 - \kappa_2 & \text{極: } z = 1 - \frac{\kappa}{2} \pm \frac{\kappa}{2} \sqrt{1 - \frac{4\kappa_2}{\kappa}} \end{array} \quad \text{但し、 } D=1$$

(分子が0) (分母が0)

更に  $\kappa_2 = 0$  の場合

$$H_1(z) = \frac{\kappa z^{-D}}{1 - z^{-1} + \kappa z^{-D}}$$

$$\begin{array}{ll} \text{ゼロ点: 無し} & \text{極: } z = 1 - \kappa \end{array} \quad \text{但し、 } D=1$$

# タイプ1のDPLLの安定性

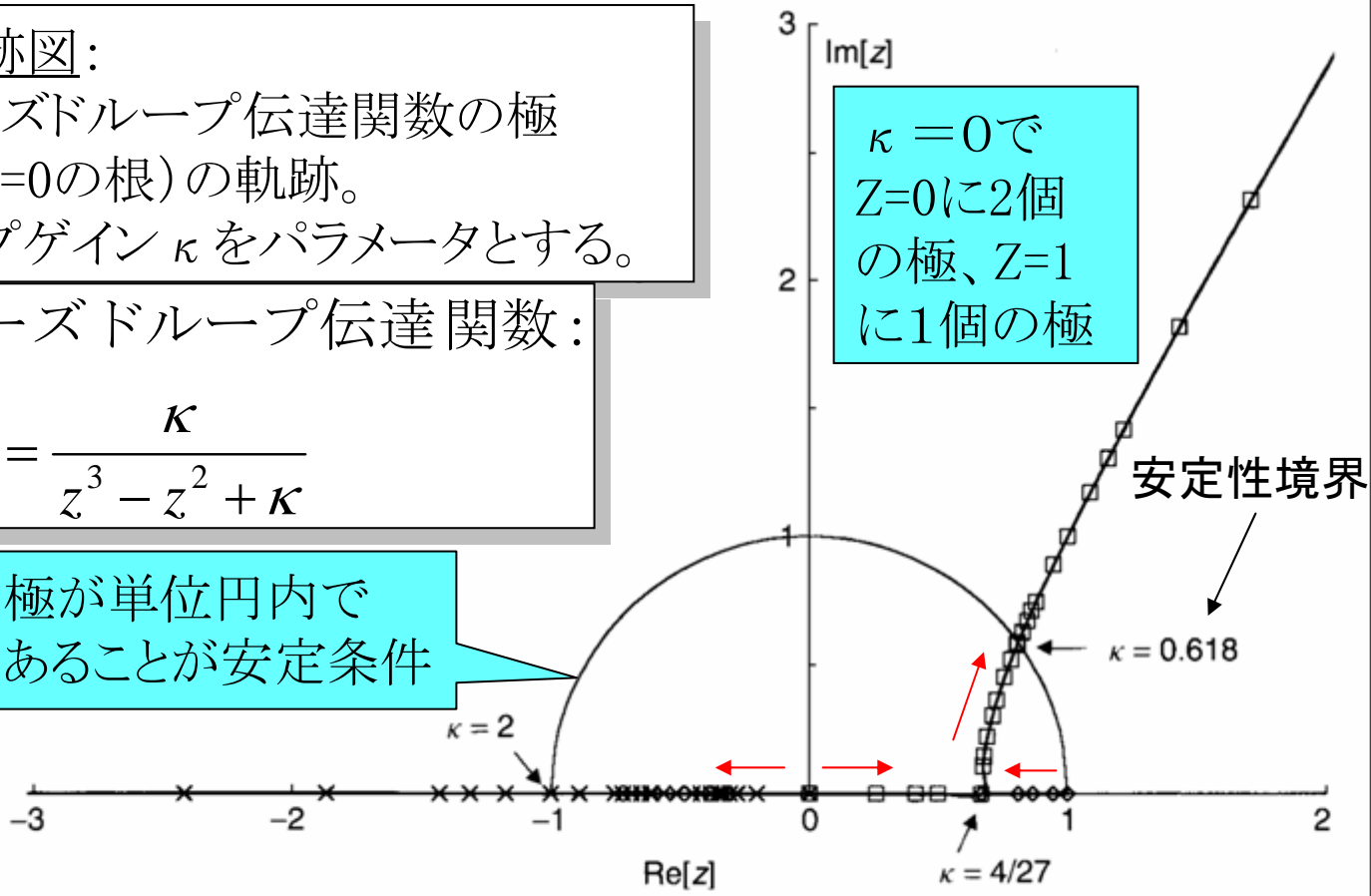
根軌跡図:

クローズドループ伝達関数の極  
(分母=0の根)の軌跡。  
ループゲイン  $\kappa$  をパラメータとする。

クローズドループ伝達関数:

$$H_1(z) = \frac{\kappa}{z^3 - z^2 + \kappa}$$

極が単位円内であることが安定条件

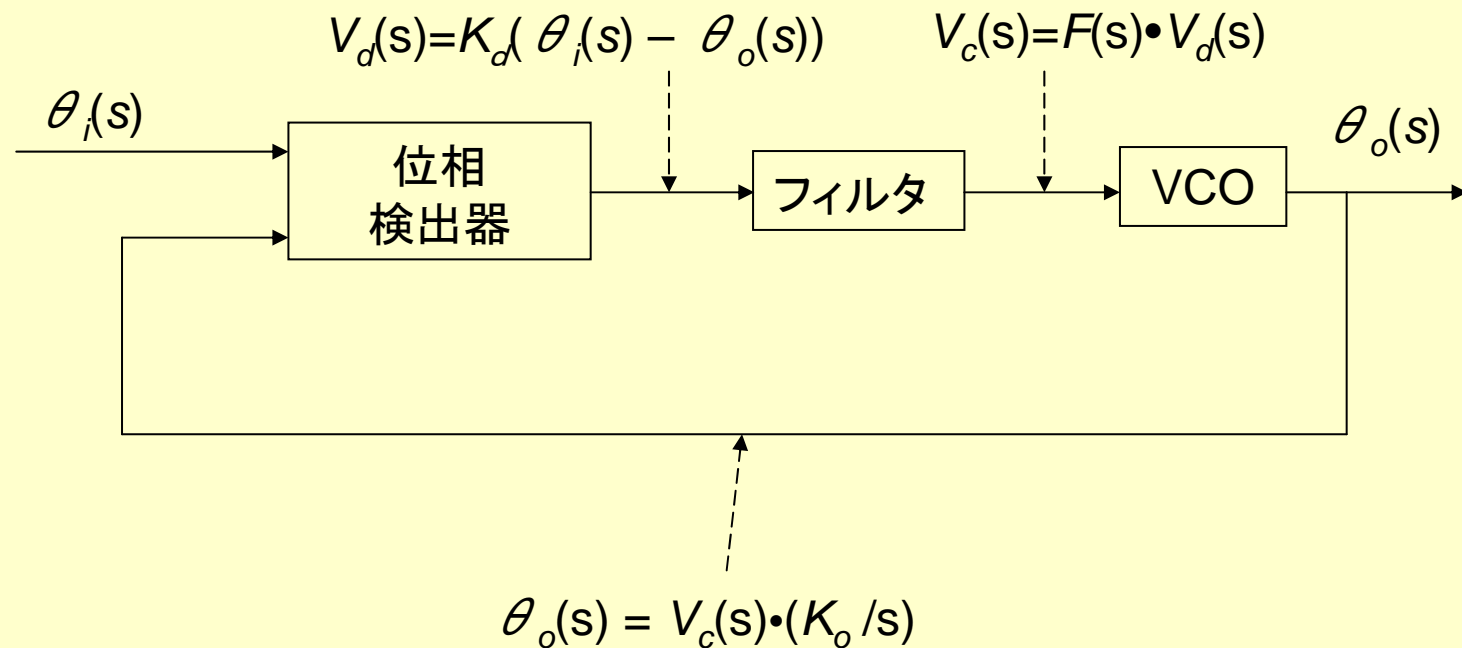


D=3 のタイプ1 DPLLの根軌跡図。下半分の平面は省略されている。

## **[5] 通信ネットワークにおけるジッタ累積**

# 1. PLLの1次モデル

## PLLの基本構成





# 伝達関数

PLLによる位相の伝達関数は

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o \cdot K_d \cdot F(s)}{s + K_o \cdot K_d \cdot F(s)}$$

解析の簡単化のため

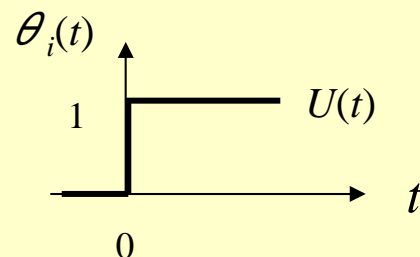
$$F(s) = 1 \quad K = K_o \cdot K_d \quad \text{とすると}$$

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K}{s + K} \quad H(t) = Ke^{-Kt} \dots \text{インパルス応答}$$

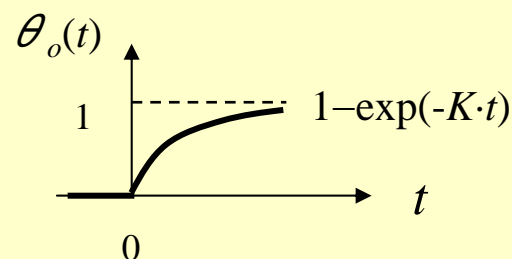
# 1 次PLLモデルによる応答

- ステップ関数の位相が入力された場合を考える。

$$\theta_i(t) = U(t) \quad \theta_i(s) = \frac{1}{s}$$



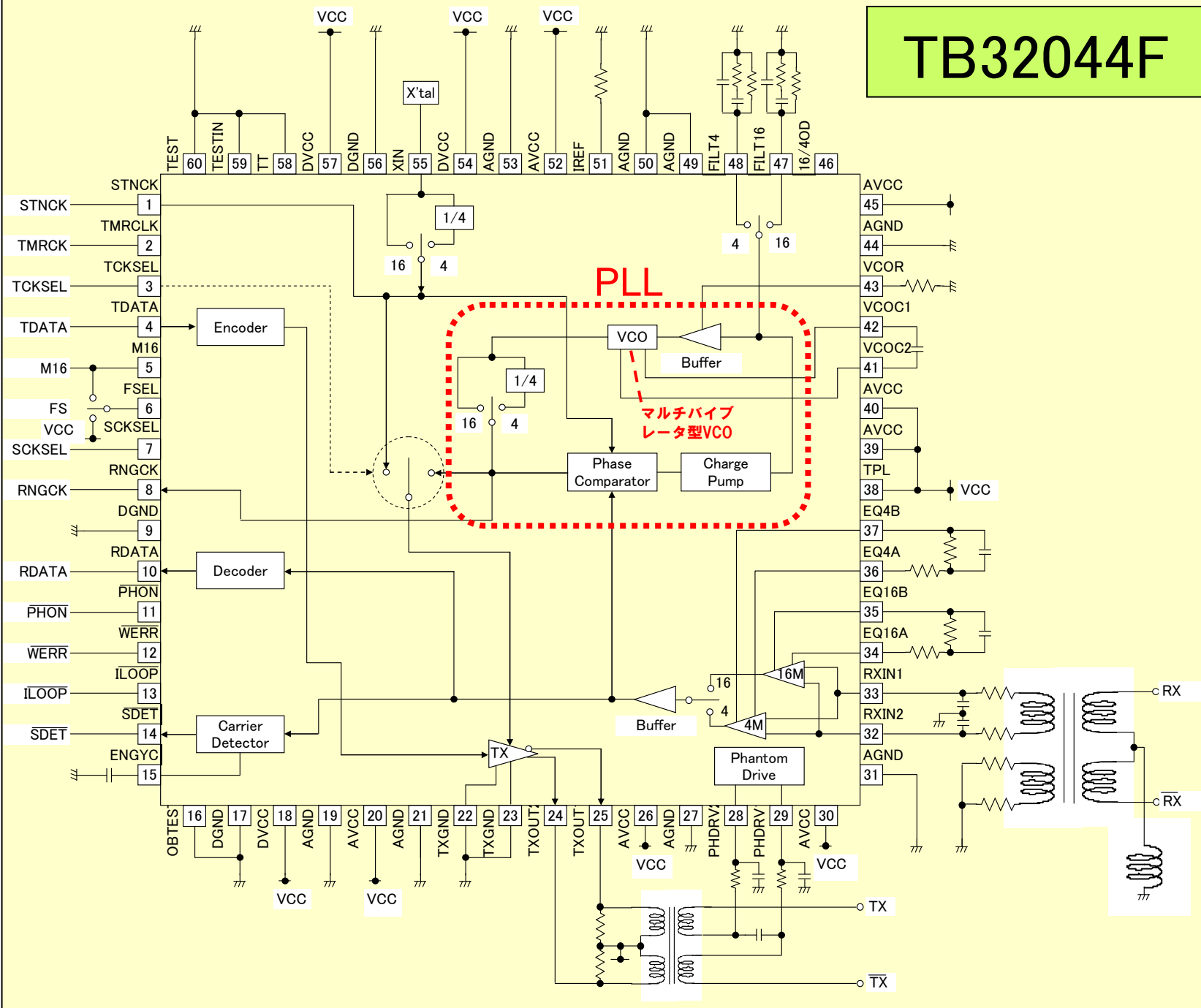
$$\theta_o(s) = \theta_i(s) \cdot H(s) = \frac{K}{s(s + K)}$$



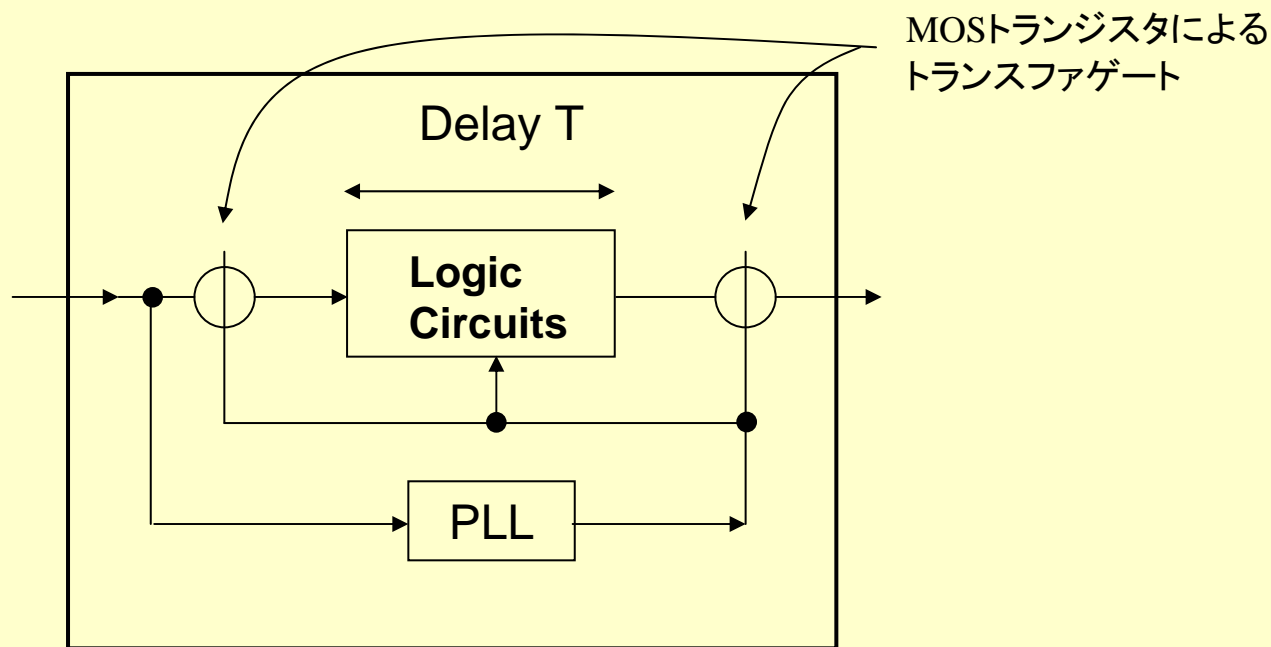
$$\theta_o(t) = 1 - \exp(-K \cdot t)$$

この応答時間は  $t = \frac{1}{K}$  と近似できる。

# TB32044F



## 2. ステーションのカスケード接続モデル

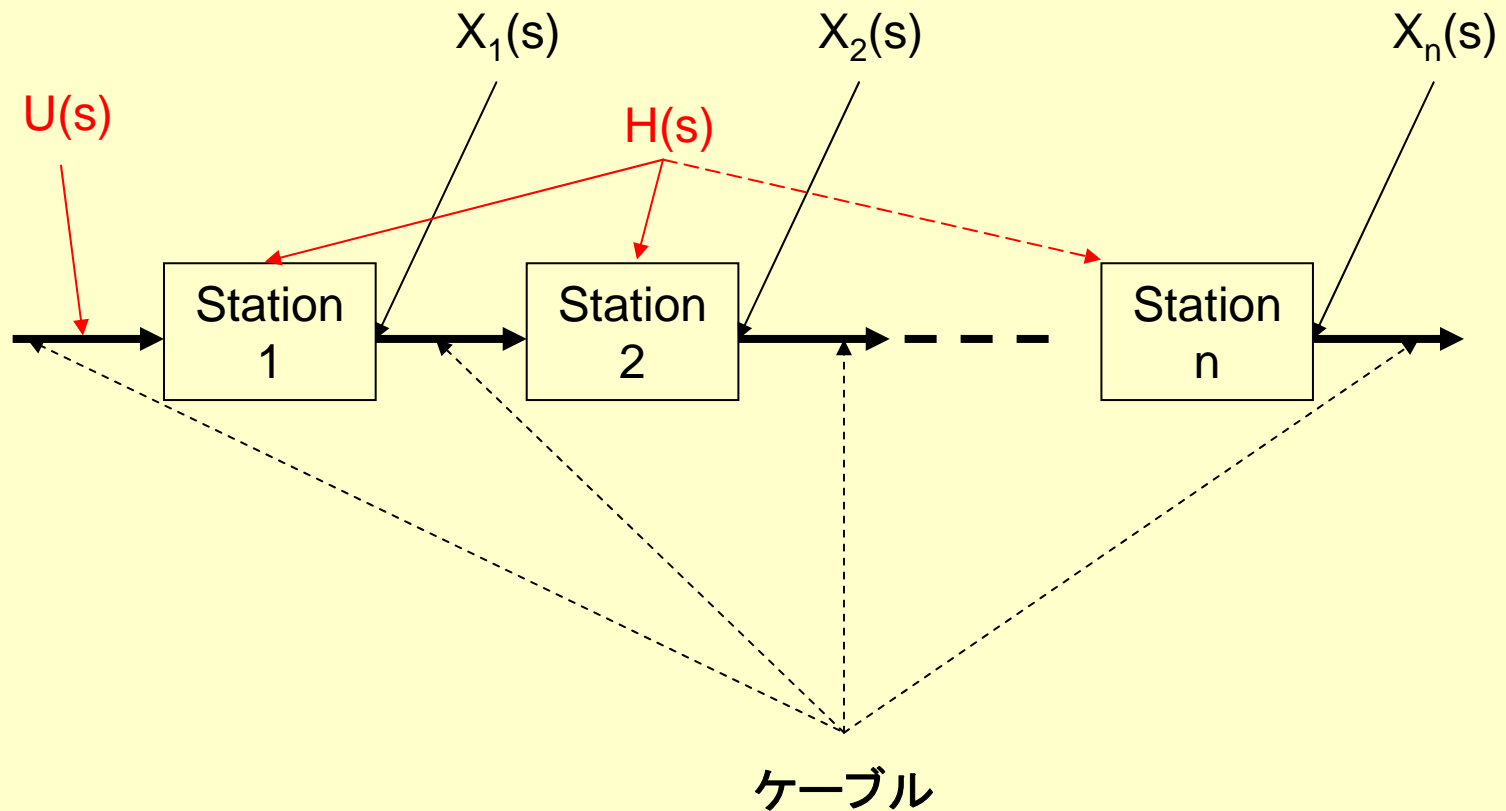


ステーションの回路モデル

# ステーションのカスケード接続モデル

- 前頁にケーブルを通して信号を受信ならびに送信する局 (Station) の基本的な回路構成を示す。局内では受信した信号からPLLでクロックを抽出し、そのクロックを用いて受信信号からビットデータをサンプリングしてディジタル処理回路に取り込むとともに、この同じクロックを用いてディジタル処理回路からビットデータを信号としてケーブル上に送信する。ビットデータが局内でビット処理操作を経て送出されるまでの時間は $T(\text{sec})$ とする。
- こうした内部構成を持った局を等長のケーブルでカスケード接続したシステムを次頁に示す。

# ステーションのカスケード接続モデル



# ジッタの重ね合わせ

- このようなシステムに対して位相のステップ関数入力を与えたとし、そのラプラス変換を  $U(s)$  とする。このときの  $n$  番目の局の出力端子における位相のラプラス変換を  $X_n(s)$  とすると、 $X_n(s)$  は  $n$  個の相関ジッタ(データのビットパターンに依存するジッタ)発生源から伝播したジッタの重ねあわせにより得られるから、次の関係式が成立する。ただし、 $n \geq 2$  と仮定する。

$$X_n(s) = U(s) \cdot e^{-nsT} \cdot \left( H(s) \cdot e^{sT} + H^2(s) \cdot e^{2sT} + \cdots + H^n(s) \cdot e^{nsT} \right)$$

# 実時間での重ね合わせ

- 実時間での解を求めるためにラプラス逆変換すると(\* は畳み込み積分を表す)

$$X_n(t) = U(t - (n-1) \cdot T) * H(t) + U(t - (n-2) \cdot T) * H(t) * H(t) + \dots \\ + U(t) * \underbrace{H(t) * \dots * H(t)}_n$$

$$\text{ただし、} \underbrace{H(t) * H(t) * \dots * H(t)}_n = K^n \cdot \frac{t^{n-1}}{n-1} \cdot e^{-Kt}$$

において、 $t \geq 0$  とし、 $t < 0$  での値は0とする。



### 3. アラインメント・ジッタ

- $X_n(t)$  は各ステーションにおける累積ジッタを表す。データ・パターンに依存する受信エラーを発生する要因としてはこの累積ジッタそのものではなくて各ステーションの入力と出力での累積ジッタの差（アラインメント・ジッタ）が重要であり、これをジッタ累積速度で近似する。（ジッタ累積速度とPLL応答時間との積で累積ジッタの差分を近似。）

# ジッタ累積速度

$$\frac{dX_n(t)}{dt} = \frac{d}{dt} \sum_{m=1}^n U(t - (n - m) \cdot T) * (K^m \cdot \frac{t^{m-1}}{(m-1)!} \cdot e^{-Kt})$$

一般に、畳み込み積分  $h(t)$  の微分には  
 $h'(t) = f'(t) * g(t) = f(t) * g'(t)$  が成立するので

$$\frac{dX_n(t)}{dt} = \sum_{m=1}^n Y_{n,m}(t) = \sum_{m=1}^n K^m \cdot \frac{\{t - (n - m) \cdot T\}^{m-1}}{(m-1)!} \cdot e^{-K\{t - (n - m) \cdot T\}}$$

# ジッタ累積速度の極大条件

- $2 \leq m \leq n$  と仮定して、 $Y_{n,m}(t)$  の極大値での  $t$  の値  $t_{n,m}$  は

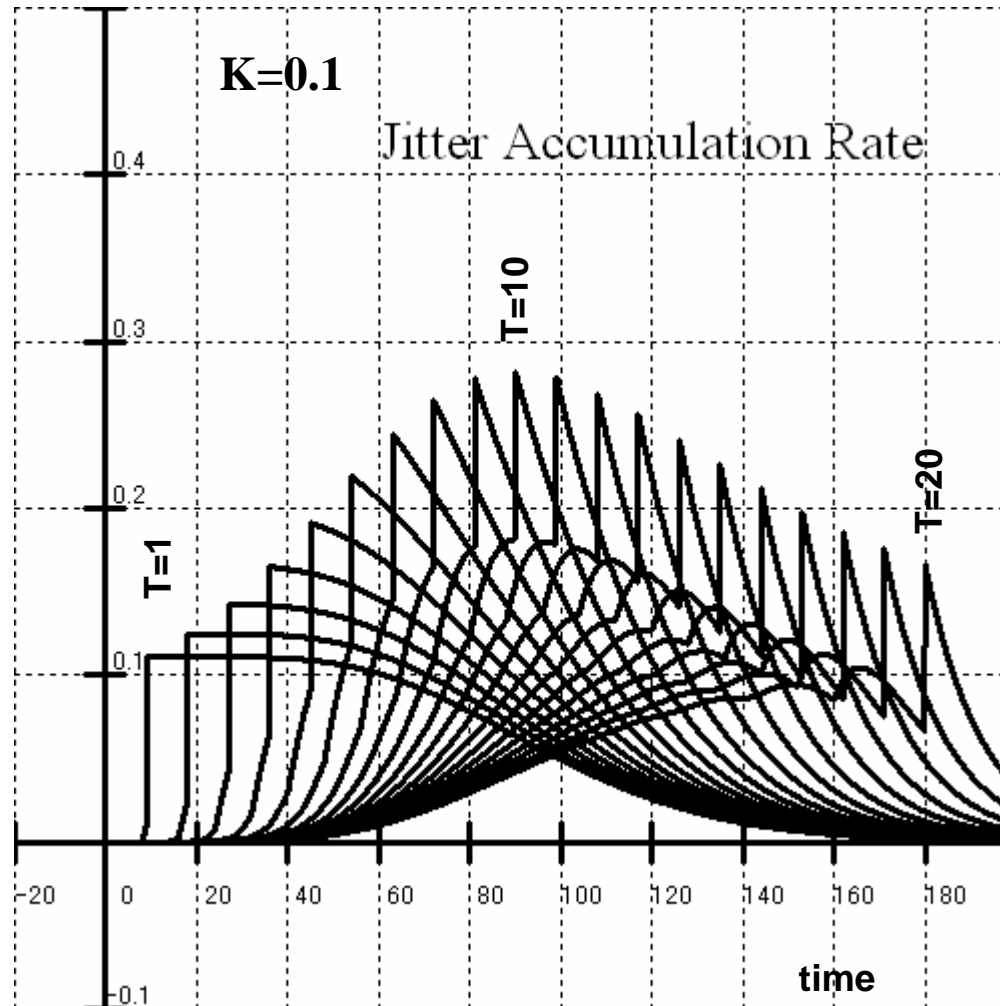
$$t_{n,m} = (n - m) \cdot T + \frac{m - 1}{K} = n \cdot T - \frac{1}{K} + \left( \frac{1}{K} - T \right) \cdot m$$

これが  $m$  に依存しない条件から

$$T = \frac{1}{K}$$

これはデジタル的なデータ処理時間とPLLの応答時間とが等しい時はトークン・リングのジッタ累積速度が最大になることを示しており、MAC層制御LSI、物理層制御LSIの設計ではこの条件を避ける必要がある。

# ジッタ累積速度の計算値

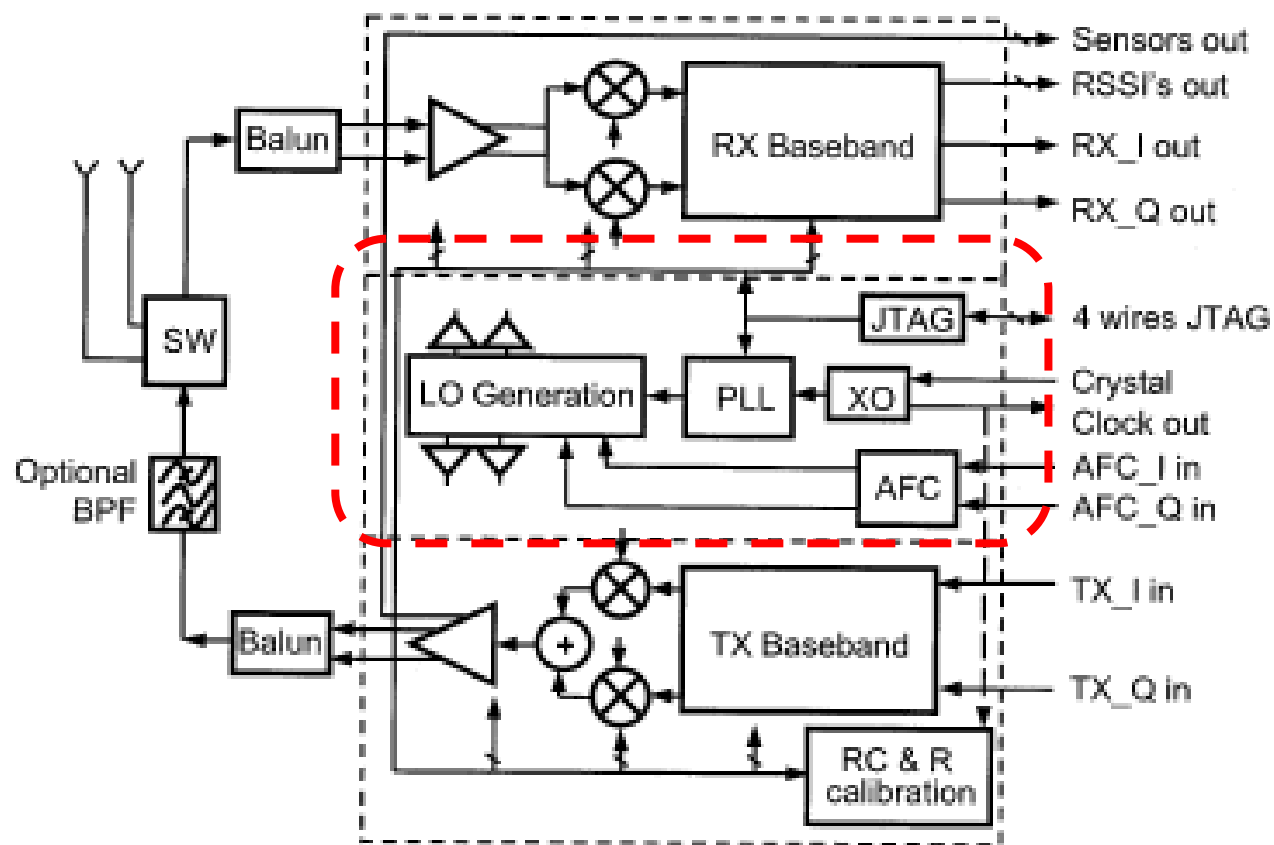


$KT=1$ で最大値  
になっている。

# **[ 6 ] OFDM方式無線LANのPLL**

# IEEE802.11aワイヤレスLAN

## AFC (automatic frequency control)



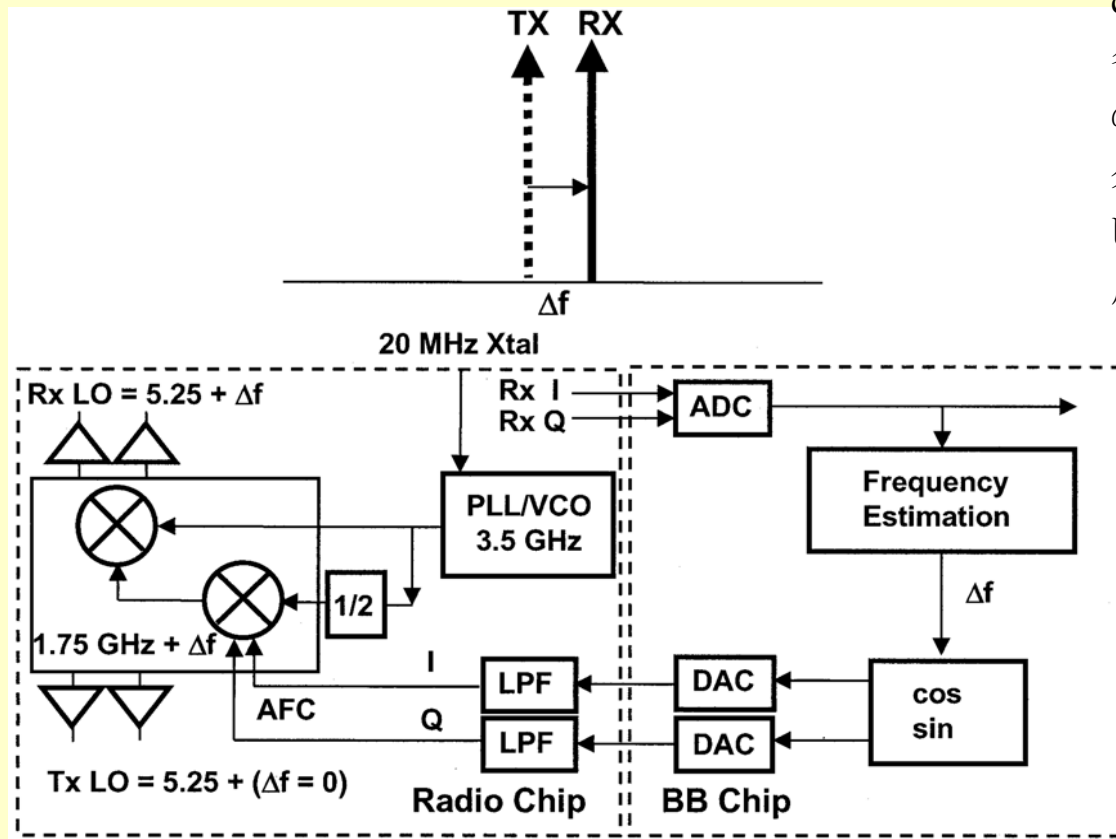
「WLANの技術動向」ではAFCで受信データの位相を補正する方法を紹介した。この例では、AFCで $\Delta f$ の推定値からローカルオシレータ（局部発振器）の周波数を補正する。

トランシーバ（送受信器）のブロック図

参考文献(14)

# IEEE802.11aワイヤレスLAN

## AFCによる局部発振周波数補正



$\cos(nT_s \cdot \Delta f \cdot 2\pi)$ と $\sin(nT_s \cdot \Delta f \cdot 2\pi)$ を各受信データサンプル値に掛けるのではなく、DA変換器でアナログ信号に変換してからPLLで生成したクロック信号に掛け合わせて局部発振器の発振周波数を補正する。

参考文献(14)

# 参考文献

- (1)フロイド M.ガードナー(著)、加沼 安喜良(訳)、「PLL位相同期化技術」、2009年、産業図書
- (2)Thomas H. Lee, “The Design of CMOS Radio-Frequency Integrated Circuits,” Cambridge University Press, 1998
- (3)Floyd M. Gardner, ”Charge Pump Phase Locked Loops,”  
IEEE Trans. Commun., Vol. Comm.-28, pp.1849-1858, Nov. 1980.
- (4)萩原将文、鈴木裕一、「実用PLL周波数シンセサイザ」、1999年、総合電子出版社
- (5) Ian Young, ”A PLL Clock Generator with 5 to 110MHz Lock Range for Microprocessors ”, ISSCC Digest of Technical Papers, Feb. 1992, PP.50-51
- (6)小沢利行、「PLL周波数シンセサイザ・回路設計法」、1994年、総合電子出版社
- (7) ”Fractional-N Frequency Synthesizers,” Andrew Holme, 2005,  
<http://www.holmea.demon.co.uk/Frac2/Mash.htm>
- (8)David Owen, ”Fractional-N Synthesizers Application Note,” <http://www.ifrsys.com>, IFR Ltd. 2001.
- (9)Michael H. Perrott, ”Tutorial T5: Digital Phase-Locked Loops,” ISSCC2008, Feb. 2008.
- (10)Robert Bogdan Staszewski et al., ”All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS,” IEEE Journal of Solid-State Circuits, Vol.39, No.12, Dec. 2004.
- (11)加沼安喜良、田中幸一、白石肇、「IEEE802. 5標準MAC層準拠16/4MbpsCMOSトークンリングコントローラ」、東芝レビュー1990、Vol.45, No.5. pp443-446.
- (12)Akira Kanuma et al. , ”A CMOS 510K-Transistor Single-Chip Token-Ring LAN Controller (TRC) Compatible with IEEE802.5 MAC Protocol,” IEEE JSSC, Vol.25, No.1, Feb. 1990
- (13)上野昭司、小池純一、大房久美、「トークンリングメディアドライバ・レシーバLSI」、東芝レビュー 1990 Vol.45 No.9 pp.740-743.



# 参考文献

- (14)A.R.Behzad et al., “A 5-GHz Direct-Conversion CMOS Transceiver Utilizing Automatic Frequency Control for the IEEE 802.11a Wireless LAN Standard,”IEEE J. Solid State Circuits, vol.38, No.12,pp. 2209-2220, Dec.2003.

# 理解度テスト

(1)半導体のパラダイム・シフトに関し正しい説明を選びなさい。

2000年頃からインターネット接続の普及により、(a)と(b)だけでなくSoCに向けた(c)と(d)の重要性が高まってきている。

1. (a)CPU, (b)メモリ, (c)DSP, (d)アナログ
2. (a)CPU, (b)アナログ, (c)DSP, (d)メモリ
3. (a)DSP, (b)メモリ, (c)CPU, (d)アナログ
4. (a)DSP, (b)アナログ, (c)CPU, (d)メモリ

(2) SoCの中のアナログ回路に関して正しい記述を選びなさい。

一般的に、アナログ回路部分はデジタル回路部分に比べて、

1. 面積、修正回数ともに大きい。
2. 面積は大きいが修正回数は少ない。
3. 面積は非常に小さく、修正回数も少ない。
4. 面積は非常に小さいが、修正回数は同程度である。

(3)PLLの基本構成に関して各部の接続が正しい順番の記述の番号を選びなさい。

PLLは外部入力信号から見て(a)→(b)→(c)→(d)の順番で各部の間で信号が接続されている。

1. (a)分周器、(b)VCO、(c)フィルタ、(d)位相比較器
2. (a)位相比較器、(b)フィルタ、(c)VCO、(d)分周器
3. (a)フィルタ、(b)位相比較器、(c)VCO、(d)分周器
4. (a)分周器、(b)VCO、(c)位相比較器、(d)フィルタ

(4)PLLの用途に関して正しい記述を選びなさい。

PLLは

- (a)からのクロック抽出
- 水晶発振器の信号を用いた(b)
- (c)の制御
- (d)変復調

などに用いられる。

1. (a)データ信号、(b)周波数合成、(c)モータ、(d)FM
2. (a)モータ、(b)周波数合成、(c)FM、(d)データ信号
3. (a)FM、(b)データ信号、(c)周波数合成、(d)モータ
4. (a)FM、(b)データ信号、(c)周波数合成、(d)モータ

## (5)PLLの位相比較器に関して正しい文を選びなさい。

位相周波数比較器(PFD)は(a)を用い、(b)の範囲で位相差を比較する能力があり、さらに、入力側に(c)を置くことにより入力位相差の範囲を拡大することもできる。

1. (a)排他的論理和、(b)  $0 \sim \pi$ 、(c) フィルタ
2. (a)順序回路、(b)  $0 \sim \pi$ 、(c) フィルタ
3. (a)排他的論理和、(b)  $-2\pi \sim +2\pi$ 、(c) 分周器
4. (a)順序回路、(b)  $-2\pi \sim +2\pi$ 、(c) 分周器

## (6)PLLの安定性に関して正しい記述を選びなさい。

1. PLLのクローズド・ループ伝達関数の分母を0とする点を極と呼び、これがs平面の右側にあれば安定である。
2. PLLのクローズド・ループ伝達関数の分子を0とする点を極と呼び、これがs平面の右側にあれば安定である。
3. PLLのクローズド・ループ伝達関数の分母を0とする点を極と呼び、これがs平面の左側にあれば安定である。
4. PLLのクローズド・ループ伝達関数の分子を0とする点を極と呼び、これがs平面の左側にあれば安定である。



(7)PLLのフィルタの設計に関して正しい用語の組み合わせを選びなさい。

RC直列フィルタと並列なキャパシタンスを付加フィルタとして用いる場合は、それによって導入される(a)が(b)より十分大きな周波数となるようにすることにより、高周波ノイズを削減するだけでなく(c)の影響を小さくする。

1. (a)極、(b)ゲインクロスオーバー、(c)位相遅れ
2. (a)ゼロ点、(b)ゲインクロスオーバー、(c)位相進み
3. (a)極、(b)位相クロスオーバー、(c)位相進み
4. (a)ゼロ点、(b)位相クロスオーバー、(c)位相遅れ

(8)パルススワロウ方式のPLL周波数シンセサイザに関して正しい文を選びなさい。

プリスケータが2種の分周比 $1/M$ と $1/(M+1)$ を持つ場合、プログラムカウンタは(a)の回数を、パルススワロウカウンタは(b)の回数を指定する。

1. (a) $1/M$ , (b) $1/(M+1)$
2. (a) $1/(M+1)$ , (b) $1/M$
3. (a) $1/M$ と $1/(M+1)$ の合計, (b)  $1/(M+1)$
4. (a) $1/M$ , (b) $1/M$ と $1/(M+1)$ の合計

(9) 周波数シンセサイザに関して適切な用語の組み合わせを選びなさい。

周波数シンセサイザの出力周波数の間隔を細分化するためには(a)を小さくするのは困難であり、(b)を用いる方が(c)で実現できる点で有利である。

1. (a)分数分周比、(b)参照周波数、(c)アナログ回路
2. (a)参照周波数、(b)分数分周比、(c)アナログ回路
3. (a)分周比、(b)参照周波数、(c)デジタル回路
4. (a)参照周波数、(b)分数分周比、(c)デジタル回路

(10) 周波数シンセサイザで用いられる  $\Sigma \Delta$  モジュレータに関して適切な用語の組み合わせを選びなさい。

$\Sigma \Delta$  モジュレータには、(a)により、位相ノイズの(b)成分を(c)側へ移動する作用がある。

1. (a)積分回路、(b)低周波、(c)高周波
2. (a)微分回路、(b)低周波、(c)高周波
3. (a)積分回路、(b)高周波、(c)低周波
4. (a)微分回路、(b)高周波、(c)低周波

(11)  $\Sigma \Delta$  フラクショナルNシンセサイザに関して最も適切な文を選びなさい。

1. 位相ノイズを低周波側へシェーピングしてからPLLで更にフィルタ処理して削減する。
2. MASHというアナログ補償回路を用いてノイズをシェーピングする。
3. 合成される周波数の最小間隔は入力参照周波数  $f_r$  と等しい。
4. MASHへの入力がF、アキュムレータが32ビットとすると、 $\Delta N$ は平均で  $F/2^{32}$  となる。

(12) デジタルPLLに関し正しい文の番号を選びなさい。

但し、TDCはTime-to-Digitalコンバータ、PFDはPhase Frequency Detector、DCOはDigitally Controlled Oscillator、VCOはVoltage Controlled Oscillatorを表す。

1. 位相差検出にPFD、発振器にVCOを使う
2. 位相差検出にTDC、発振器にVCOを使う
3. 位相差検出にPFD、発振器にDCOを使う
4. 位相差検出にTDC、発振器にDCOを使う

(13) デジタルPLLに関し正しい文の番号を選びなさい。

1.  $U_d(z) = K_p \{ \varepsilon_i(z) - \varepsilon_o(z) \}$  はディレイを表す。
2.  $F(z) = \frac{U_c(z)}{U_d(z)} = z^{-(D-1)} K_1 \left[ 1 + \frac{K_2 z^{-1}}{1 - z^{-1}} \left( 1 + \frac{K_3 z^{-1}}{1 - z^{-1}} \right) \right]$  はフィルタを表す。
3.  $X_{do}(z) = z^{-D} X_{di}(z)$  はNCOを表す。
4.  $\varepsilon_o(z) = \frac{K_v z^{-1} U_c(z)}{1 - z^{-1}}$  は位相検出器を表す。

(14) デジタルPLLの安定性に関して正しい文を選びなさい。

デジタルPLLの閉ループ伝達関数の極が

1.  $s$ 平面の原点を中心とする単位円外
2.  $z$ 平面の虚数軸の右側
3.  $s$ 平面の虚数軸の左側
4.  $z$ 平面の原点を中心とする単位円内にあれば安定である。



(15)通信ネットワークにおけるジッタ累積現象に関する記述で正しい用語の組み合わせを選びなさい。

カスケード接続された隣接ステーション間でデータの特有なビットパターンに起因すると考えられる(a)が、これを受信したステーションの(b)で抽出されたクロックに残留し、このクロックで(a)の原因となったビットパターンを送出することにより(a)が(c)される。

1. (a)無相関ジッタ, (b)PLL, (c)相殺
2. (a)相関ジッタ, (b)PLL, (c)重畳
3. (a)無相関ジッタ, (b)VCO, (c)重畳
4. (a)相関ジッタ, (b)VCO, (c)相殺

(16)通信ネットワークのジッタ累積に関して正しい語句の組み合わせを選びなさい。

通信ネットワークのジッタの累積値は(a)により吸収できるが、相関ジッタの変化速度による誤動作は(b)のディレイTと(c)のループゲインKが近似的に $KT=1$ を満たさないように調節して回避する方法が有効である。

1. (a)PLL、(b)デジタル処理回路、(c)エラスティック・バッファ
2. (a)エラスティック・バッファ、(b)デジタル処理回路、(c)PLL
3. (a)デジタル処理回路、(b)PLL、(c)エラスティック・バッファ
4. (a)PLL、(b)エラスティック・バッファ、(c)デジタル処理回路