

Universidade Federal de Roraima

Organização e Arquitetura de Computadores

Talles Bezerra de Assunção

Lista 1

[QUESTÃO 01]. O modelo de von Neumann se caracteriza pela possibilidade de uma máquina digital conseguir armazenar seus programas e dados na memória principal, sob a forma de uma representação binária. É base da maioria das máquinas atuais e possui 4 componentes: Memória, Unidade de Controle (UL), Unidade Lógica e Aritmética (ULA) e Dispositivos de Entrada/Saída (I/O). Sua característica principal, que a difere de outras arquiteturas, é a presença de um único barramento de memória compartilhado para dados e instruções do programa. Devido a isto, a transferência de bits de dados e instruções entre a memória e a CPU obedece a um único padrão de endereçamento e tamanho de bits.

[QUESTÃO 02].

Arquitetura de Harvard - Baseia-se em um conceito mais recente que a de Von Neumann, surgiu com a necessidade do microcontrolador trabalhar mais rápido. É uma arquitetura de computador que se distingue das outras por possuir duas memórias diferentes e independentes em termos de barramento e ligação ao processador. Tem, como principal característica, o acesso à memória de dados de modo separado em relação à memória de programa permitindo que o processador possa acessar as duas simultaneamente, obtendo um desempenho melhor do que a da Arquitetura de von Neumann.

[QUESTÃO 03].

Área do wafer = 1256 cm²

Defeito por área = 0,5

Custo por wafer = U\$ 100,00

Chip A:

Área do Chip = 1 cm²

Chip por wafer = $1256/1 = 1256$

Rendimento = $1/(1+(0,5 \times 1/2))^2 = 1/1,25^2 = 1/1,5625 = 0,64$

Custo por chip = $100/(1256 \times 0,64) = 100/803,84 = \text{U\$ } 0,12$

Chip B:

$$\text{Área do Chip} = 4 \text{ cm}^2$$

$$\text{Chip por wafer} = 1256/4 = 314$$

$$\text{Rendimento} = 1/(1+(0,5 \times 4/2))^2 = 1/2^2 = 1/4 = 0,25$$

$$\text{Custo por chip} = 100/(314 \times 0,25) = 100/78,5 = \text{U\$ } 1,27$$

Chip C:

$$\text{Área do Chip} = 9 \text{ cm}^2$$

$$\text{Chip por wafer} = 1256/9 = 139,55$$

$$\text{Rendimento} = 1/(1+(0,5 \times 9/2))^2 = 1/3,25^2 = 1/10,56 = 0,094$$

$$\text{Custo por chip} = 100/(139,55 \times 0,094) = 100/13,11 = \text{U\$ } 7,62$$

Chip	Área do Chip	Chip por wafer	Rendimento	Custo por chip
A	1 cm ²	1256	0,64	U\$ 0,12
B	4 cm ²	314	0,25	U\$ 1,27
C	9 cm ²	139,55	0,094	U\$ 7,62

[QUESTÃO 04].

Compilador 1:

7 instruções

$$\text{Ciclos de clock} = (5 \times 1) + (1 \times 2) + (1 \times 3) = 5 + 2 + 3 = 10 \text{ ciclos}$$

$$\text{CPI1} = 10/7 = 1,42$$

$$\text{MIPS1} = 500/(1,42 \times 10^6) = 352,11 \times 10^{-6}$$

$$\text{Tempo de execução} = 10/500 = 0,02\text{s}$$

Compilador 2:

12 instruções

$$\text{Ciclos de clock} = (10 \times 1) + (1 \times 2) + (1 \times 3) = 10 + 2 + 3 = 15 \text{ ciclos}$$

$$\text{CPI2} = 15/12 = 1,25$$

$$\text{MIPS2} = 500/(1,25 \times 10^6) = 400 \times 10^{-6}$$

$$\text{Tempo de execução} = 15/500 = 0,03\text{s}$$

Compilador	MIPS	Tempo de execução
1	$352,11 \times 10^{-6}$	$2 \times 10^{-2} \text{ s}$
2	400×10^{-6}	$3 \times 10^{-2} \text{ s}$

Em relação a MIPS, o compilador 2 é mais rápido que o compilador 1, já em tempo de execução, o Compilador 1 é mais rápido.

[QUESTÃO 05].

Programa 1: M2 é mais rápida.

$10/5 = 2$, M2 é 2 vezes mais rápida que M1.

Programa 2: M1 é mais rápida.

$4/3 = 1,33$, M1 é 1,33 vezes mais rápida que M2.

[QUESTÃO 06].

RISC

A arquitetura RISC é constituída por um pequeno conjunto de instruções simples que são executadas diretamente pelo hardware, onde não há a intervenção de um interpretador (microcódigo), o que significa que as instruções são executadas em apenas uma microinstrução (de uma única forma e seguindo um mesmo padrão). Parte do pressuposto de que um conjunto de instruções mais simples irá resultar numa Unidade de Controle mais simples, barata e rápida. Os processadores MIPS, PowerPC e SPARC utilizam essa arquitetura. Principais características:

- Número reduzido de instruções
- Instruções de mesmo tamanho
- Muitos registradores
- Operações somente entre registradores
- Instruções executadas diretamente em hardware

CISC

CISC é uma arquitetura de processadores capaz de executar centenas de instruções complexas diferentes. Os processadores baseados nessa arquitetura contêm uma micro-programação, ou seja, um conjunto de códigos de instruções que são gravados no processador, permitindo-lhe receber as instruções dos programas e executá-las, utilizando as instruções contidas na sua micro-programação. Visa facilitar a construção de compiladores, assim, programas complexos são compilados em programas de máquina mais curtos. Os processadores Intel 386 e 486 utilizam essa arquitetura. Principais características:

- Grande variedade de instruções
- Instruções de tamanho variado
- Poucos registradores
- Operações em memória
- Utiliza microcódigo

[QUESTÃO 07].

Add \$t0.\$zero.\$zero

Beq \$s5.\$t0.L0

Addi \$t0.\$t0.1

Beq \$s5.\$t0.L1

Addi \$t0.\$t0.1

Beq \$s5.\$t0.L2

Addi \$t0.\$t0.1

Beq \$s5.\$t0.L3

J Exit

L0: add \$s0.\$s3.\$s4

J Exit

L1: add \$s0.\$s1.\$s2

J Exit

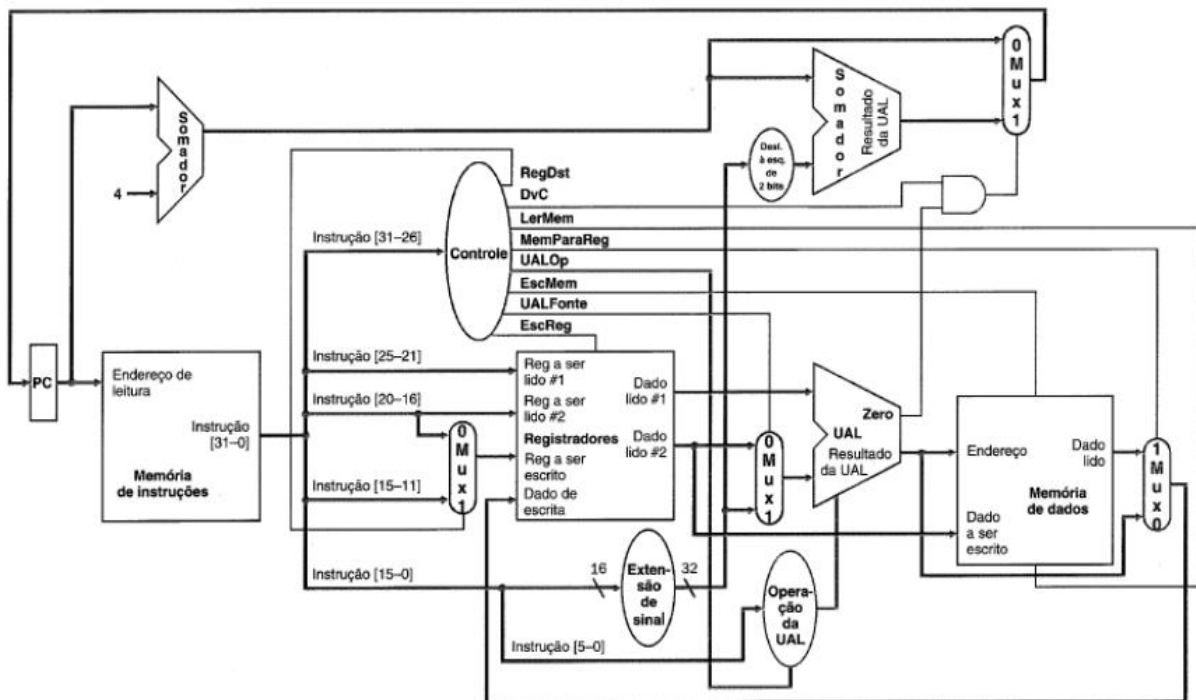
L2: sub \$s0.\$s1.\$s2

J Exit

L3: sub \$s0.\$s3.\$s4

Exit:

[QUESTÃO 09].



Instrução tipo R add \$t1.\$t2.\$t3

1. A instrução é buscada e o PC é incrementado.
2. Dois registradores, \$t2 e \$t3, são lidos do banco de registradores, e a unidade de controle principal calcula a definição das linhas de controle também durante essa etapa.
3. A UAL opera nos dados lidos do banco de registradores, usando o código de função (bits 5:0) para gerar a função da UAL.
4. O resultado da UAL é escrito no banco de registradores usando os bits 15:11 da instrução para selecionar o registrador de destino (\$t1).