

# Experimento 8

## Latches D e Flip-Flops D

Grupo D1

Alexandre Augusto, 15/0056940  
Gabriel de Castro Dias, 21/1055432

<sup>1</sup>Dep. Ciência da Computação – Universidade de Brasília (UnB)  
CIC0231 - Laboratório de Circuitos Lógicos  
12 de março de 2023

150056940@aluno.unb.br, 211055432@aluno.unb.br

**Abstract.** *Latches and Flip-flops are circuits that are widely used in the construction of computational circuits nowadays. This report will explore the implementation of latches type D and flip flops type D and it's behaviours and delays.*

**Resumo.** *Latches e Flip-flops são circuitos amplamente utilizados na construção dos circuitos computacionais atuais. Este relatório abordará a implementação de latches tipo D e flip flops tipo D e seus comportamentos e atrasos.*

### 1. Introdução

Por muito tempo as unidades de memória de um computador digital foram quase que exclusivamente feitas de núcleos magnéticos, porém com o avanço da tecnologia os mesmos foram substituídos por memórias com semicondutores.

O flip-flop serve para armazenar um bit de informação. Tal circuito possui dois estados estáveis, em uma delas a saída é  $Q = X$ , e na segunda será  $Q'$ , ou seja, caso  $Q = 1$ ,  $Q' = 0$ . Existem vários tipos de flip-flops, os mais comuns são o JK,D,RS e T. Alguns desses flip-flops possuem o estado SET e/ou RESET, que determinam o estado da saída.

Latch é um circuito com funcionalidade similar ao flip-flop. A diferença é que a informação do latch é transferida durante todo o tempo em que o gatilho permanece ativo. Já no flip-flop a informação é transferida durante a transição do sinal de gatilho. Por isso o circuito latch é considerado biestável sensível ao nível, enquanto flip-flop é considerado biestável sensível à borda.

Em circuitos com muitas portas lógicas, é provável que ocorram certos atrasos que afetem o resultado de sistemas. Flip flops são circuitos sujeitos a tais atrasos.

#### 1.1. Objetivos

Este experimento tem por objetivo melhorar a compreensão de latches e flip flops ao implementar e analisar os mesmos usando circuitos integrados. Desta forma, deseja-se entender, além do comportamento, situações inusitadas tais quais atrasos em circuitos.

## 1.2. Materials

Neste experimento foram utilizados os seguintes materiais e equipamentos:

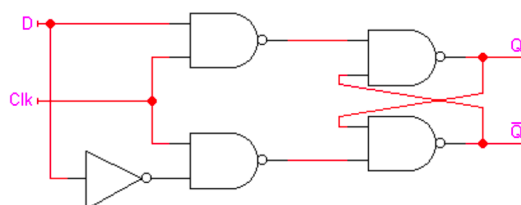
- Kit Digital
- Fios Conectores
- Portas NAND (74HC00 e 74HC10), NOT (74HC04) e FLIP-FLOP D (74HC74)
- Portas Lógicas AND e NAND

## 2. Procedimentos e Resultados

Segue abaixo a descrição dos procedimentos e seus resultados.

### 2.1. Latch tipo D

Para este exercício foi implementado um circuito latch do tipo D de acordo com a imagem a seguir. Para tanto foram usados dois CIs, um de portas NOT e outro de portas NAND de duas entradas.



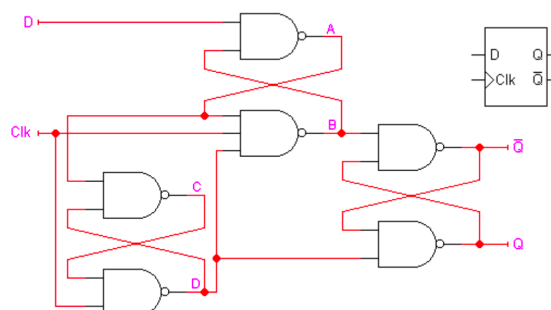
**Figura 1. Implementação do Latch D**

Este latch funciona replicando a entrada D na saída Q toda vez que seu clock se encontra ativo.

O vídeo com o circuito implementado encontra-se neste [link](#).

## 2.2. Flip flop tipo D

Para este exercício foi implementado um circuito flip flop do tipo D de acordo com a imagem a seguir. Para tanto foram usados dois CIs, um de portas NAND de três entradas e outro de portas NAND de duas entradas.



**Figura 2. Implementação do Flip flop D**

O flip flop, diferentemente do latch, funciona nas subidas de clock, isto é, as alterações na saída ocorrem somente quando o clock transiciona de 0 para 1. Uma vez

que o clock se encontra nesta transição, a saída Q replicará o que se encontra na entrada D.

O vídeo com o circuito implementado encontra-se neste [link](#).

### **2.3. CI com Flip flops tipo D**

Este circuito consistiu em usar o circuito integrado com os flip flop prontos, seu PRESET e CLEAR são negados, isto é, ficam ativos em zero e são assíncronos, mudam a saída instantaneamente.

O vídeo com o circuito implementado encontra-se neste [link](#).

### **2.4. Atraso com Flip flops tipo D no CI**

Este circuito consistiu em usar o mesmo circuito integrado com os flip flop prontos usados anteriormente, contudo um flip flop tem uma sequência de NOTs para simular um atraso e permitir que seja feito o hold de forma segura e a subida de clock ocorra depois que a entrada se encontre em 1. Desta maneira, o flip flop que possui hold mostrará como saída sempre o valor 1, enquanto o flip flop sem hold irá mostrar o valor 0 justamente pelo fato de a subida de clock coincidir com a subida na entrada e o valor não se encontrar na faixa correspondente a 1.

O vídeo com o circuito implementado encontra-se neste [link](#).

## **3. Conclusões**

A partir do experimento realizado, foi possível compreender melhor sobre circuitos sequenciais usados como os primeiros passos de memória chamados flip flops e latches. Assim, obteve-se um maior conhecimento referente ao tempo de atraso de circuitos e combinação de flip flops e latches para obtenção de sistemas mais complexos tais quais registradores e contadores.

### **Auto-Avaliação**

1. b
2. a
3. a
4. c
5. c
6. b
7. a
8. b
9. c
10. a