

Experimento 7

Latches e Flip-Flops: RS e JK

Grupo D1

Alexandre Augusto, 15/0056940
Gabriel de Castro Dias, 21/1055432

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CIC0231 - Laboratório de Circuitos Lógicos
12 de março de 2023

150056940@aluno.unb.br, 211055432@aluno.unb.br

Abstract. *Latches and Flip-flops are circuits that are widely used in the construction of computational circuits nowadays. This report will explore the implementation of these vital circuits to modern society.*

Resumo. *Latches e Flip-flops são circuitos amplamente utilizados na construção dos circuitos computacionais atuais. Este relatório abordará a implementação de tais circuitos vitais para a sociedade moderna.*

1. Introdução

Por muito tempo as unidades de memória de um computador digital foram quase que exclusivamente feitas de núcleos magnéticos, porém com o avanço da tecnologia os mesmos foram substituídos por memórias com semicondutores.

O flip-flop serve para armazenar um bit de informação. Tal circuito possui dois estados estáveis, em uma delas a saída é $Q = X$, e na segunda será Q' , ou seja, caso $Q = 1$, $Q' = 0$. Existem vários tipos de flip-flops, os mais comuns são o JK, D, RS e T. Alguns desses flip-flops possuem o estado SET e/ou RESET, que determinam o estado da saída.

Latch é um circuito com funcionalidade similar ao flip-flop. A diferença é que a informação do latch é transferida durante todo o tempo que o gatilho permanece ativo. Já no flip-flop a informação é transferida durante a transição do sinal de gatilho. Por isso o circuito latch é considerado biestável sensível ao nível, enquanto flip-flop é considerado biestável sensível à borda.

1.1. Objetivos

Apresentação e implementação dos circuitos biestáveis Latch e Flip-flop.

1.2. Materiais

Neste experimento foram utilizados os seguintes materiais e equipamentos:

- Painel Digital
- *Protoboard*
- Fios
- Circuitos Integrados 7000 e 7010, que são Portas Lógicas NAND de 2 e 3 entradas

2. Procedimentos e Resultados

Implementação de Latch RS com NANDs no (2.1) e explicação de comportamento do mesmo em (2.2). Montagem de Flip-flop Mestre-Escravo no (2.3) e implementação do Flip-flop JK no (2.4)

2.1. Latch RS simples

Para este primeiro exercício, não foi necessário filmar, contudo, fez-se uma tabela verdade para facilitar a compreensão do Latch, e o mesmo serviu para os experimentos seguintes.

Tabela 1. Tabela Verdade para latch RS simples

Entradas		Saídas	
\overline{RESET}	\overline{SET}	Q	\overline{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q_n	$\overline{Q_n}$

É possível perceber que o conjunto (1, 1) é uma situação não desejada (estado proibido), isto é, ao passar de (0, 0) para (1, 1) é possível que ocorram oscilações inesperadas e o estado fique indeterminado ao voltar para (0, 0) pois ocorre uma mudança contínua de estados em Q e \overline{Q} , além do fato de \overline{RESET} e \overline{SET} ativos não terem significado semântico. Durante o experimento foi replicada essa passagem de estados usando uma única chave tanto para \overline{SET} quanto \overline{RESET} .

2.2. Latch RS engatilhado

Tabela 2. Tabela Verdade para latch RS engatilhado

Entradas			Saídas	
\overline{RESET}	\overline{SET}	$\overline{TRIGGER}$	Q_{n+1}	$\overline{Q_{n+1}}$
X	X	0	Q_n	$\overline{Q_n}$
0	0	1	Q_n	$\overline{Q_n}$
0	1	1	1	0
1	0	1	0	1
1	1	1	1	1
0	1	1	Q_n	$\overline{Q_n}$

O vídeo com o circuito implementado encontra-se neste [link](#).

Neste latch ainda há a existência de estado proibido quando \overline{SET} e \overline{RESET} se encontram em 1 e são simultaneamente passados para 0, o que faz com que alcancem um estado não determinístico.

2.3. Flip-flop RS Mestre-Escravo

Em questão de saídas poderá não parecer perceptível a diferença entre Latches e Flip-flops, porém, um fator inegável entre ambos é o fato que para que Latches possam criar sua mudança de estado, basta que o nível mude para um que possibilite esta mudança. Já Flip-flops, possuem a característica de que para criar suas mudanças será possível somente nas bordas da onda, ou seja, um Flip-flop sensível a onda de subida somente modificará seu estado no momento em que ocorra a transição de nível lógico baixo para alto, assim, define-se que Latches são sensíveis ao estado lógico, diferentemente de Flip-flops que são sensíveis nas bordas.

Tabela 3. Tabela Verdade para flip flop RS

Entradas			Saídas	
<i>RESET</i>	<i>SET</i>	<i>TRIGGER</i>	Q_{n+1}	$\overline{Q_{n+1}}$
X	X	0	Q_n	$\overline{Q_n}$
0	0	UP	Q_n	$\overline{Q_n}$
0	1	UP	1	0
1	0	UP	0	1
1	1	UP	1	1
0	1	UP	Q_n	$\overline{Q_n}$

O vídeo com o circuito implementado encontra-se neste [link](#)

2.4. Flip-flop JK

Para a implementação do flip-flop JK, foi necessário usar o experimento anterior e acrescentar mais portas lógicas. Desta forma, foram trocadas as portas NAND iniciais de 2 entradas por de 3 entradas e conectadas as saídas às suas respectivas portas de entrada.

O vídeo com o circuito implementado encontra-se neste [link](#)

Neste experimento tivemos problemas com a placa que apresentou defeito durante o laboratório, contudo após a aula pudemos concluir o exercício sem mais problemas usando o equipamento próprio. Além disso, foi o primeiro experimento a demandar o uso do gerador de frequência e tornar nítida a passagem de estado na subida de clock.

3. Conclusões

Foi possível obter maior experiência a partir da prática do uso de latches e flip flops e, dessa forma, compreender melhor o comportamento de tais circuitos.

Assim, depois do laboratório, observou-se que latches e flip flops são circuitos sequenciais capazes de armazenar dados de forma simples e são a base para contadores, somadores e outros circuitos mais complexos.

Referências

Auto-Avaliação

1. d
2. a
3. b
4. d
5. c
6. d
7. d