

DDL, Измерение сигналов,
TDC

Параметры синхросигнала

- Частота (обратная величина периоду)
- Скважность (обратная величина коэффициенту заполнения)
- Джиттер
- Скорость нарастания и спада фронта (transition)

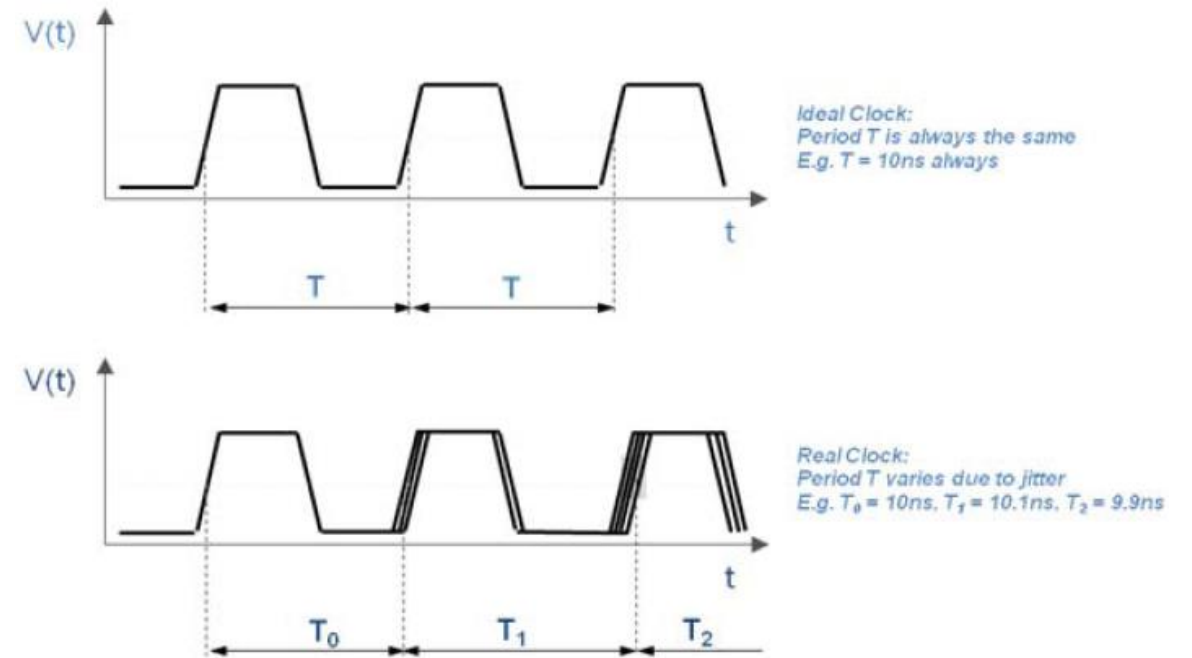
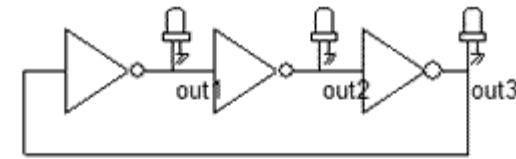


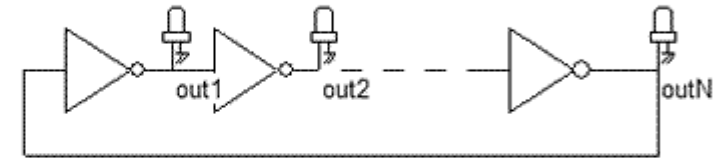
Figure 1. Jitter in the Time Domain

Кольцевой генератор

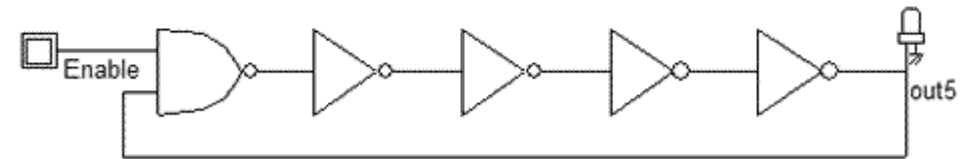
- На инвертирующих элементах
- На неинвертирующих элементах



Ring oscillator with 3 inverters

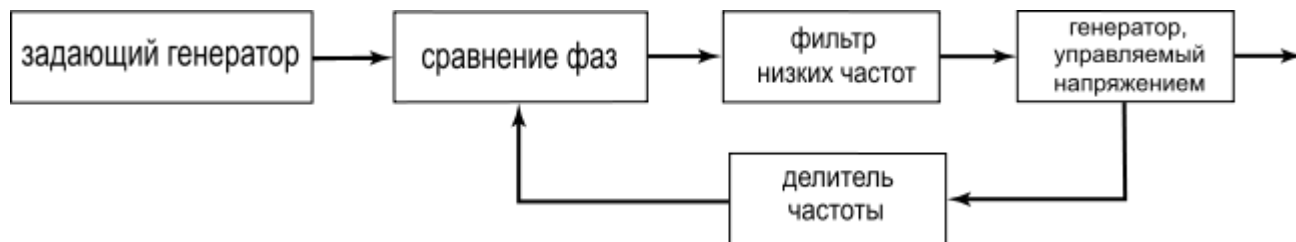


Ring oscillator with N inverters (Odd number)



5-stage ring oscillator with enable

DPLL



- Все стадии цифровые схемы

MegaWizard Plug-In Manager [page 1 of 12]

ALTPLL

About Documentation

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

General/Modes Inputs/Lock Bandwidth/SS Clock switchover

Currently selected device family: Cyclone IV E

☒ Match project/default

Able to implement the requested PLL

General

Which device speed grade will you be using? Any

☐ Use military temperature range devices only

What is the frequency of the inclk0 input? 48.000 MHz

☐ Set up PLL in LVDS mode Data rate: Not Available Mbps

PLL Type

Which PLL type will you be using?

☐ Fast PLL ☐ Enhanced PLL ☒ Select the PLL type automatically

Operation Mode

How will the PLL outputs be generated?

☒ Use the feedback path inside the PLL

☒ In normal mode

☐ In source-synchronous compensation Mode

☐ In zero delay buffer mode

☐ Connect the fbmimic port (bidirectional)

☐ With no compensation

☐ Create an 'fbmimic' input for an external feedback (External Feedback Mode)

Which output clock will be compensated for? c0

Cancel < Back Next > Finish

pll

inclk0 areset c0 locked

inclk0 frequency: 48.000 MHz
Operation Mode: Normal

Clk	Ratio	Ph (deg)	DC (%)
c0	125/6	0.00	50.00

Cyclone IV E

DPLL

MegaWizard Plug-In Manager [page 6 of 12]

ALTPLL [About](#) [Documentation](#)

1 Parameter Settings 2 PLL Reconfiguration 3 **Output Clocks** 4 EDA 5 Summary

clk c0 > clk c1 > clk c2 > clk c3 > clk c4 >

pll

inclk0
areset

inclk0 frequency: 48.000 MHz
Operation Mode: Normal

Clk	Ratio	Ph (deg)	DC (%)
c0	125/6	0.00	50.00

locked

Cyclone IV E

c0 - Core/External Output Clock

Able to implement the requested PLL

☒ Use this clock

Clock Tap Settings

	Requested Settings	Actual Settings
<input checked="" type="radio"/> Enter output clock frequency:	1000.00000000 MHz	000.000000
<input type="radio"/> Enter output clock parameters:		
Clock multiplication factor	1	125
Clock division factor	1	6
Clock phase shift	0.00 deg	0.00
Clock duty cycle (%)	50.00	50.00

Note: The displayed internal settings of the PLL is recommended for use by advanced users only

Description	V _a
Primary clock VCO frequency (MHz)	...
Modulus for M counter	...
Modulus for N counter	6

Per Clock Feasibility Indicators

c0 c1 c2 c3 c4

Cancel < Back Next > Finish

Измерение. Делитель

- Джиттер на выходе равен джиттеру измеряемого сигнала
- Теряется информация о коэффициенте заполнения сигнала

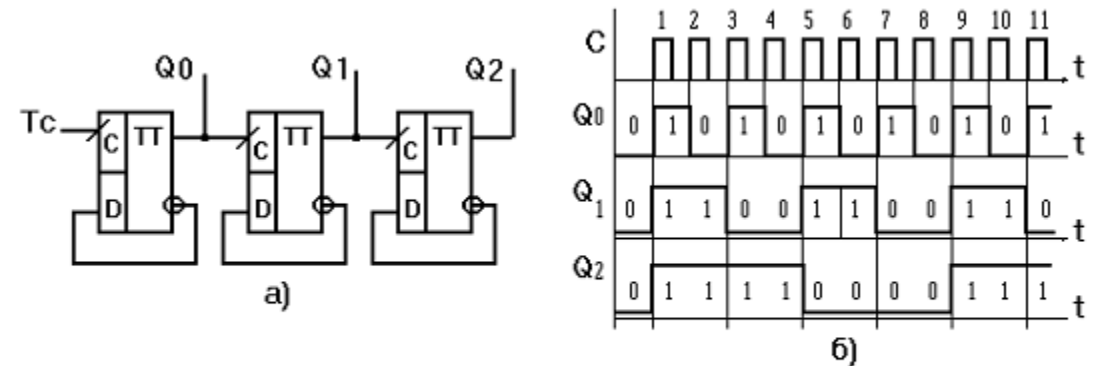


Рис. 3.34. Схема а) и временные диаграммы вычитающего трехразрядного счетчика на D - триггерах

Измерение. Random sampling

Формулировка Закона Больших Чисел [9]:

$$P\left(\left|\frac{\sum \xi}{n} - E\xi\right| \geq \varepsilon\right) \leq \frac{D\xi}{n\varepsilon^2}, \quad (10)$$

где ξ – измеряемая случайная величина, $E\xi$ – ее мат-ожидание, $D\xi$ – ее дисперсия, n – количество измерений, ε – ошибка. Таким образом, закон дает возможность получить значение количества измерений необходимое для того, чтобы вероятность того, что ошибка измеренной величины больше ε была меньше $D\xi/(n\varepsilon^2)$.

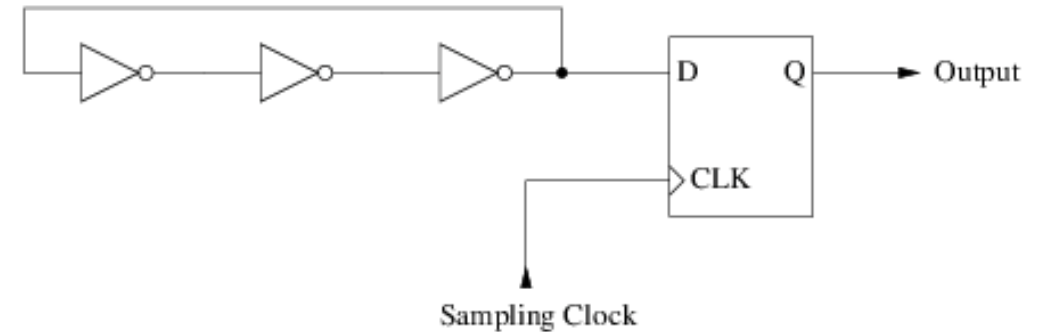
В нашей задаче случайной величиной ξ считается значение одного семпла, n – количество семплов. Сейчас буду считать идеальную задачу, в которой не учитывается возможные ошибки из-за метастабильности семплирующих флип-флопов. В таком случае, если период измеряемого сигнала T_{osc} , время единичного уровня T_h , то понимая под случайной величиной результат одного семпла:

$$E\xi = \frac{T_h}{T_{osc}}, \quad D\xi = E\xi^2 - (E\xi)^2 = E\xi(1 - E\xi); \quad (11)$$

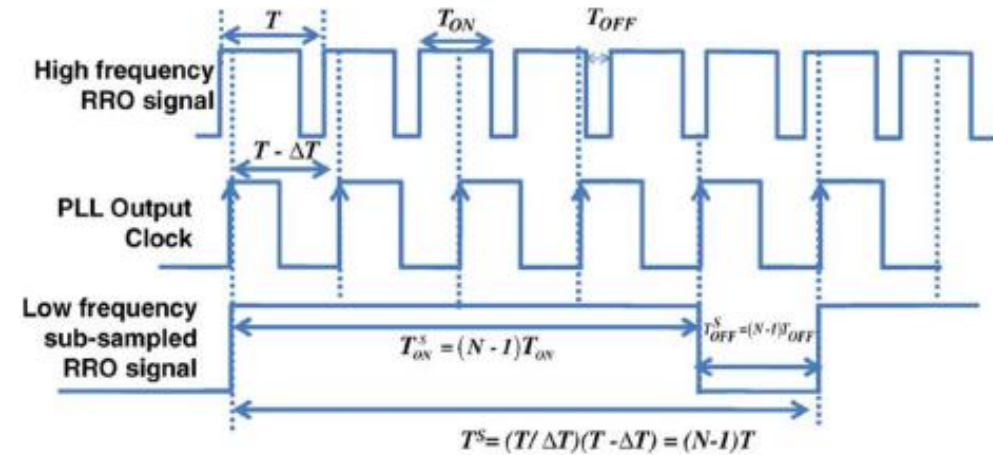
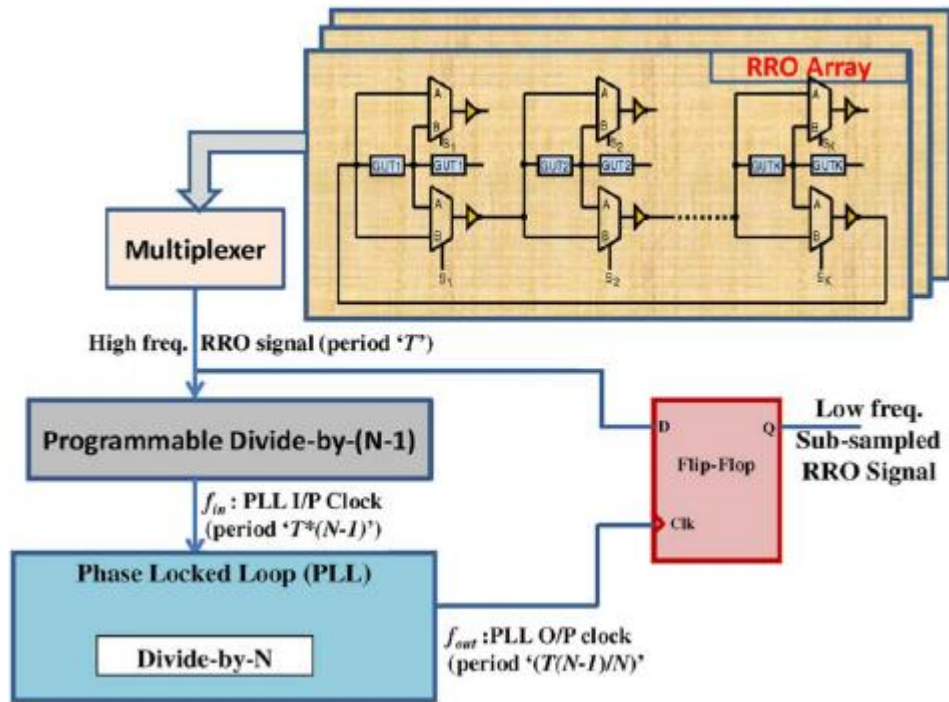
В (10) величина ε суть есть целевая точность измерения, а правая часть неравенства определяет доверительный интервал (уровень доверия) p . Пускай α – целевая относительная ошибка. Тогда, выражение для n в идеальном случае:

$$\alpha = \frac{\varepsilon}{E\xi}, \quad \Rightarrow \quad p = \frac{E\xi(1 - E\xi)}{n_{ideal}\varepsilon^2} = \frac{1 - E\xi}{n_{ideal}\alpha^2 E\xi} \quad \Rightarrow \quad (12)$$

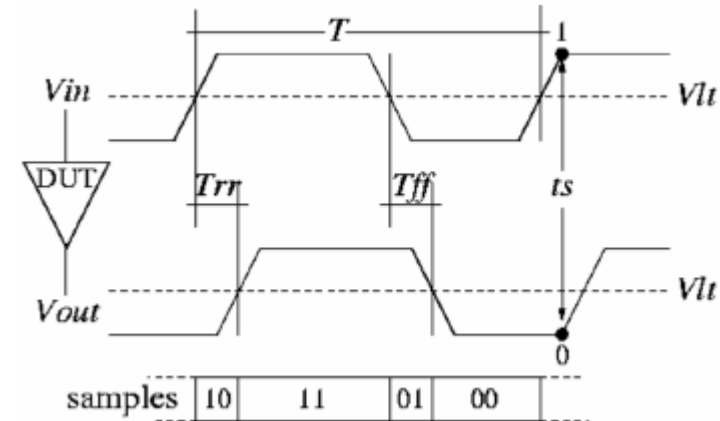
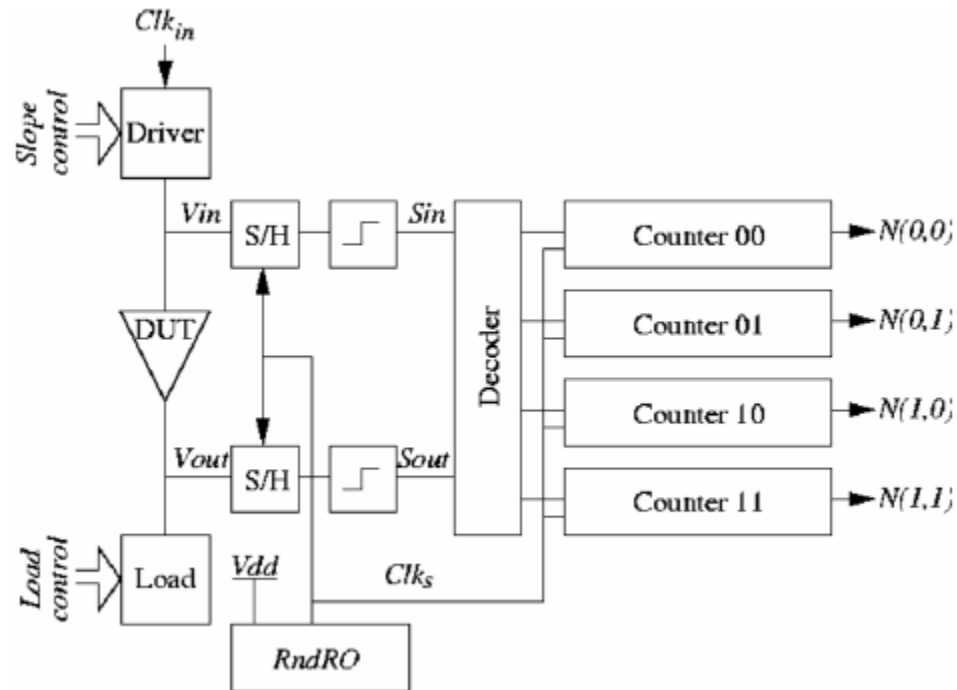
$$\Rightarrow \quad \boxed{n_{ideal} = \frac{1 - E\xi}{E\xi} \frac{1}{p\alpha^2}} \quad (13)$$



Измерение. Subsampling



Измерение. Мониторы random sampling



$$\sigma_x = \sqrt{\frac{Trr}{T} \left(1 - \frac{Trr}{T} \right)}$$

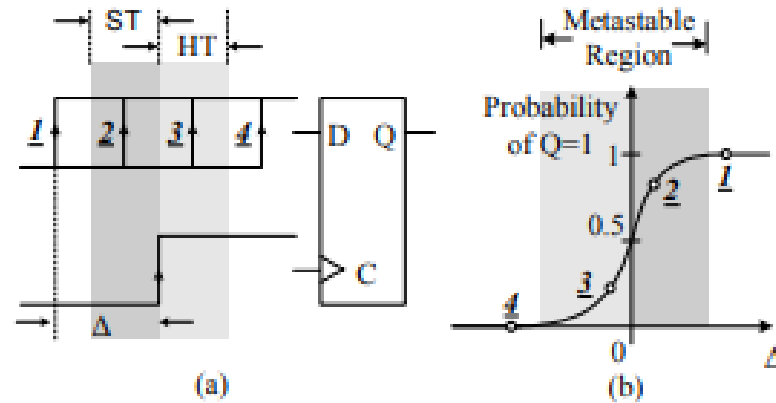
$$\sigma_x \cong \sqrt{\frac{T_{rr}}{T}} \quad \text{for } T \gg T_{rr}$$

$$\sigma = \frac{\sigma_x}{\sqrt{N}}$$

$$\sigma_{\text{meas}Trr} \cong \frac{1}{\sqrt{N}} \sqrt{\frac{Trr}{T}} T = \sqrt{\frac{Trr \cdot T}{N}}$$

Summary

- Для борьбы с метастабильностью увеличивать выборку
- На этом основан принцип измерения задержек элементов



$$h(\Delta) = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} \frac{1}{\sigma} \exp\left(\frac{-\Delta^2}{2\sigma^2}\right) d\Delta.$$

Constraints

Syntax	<code>set_disable_timing [-h -help] [-long_help] [-from <name>] [-to <name>] <cells></code>	
Arguments	<code>-h -help</code>	Short help
	<code>-long_help</code>	Long help with examples and possible return values
	<code>-from <name></code>	Valid source pin suffix
	<code>-to <name></code>	Valid destination pin suffix
	<code><cells></code>	List of cells
Description	Disables a timing edge (arc) from inside a given cell or cells. Disabling a timing edge prevents timing analysis through that edge. If either -from or -to (or both) are unspecified, the missing value or values are replaced by a "*" character.	

Syntax `create_clock [-h | -help] [-long_help] [-add] [-name <clock_name>] -period <value> [-waveform <edge_list>] [<targets>]`

Arguments	<code>-h -help</code>	Short help
	<code>-long_help</code>	Long help with examples and possible return values
	<code>-add</code>	Adds clock to a node with an existing clock
	<code>-name <clock_name></code>	Clock name of the created clock
	<code>-period <value></code>	Speed of the clock in terms of clock period
	<code>-waveform <edge_list></code>	List of edge values
	<code><targets></code>	List or collection of targets

TDC

- time-to-digital converter
- Определение временного интервала между событиями
- У счетчиков низкая скорость
- Например, лидары

Figure 4. The output of the comparator in the absence of noise*

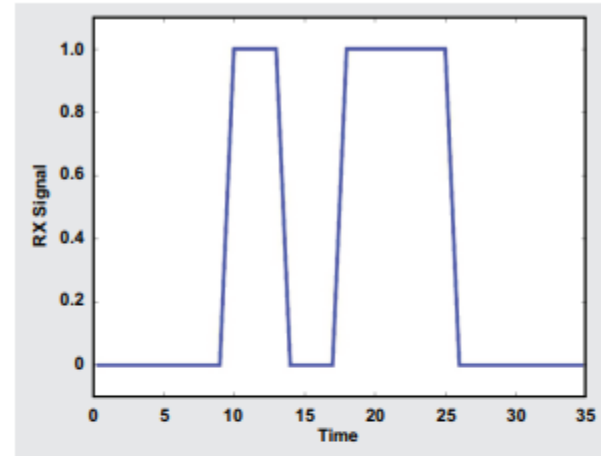
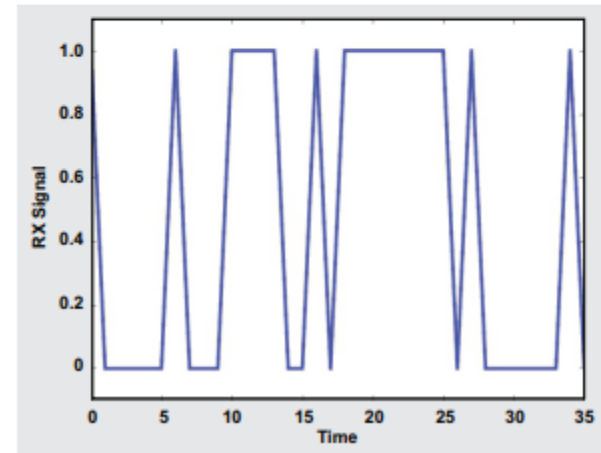
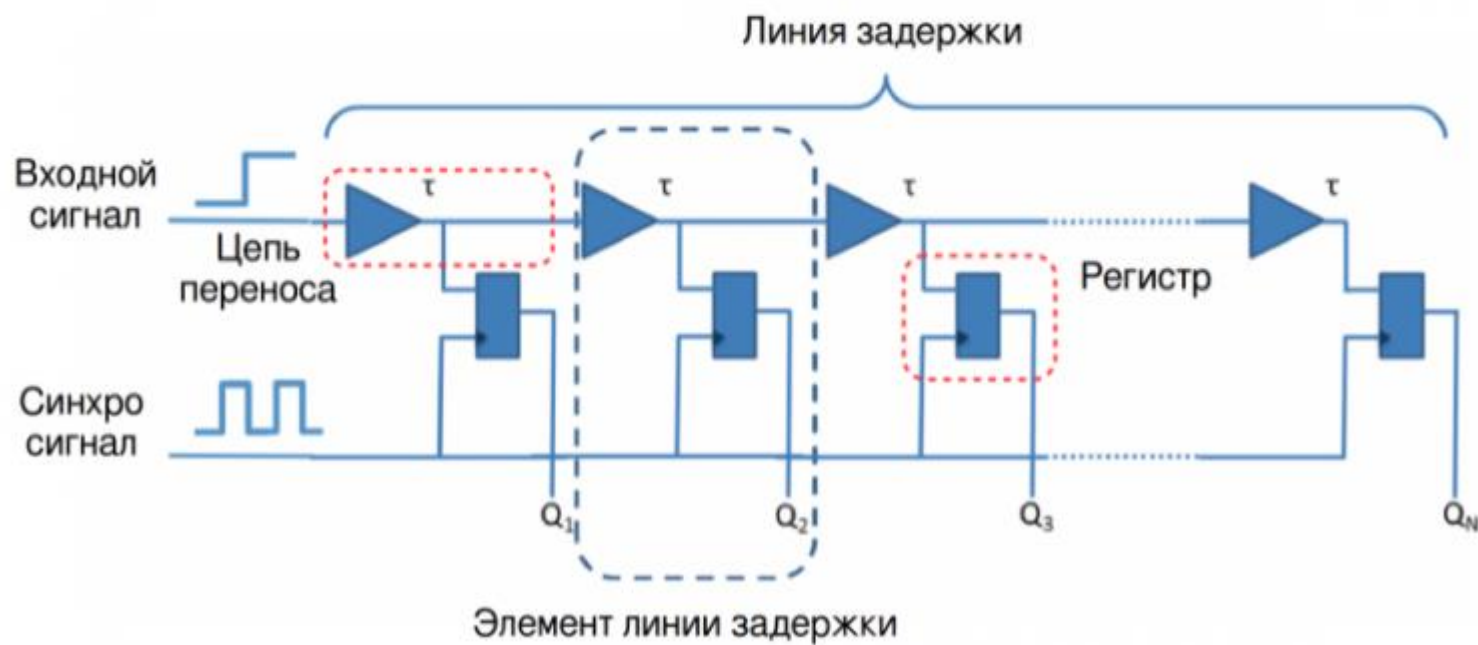
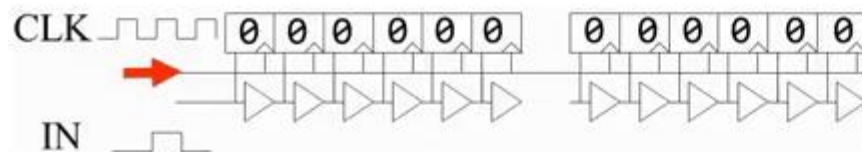


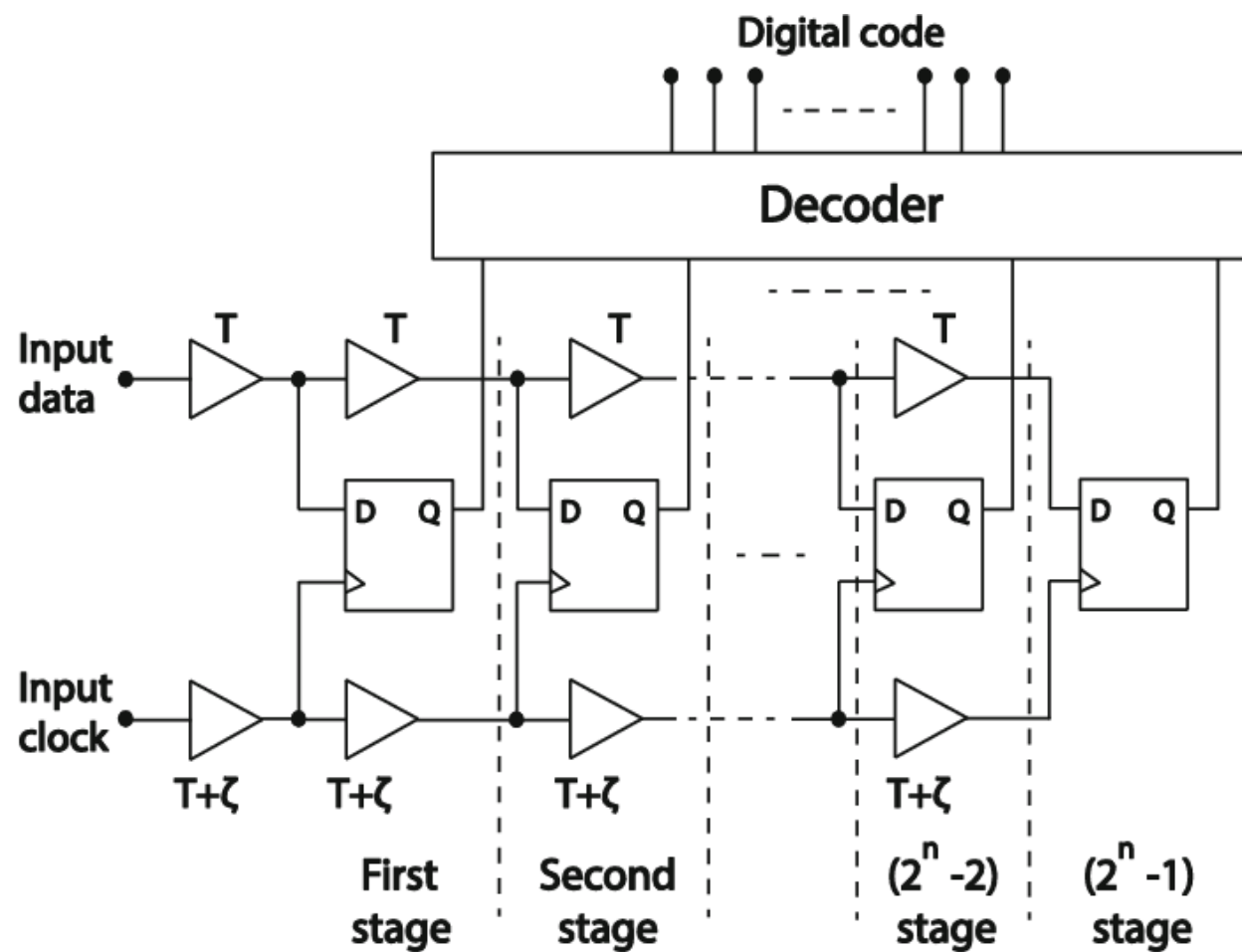
Figure 5. Output of the comparator feeding the TDC in the presence of noise



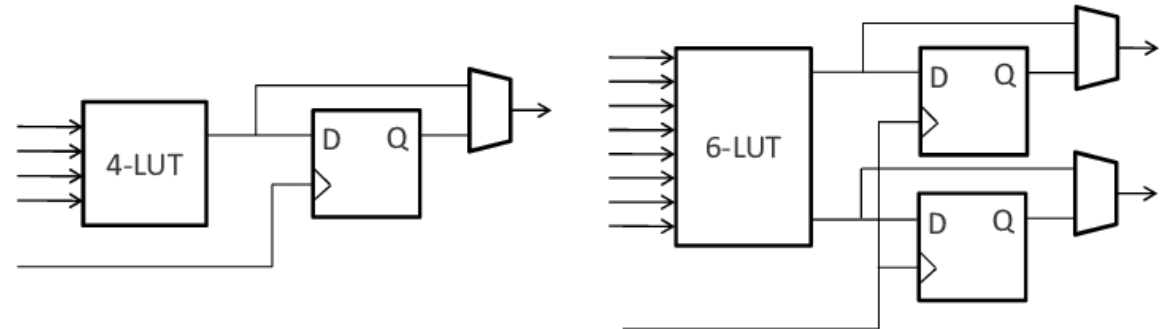
TDC субтактовая линия



TDC линия Вернье



TDC реализация



a) Cyclone II Logic Element (LE)

b) Stratix IV Adaptive Logic Module (ALM)

Example 2–18. LCELL Primitive Instantiation, Verilog HDL

```
lcell <instance_name> (.in(<input_wire>), .out(<output_wire>);
```

Syntax **set_location_assignment** [-h | -help] [-long_help] [-comment
 <comment>] [-disable] [-remove] -to <destination> [<value>]

Arguments	-h -help	Short help
	-long_help	Long help with examples and possible return values
	-comment <comment>	Comment
	-disable	Option to disable assignment
	-remove	Option to remove assignment
	-to <destination>	Destination of assignment
	<value>	Assignment value