

## FIFO.

Это домашнее задание на два очка. Необходимо написать следующий дизайн, констрейнты описывать не требуется.

1. Создать при помощи библиотеки IP блоков синхронное FIFO (т.е. чтение и запись происходят по одному синхросигналу), 8 слов по 16 бит. Необходимо расположить его в логических ячейках (т.е. не в М9К блоке).
2. Необходимо на Verilog описать блок ROM памяти, 16 слов по 16 бит. Он должен быть расположен в блоке М9К памяти. Инициализация памяти должна производиться при помощи файла инициализации памяти.
3. Далее необходимо реализовать следующий функционал: после запуска необходимо последовательно заполнить FIFO данными из ROM; подсоединить кнопку, по нажатии на которую происходит чтение одного элемента FIFO и прочитанное значение выводится на 7SEG индикатор. Далее, т.к. одно слово в FIFO освободилось, записать туда следующее слово из ROM. Когда новые слова в ROM закончатся, продолжить с первого слова (зациклить).
4. На гитхаб выложить полный проект (со всеми файлами инициализации). Так же в отдельный текстовый файл sum.txt выписать общее количество используемых комбинационных, последовательностных и М9К ячеек.

*Рекомендация: иногда интерфейс создания IP блока очень сильно тормозит. Чтобы такого не было, рекомендую переименовать в пути до исполняемого файла Quartus все папки, содержащие заглавные буквы. Так же рекомендую запускать Quartus с правами суперпользователя через терминал (на Windows с правами администратора).*