

# Chương 5

Bộ nhớ trong

# Chương 5. Bộ nhớ trong

5.1. Bộ nhớ chính bán dẫn

5.2. Cơ chế sửa lỗi

5.3. Tổ chức bộ nhớ DRAM mở rộng

# 5.1 Bộ nhớ bán dẫn

## a. Tổ chức

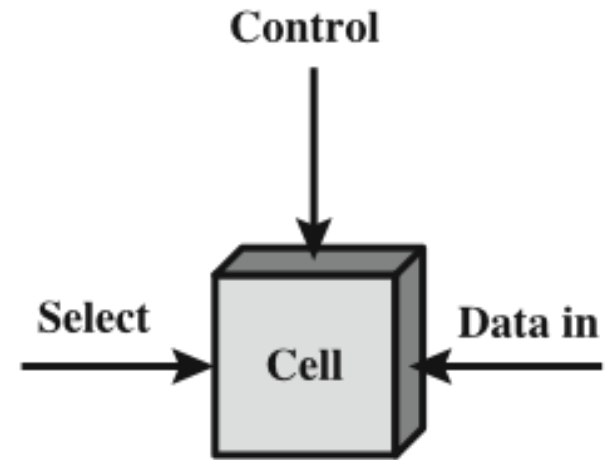
- Các thành phần chính của BN bán dẫn là các ô nhớ (memory cell)

- Đặc điểm chính:

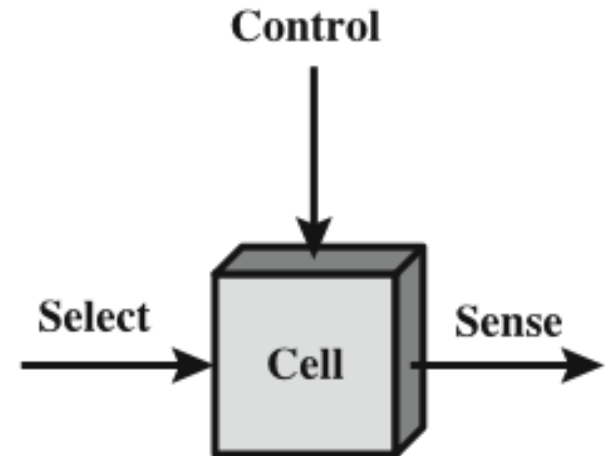
- Có 2 trạng thái biểu diễn 2 bit 0, 1
- Có khả năng ghi vào (ít nhất một lần)
- Có khả năng đọc ra

- Có 3 đầu cuối:

- Đường select để chọn ra ô nhớ để đọc hoặc ghi
- Đường điều khiển để chỉ thị thao tác đọc hoặc ghi
- Đường đưa dữ liệu vào hoặc đọc dữ liệu ra



(a) Write



(b) Read

## b. Các loại bộ nhớ bán dẫn

- RAM - Random Access Memory: Bộ nhớ truy cập ngẫu nhiên
  - Bộ nhớ đọc ghi
  - Cơ chế ghi sử dụng tín hiệu điện
  - Cho phép xóa
  - Bộ nhớ điện động
- ROM - Read-only Memory: Bộ nhớ chỉ đọc
  - Bộ nhớ chỉ đọc
  - Trước đây không xóa được. Hiện nay một số loại xóa được nhưng phải sử dụng mạch điện chuyên biệt
  - Bộ nhớ điện tĩnh
- Đặc điểm chung:
  - Phương thức truy cập: truy cập ngẫu nhiên, sử dụng địa chỉ

## c. Bộ nhớ RAM

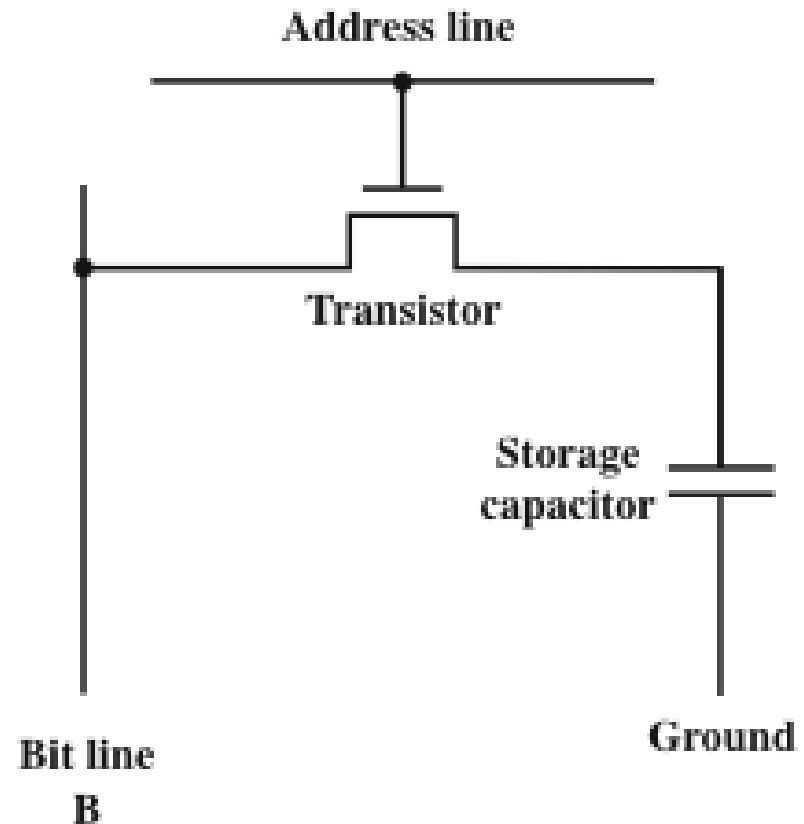
- Bộ nhớ *random-access memory (RAM)*: cho phép đọc và ghi dữ liệu một cách nhanh chóng, cả đọc và ghi đều sử dụng các tín hiệu điện
- Bộ nhớ RAM là bộ nhớ điện động, khi mất nguồn, dữ liệu bị mất → Chỉ sử dụng RAM với mục đích lưu trữ tạm thời
- Có hai công nghệ RAM :
  - RAM động - Dynamic RAM (DRAM)
  - RAM tĩnh - Static RAM (SRAM)

# DRAM và SRAM

## RAM động - Dynamic RAM (DRAM)

### ■ DRAM

- Có các ô nhớ lưu trữ dữ liệu bằng cách nạp cho các tụ điện
- Điện tích có hoặc không có trên mỗi tụ điện tương ứng với các bit 1 hoặc 0
- Cần phải nạp điện định kỳ để duy trì lưu trữ dữ liệu
- Điện tích trên tụ điện bị rò rỉ ngay cả khi có nguồn nuôi → cần có dòng làm tươi (định kỳ)

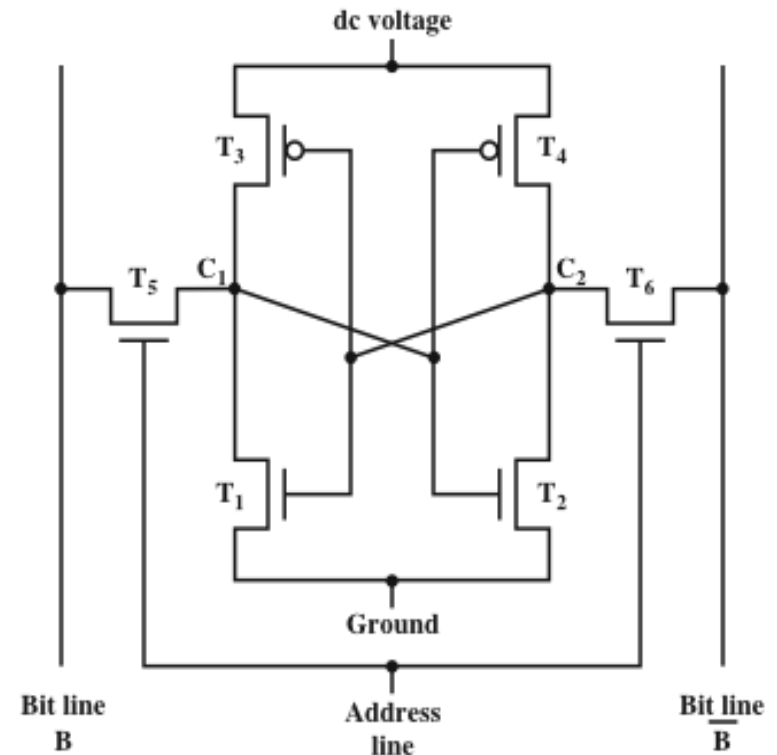




# DRAM và SRAM

## RAM tĩnh - Static RAM (SRAM)

- Thiết bị sử dụng các thành phần logic giống nhau trong bộ xử lý
- Các giá trị nhị phân được lưu trữ trong các cổng logic flip-flop truyền thống.
- Giữ được dữ liệu đến khi nào còn có nguồn cung cấp cho nó



(b) Static RAM (SRAM) cell

# So sánh SRAM và DRAM

- **Đều là bộ nhớ điện động**

- Phải được nối với nguồn liên tục để ô nhớ lưu trữ được giá trị bit.

- **RAM động**

- Dễ dàng chế tạo, kích thước nhỏ hơn
  - Mật độ lớn hơn (các ô nhớ nhỏ hơn → nhiều ô nhớ hơn trong một đơn vị diện tích)
  - Giá thành rẻ hơn
  - Đòi hỏi phải hỗ trợ dòng làm tươi
  - Thích hợp với các bộ nhớ dung lượng cao
  - Được sử dụng cho bộ nhớ chính

- **RAM Tĩnh**

- Nhanh hơn
  - Được sử dụng làm bộ nhớ đệm (cache) (cả trong và ngoài chip)



## d. Bộ nhớ ROM (Read Only Memory)

- Chứa dữ liệu vĩnh cửu, không thể thay đổi hay thêm vào
- Không cần cung cấp nguồn để duy trì giá trị bit trong bộ nhớ
- Dữ liệu hay chương trình lưu trữ vĩnh cửu trong bộ nhớ chính và không cần thiết phải tải từ thiết bị lưu trữ thứ hai
- Ứng dụng:
  - Vi lập trình
  - Lưu trữ các file hệ thống
- Dữ liệu thực tế được nạp với chip như một phần của chu trình sản xuất chip.
  - Nhược điểm của điều này:
    - Không có chỗ cho lỗi, nếu sai một bit thì toàn bộ lô ROM sẽ bị vứt đi
    - Việc nạp dữ liệu vào ROM tốn một khoản chi phí cố định khá lớn

# Các loại BN ROM

## ■ PROM (Programmable ROM) – ROM có thể lập trình được

- Việc thay thế ít tốn kém hơn
- Không xóa được và chỉ có thể ghi một lần duy nhất
- Quá trình ghi được thực hiện bằng điện do nhà cung cấp hoặc khách hàng thực hiện tại thời điểm sau thời điểm sản xuất chip
- Cần có thiết bị ghi đặc biệt để thực hiện quá trình ghi
- Linh hoạt và tiện lợi
- Thích hợp với chu trình sản xuất một số lượng lớn

## ■ EPROM

- Bộ nhớ PROM có thể xóa được
- Quá trình xóa có thể thực hiện nhiều lần
- Đắt hơn so PROM nhưng có ưu điểm do khả năng cập nhật lại

# Các loại BN ROM

- EEPROM

- Bộ nhớ PROM xóa bằng điện
- Có thể ghi vào bất cứ thời điểm nào mà không cần phải xóa dữ liệu trước đó
- Kết hợp ưu điểm của việc không xóa được và sự linh hoạt của việc cập nhật tại chỗ
- Đắt hơn so với EPROM

- Flash Memory

- Trung gian giữa EPROM và EEPROM
- Sử dụng công nghệ xóa điện, không cho phép xóa cấp độ byte
- Tốc độ xóa nhanh hơn
- Mỗi cell chỉ sử dụng 1 transistor, mật độ cell lớn hơn các bộ nhớ trên

# Các loại bộ nhớ bán dẫn

Memory Type	Category	Erasure	Write Mechanism	Volatility
Random-access memory (RAM)	Read-write memory	Electrically, byte-level	Electrically	Volatile
Read-only memory (ROM)	Read-only memory	Not possible	Masks	Nonvolatile
Programmable ROM (PROM)			Electrically	
Erasable PROM (EPROM)		UV light, chip-level		
Electrically Erasable PROM (EEPROM)	Read-mostly memory	Electrically, byte-level		
Flash memory		Electrically, block-level		

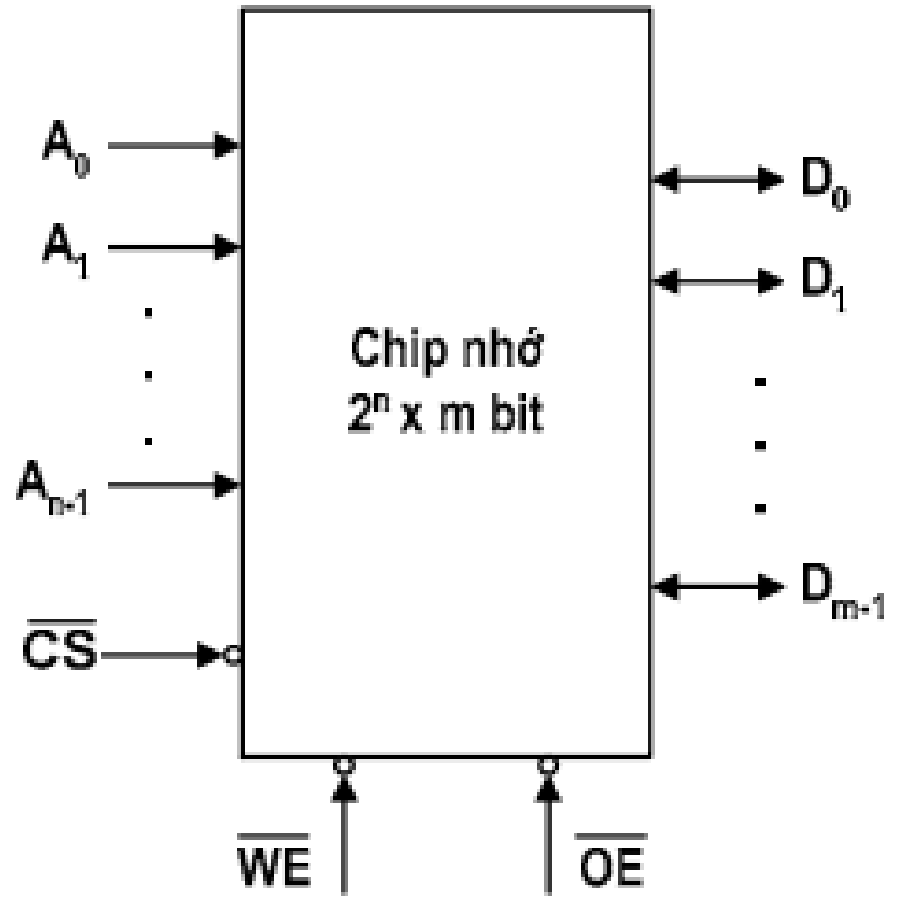
Table 5.1 Semiconductor Memory Types

## e. Tổ chức chip bộ nhớ

- Cùng với công nghệ mạch tích hợp, bộ nhớ bán dẫn cũng được sản xuất dưới dạng chip đóng gói. Trong đó, các ô nhớ được tổ chức dưới dạng ma trận nhớ.
- Một số vấn đề khi thiết kế Chip bộ nhớ:
  - Cân đối giá thành, tốc độ, dung lượng
  - Số lượng bit được đọc, ghi cùng một lúc

# + Tổ chức bộ nhớ một chiều

- Các đường địa chỉ:  $A_{n-1} \div A_0$   
→ có  $2^n$  từ nhớ
- Các đường dữ liệu:  $D_{m-1} \div D_0$   
→ độ dài từ nhớ =  $m$  bit
- Dung lượng chip nhớ =  $2^n \times m$  bit
- Các đường điều khiển:
  - Tín hiệu chọn chip CS (Chip Select)
  - Tín hiệu điều khiển đọc OE (Output Enable)
  - Tín hiệu điều khiển ghi WE (Write Enable)
  - Các tín hiệu điều khiển thường tích cực với mức 0)



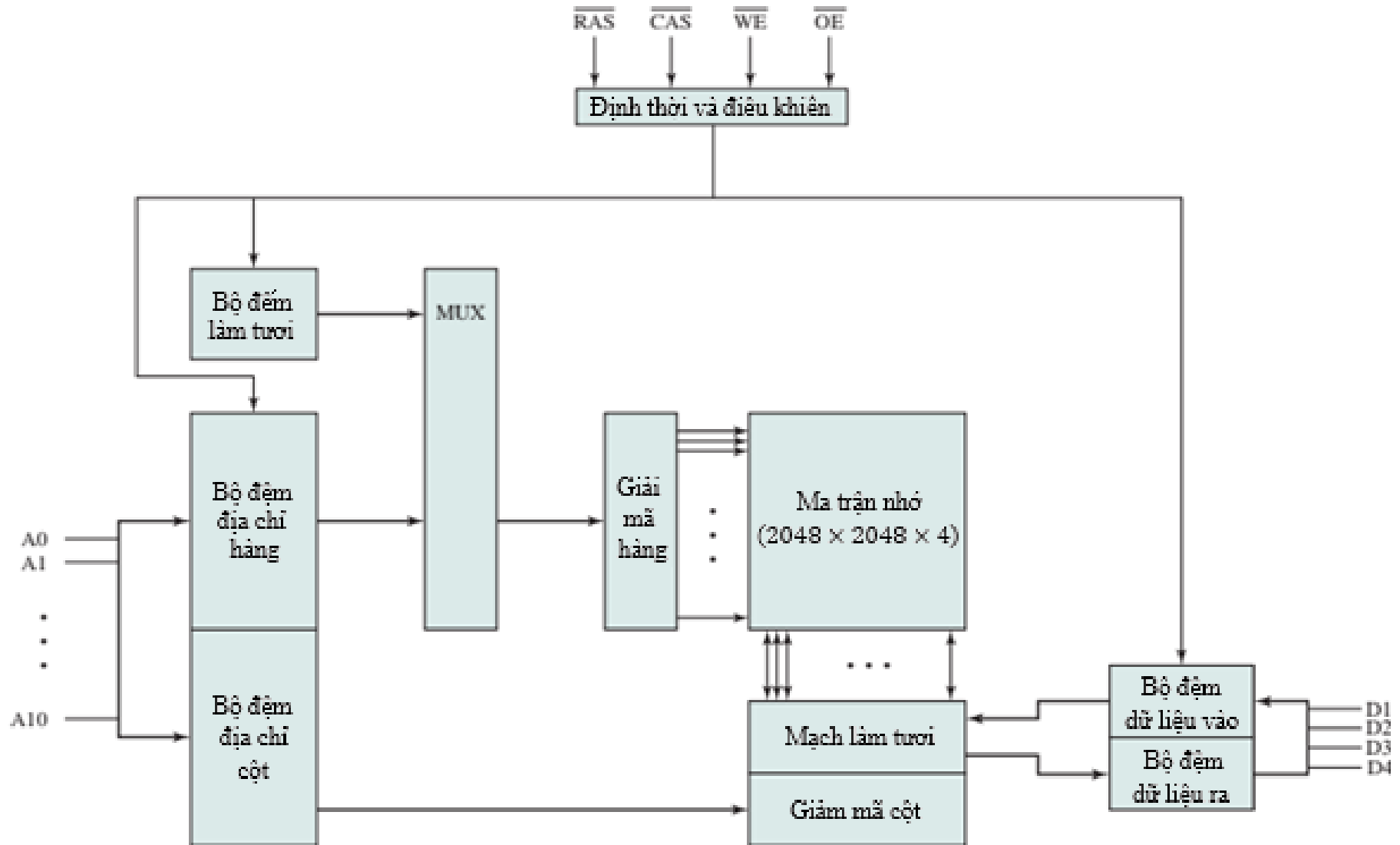


## Ví dụ tổ chức BN RAM: DRAM 16Mb



- VD: Tổ chức bộ nhớ DRAM 16Mb (mô hình tương tự với ROM và các bộ nhớ trong khác)
  - Tổ chức thành 4 ma trận nhớ  $2048 \times 2048$
  - 11 đường địa chỉ cho hàng
  - 11 đường đc cho cột, mỗi cột 4 bit
  - Sử dụng ghép kênh để giảm số chân địa chỉ của DRAM → thêm 1 chân thì dung lượng DRAM tăng 4 lần
  - Mạch làm tươi: sử dụng bộ đệm, đọc dữ liệu ra sau đó ghi vào chính vị trí đó

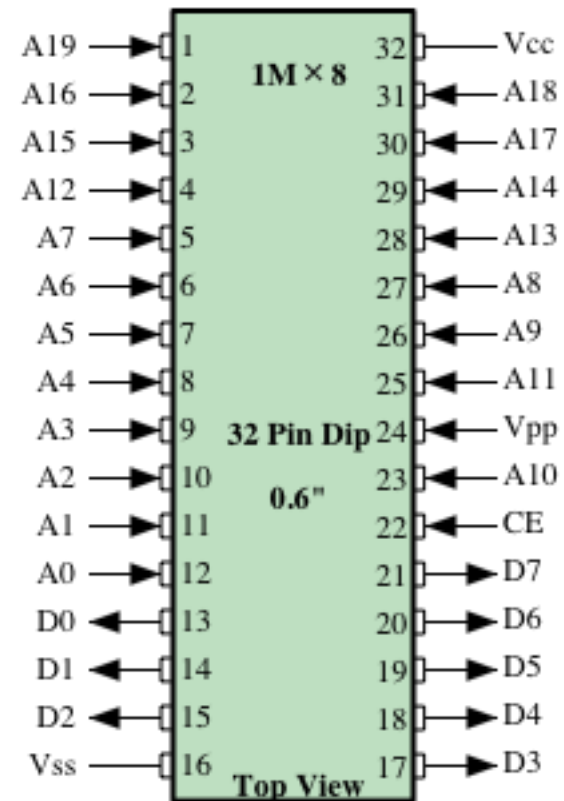
# Bộ nhớ 16 Mb DRAM (4M x 4) cơ bản





## f. Đóng gói chip

- Công nghệ mạch tích hợp: đóng gói chip thành các IC và có các chân để giao tiếp dữ liệu với bên ngoài
- Chip EPROM 8-Mbit: tổ chức thành 1M x 8, 32 chân:
  - 20 chân địa chỉ (A0 – A19)
  - 8 chân dữ liệu (D0 – D7)
  - chân cấp nguồn Vcc
  - chân nối đất Vss
  - Chân cho phép hoạt động: Chip enable - CE
  - Chân Vpp: cung cấp trong quá trình lập trình (hoạt động ghi)

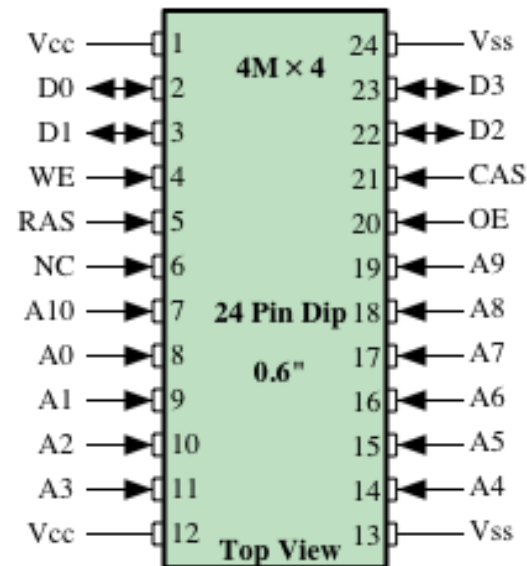


(a) 8 Mbit EPROM

# Đóng gói chip

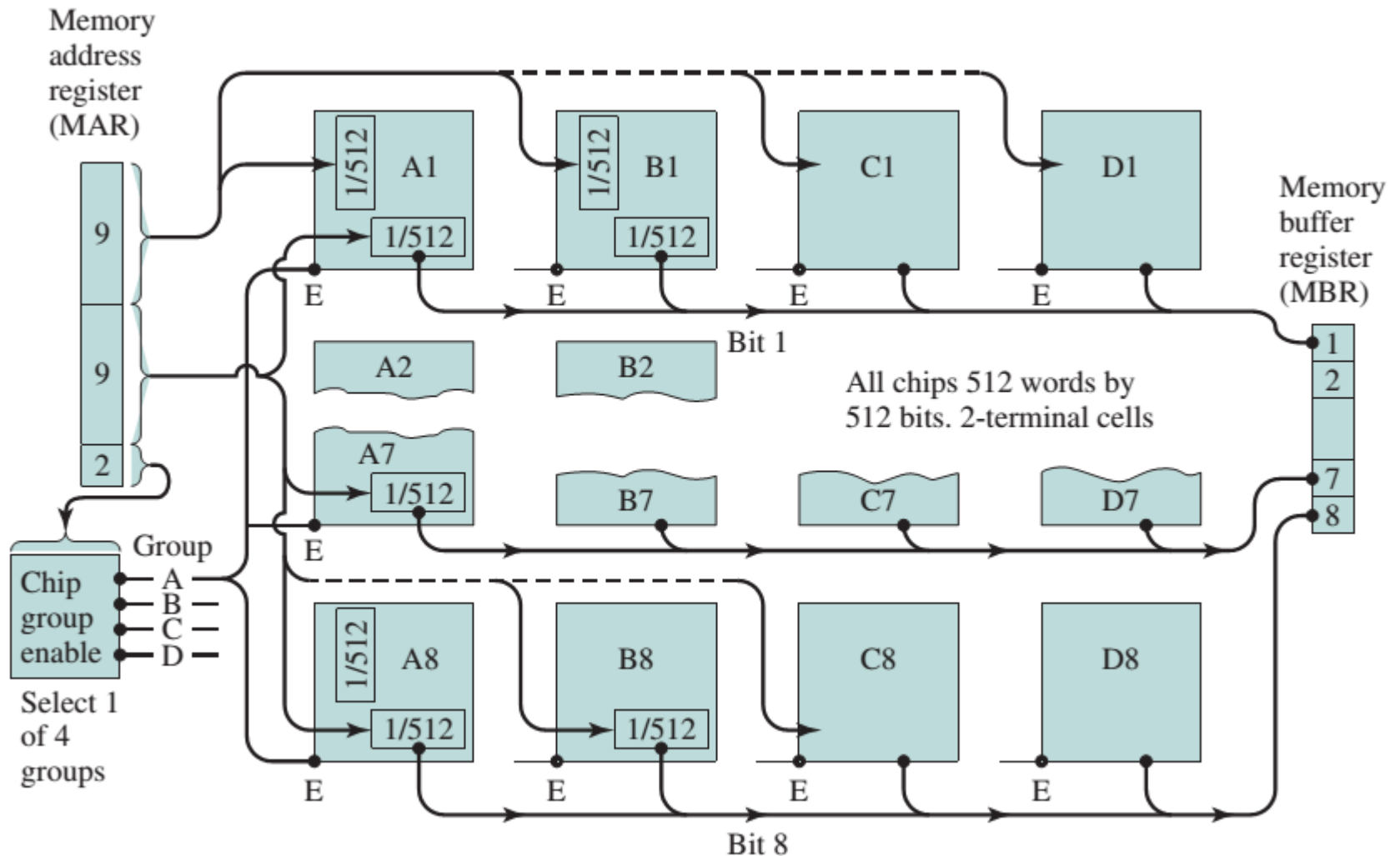
## ■ Chip DRAM

- 11 chân địa chỉ (A0 – A10), 4 chân dữ liệu (D0 – D3)
- Chân cho phép ghi WE (write enable)
- Chân cho phép đọc OE (output enable)
- Chân chọn địa chỉ hàng RAS và cột CAS
- Chân không có tín hiệu NC



(b) 16 Mbit DRAM

# Tổ chức module 1MByte



# Tổ chức bộ nhớ đan xen (interleaved memory)

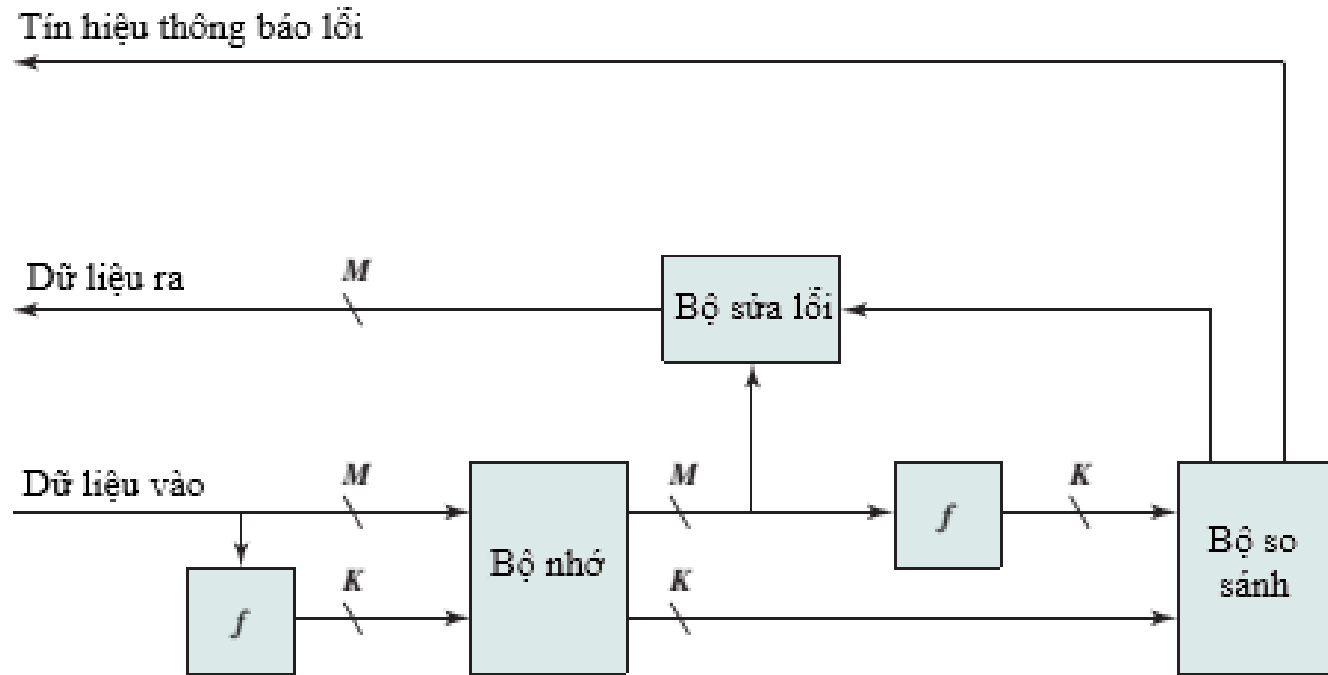
- Bao gồm một tập hợp các chip DRAM
- Nhóm lại thành một dải bộ nhớ
- Mỗi dải có thể độc lập phục vụ một yêu cầu đọc, ghi bộ nhớ
- K dải có thể phục vụ K yêu cầu đồng thời, tốc độ đọc, ghi bộ nhớ tăng theo tỷ lệ của K
- Nếu các từ liên tiếp của bộ nhớ được lưu trữ ở các dải khác nhau, việc truyền một khối của bộ nhớ sẽ được đẩy nhanh.

## 5.2. Cơ chế sửa lỗi - Error Correction

- Việc lưu trữ và truyền dữ liệu trong hệ thống máy tính có thể xuất hiện các lỗi
- Lỗi cứng
  - Lỗi vật lý vĩnh viễn
  - Một hoặc nhiều ô nhớ không thể lưu trữ dữ liệu, bị kẹt ở giá trị 0 hoặc 1 hoặc không thể chuyển giữa 0 hoặc 1 bất cứ lúc nào.
  - Nguyên nhân:
    - Do tác động của môi trường
    - Lỗi sản xuất
    - Do hao mòn dần
- Lỗi mềm
  - Sự kiện ngẫu nhiên làm thay đổi nội dung của một hay nhiều ô nhớ
  - Không phá hủy bộ nhớ vĩnh viễn
  - Nguyên nhân:
    - Có vấn đề về nguồn điện
    - Ảnh hưởng của các hạt phóng xạ
- Rõ ràng, cả lỗi cứng và lỗi mềm là không mong muốn, hầu hết bộ nhớ chính hiện đại đều có cơ chế phát hiện và sửa lỗi

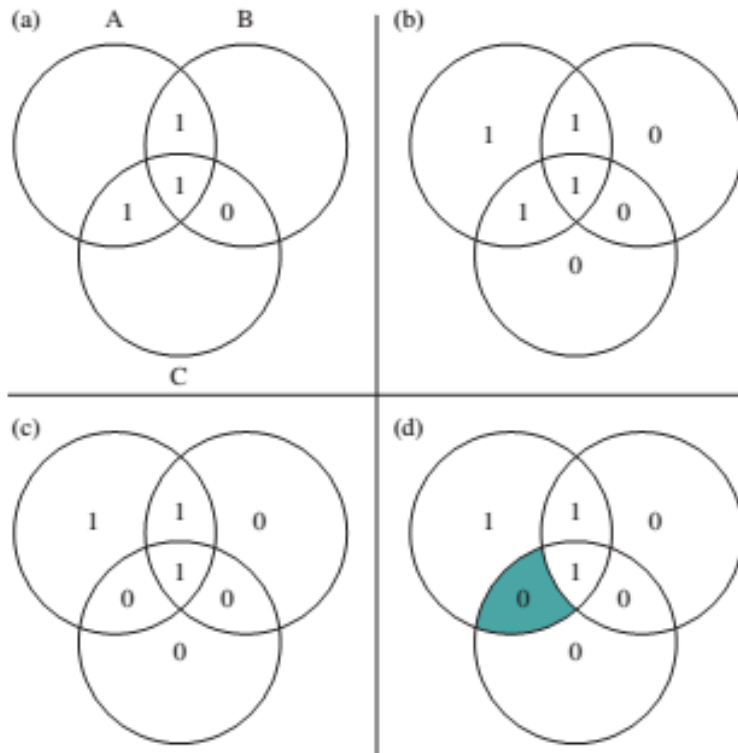
# Chức năng mã sửa lỗi – Error-Correcting Code

- Hàm  $f$  tính toán  $M$  bit dữ liệu và sinh ra một mã  $K$  bit
- $M$  bit dữ liệu và  $K$  bit mã cùng được lưu trữ



- Khi đọc bộ nhớ, sử dụng hàm  $f$  tính lại mã trên dữ liệu lấy ra, so sánh với  $K$  bit mã lưu trữ. 3 trường hợp xảy ra:
  - Không phát hiện ra lỗi. Dữ liệu được gửi đi
  - Phát hiện ra lỗi, có thể sửa lỗi. Dữ liệu và bit sửa lỗi được đưa vào bộ sửa lỗi sau đó được gửi đi
  - Một lỗi được phát hiện nhưng không thể sửa. Lỗi sẽ được báo cáo
- Mã này được gọi là mã CRC

# Mã sửa lỗi Hamming



- Mã đơn giản nhất mã: Hamming do Richard Hamming đưa ra tại Bell Laboratories.
- Ví dụ việc tính toán mã này trên các từ nhớ 4 bit ( $M = 4$ ).
  - Với ba vòng tròn giao nhau ta có bảy khoang.
  - Gán 4 bit dữ liệu cho các ngăn bên trong (hình 5.8a).
  - Các ngăn còn lại được điền vào các bit 0 hoặc 1 với nguyên tắc làm sao để tổng các bit trong một vòng tròn là số chẵn.
  - Phát hiện lỗi, tính tổng của mỗi vòng, ta thấy vòng A và C có tổng lẻ, trong 7 khoang chỉ có 1 khoang nằm trong cả 2 vòng: A, C  $\rightarrow$  phát hiện lỗi  $\rightarrow$  sửa lỗi

# Số lượng bit kiểm tra

	Mã SEC (Sửa một lỗi)		Mã SEC-DEC (Phát hiện hai lỗi-Sửa một lỗi)	
Số bit dữ liệu	Số bit kiểm tra	% Tăng	Số bit kiểm tra	% Tăng
8	4	50	5	62.5
16	5	31.25	6	37.5
32	6	18.75	7	21.875
64	7	10.94	8	12.5
128	8	6.25	9	7.03
256	9	3.52	10	3.91

Với 8 bit dữ liệu cần ít nhất 4 bit check, sinh ra 4 bit syndrome (đầu ra của bộ compare) có đặc điểm như sau:

- Nếu syndrome toàn 0, không có lỗi.
- Nếu syndrome có 1 bit 1, lỗi nằm ở 4 bit check, ko cần sửa
- Nếu syndrome chứa hơn 1 bit 1, giá trị của syndrome chỉ ra vị trí của bit lỗi, sửa lỗi



# Bố cục các bit dữ liệu và các bit kiểm tra

Bit Position	12	11	10	9	8	7	6	5	4	3	2	1
Position Number	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Data Bit	D8	D7	D6	D5		D4	D3	D2		D1		
Check Bit					C8				C4		C2	C1

$$C1 = D1 \oplus D2 \oplus D4 \oplus D5 \oplus D7$$

$$C2 = D1 \oplus D3 \oplus D4 \oplus D6 \oplus D7$$

$$C4 = D2 \oplus D3 \oplus D4 \oplus D8$$

$$C8 = D5 \oplus D6 \oplus D7 \oplus D8$$

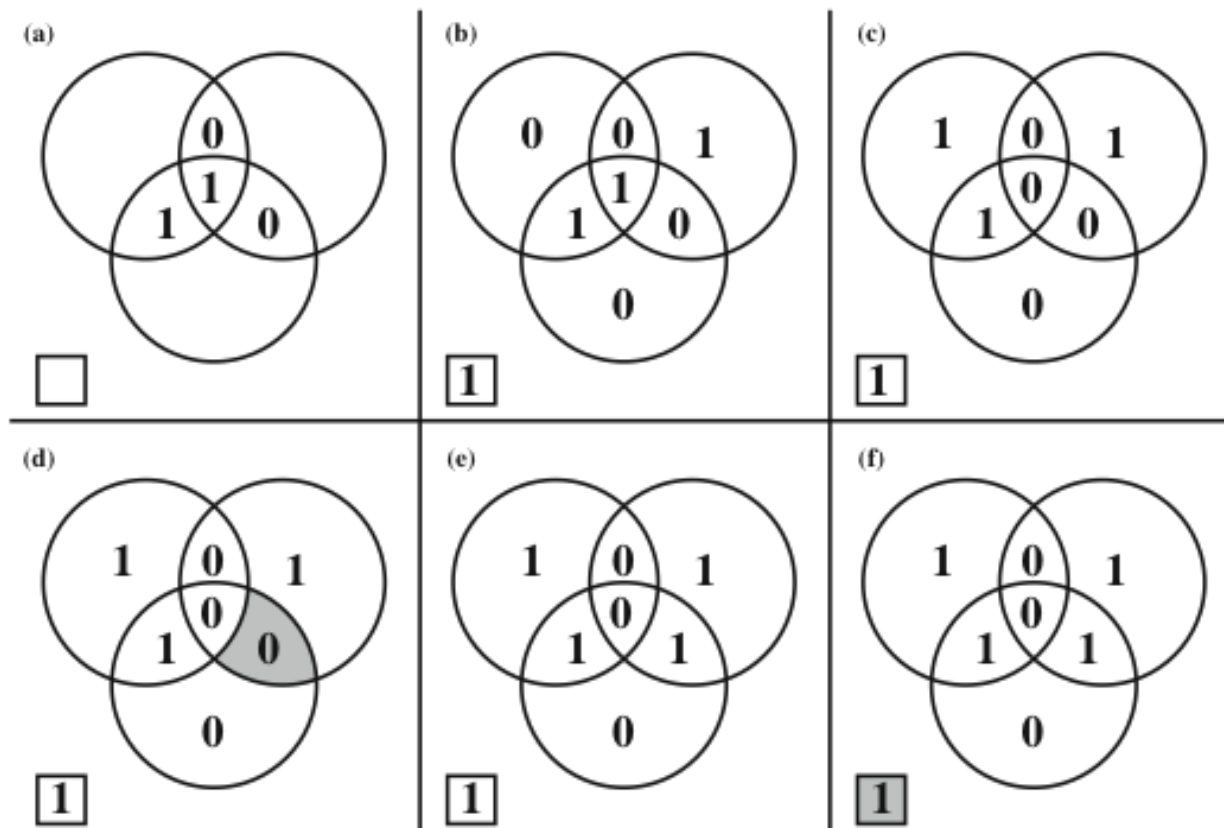
# Tính toán bit kiểm tra

<b>Bit position</b>	12	11	10	9	8	7	6	5	4	3	2	1
<b>Position number</b>	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
<b>Data bit</b>	D8	D7	D6	D5		D4	D3	D2		D1		
<b>Check bit</b>					C8				C4		C2	C1
<b>Word stored as</b>	0	0	1	1	0	1	0	0	1	1	1	1
<b>Word fetched as</b>	0	0	1	1	0	1	1	0	1	1	1	1
<b>Position Number</b>	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
<b>Check Bit</b>					0				0		0	1

**Figure 5.10 Check Bit Calculation**

# Mã Hamming SEC-DED

- Mã Phát hiện 2 lỗi – sửa một lỗi (Single Error Correcting – Double Error Detecting)
- Sử dụng thêm 1 bit parity (bit chẵn lẻ)



# + Bài tập



1. Giả sử một word 8b cần được lưu trữ trong bộ nhớ là: 11000010. Sử dụng mã Hamming xác định các bit kiểm tra (check bits) được lưu trữ cùng từ trên. Viết từ được lưu trữ.
2. Dữ liệu được lấy ra từ bộ nhớ: 000101001111. Xác định xem dữ liệu trên có bị lỗi hay không. Nếu có thì sửa lỗi.
3. Dữ liệu được lấy ra từ bộ nhớ: 001101001110. Xác định xem dữ liệu trên có bị lỗi hay không. Nếu có thì sửa lỗi.
4. Nếu kích thước từ là 1024b. Tính số lượng check bit nếu sử dụng:
  - a) Mã Hamming SEC
  - b) Mã Hamming SEC-DED

## 5.3. Tổ chức DRAM tiên tiến

- Vấn đề quan trọng nhất hệ thống gặp phải là tắc nghẽn (tình trạng nút cổ chai) khi bộ vi xử lý có hiệu năng cao hơn bộ nhớ chính.
  - Chip DRAM truyền thống bị hạn chế bởi kiến trúc bên trong và giao diện bên ngoài đến bộ VXL.
  - Giải pháp:
    - Sử dụng các bộ nhớ cache nhiều cấp giữa VXL và DRAM
    - Tuy nhiên, do SRAM đắt hơn DRAM rất nhiều nên nếu tăng dung lượng của SRAM thì lợi nhuận sẽ giảm.
- Cải tiến kiến trúc DRAM: SDRAM, DDR-DRAM và RDRAM.

	<b>Clock Frequency (MHz)</b>	<b>Transfer Rate (GB/s)</b>	<b>Access Time (ns)</b>	<b>Pin Count</b>
<b>SDRAM</b>	166	1.3	18	168
<b>DDR</b>	200	3.2	12.5	184
<b>RDRAM</b>	600	4.8	12	162

# a. SDRAM - DRAM đồng bộ (Synchronous DRAM)

- Một trong những loại DRAM được sử dụng nhiều nhất
- Việc trao đổi dữ liệu với bộ xử lý được đồng bộ với tín hiệu đồng hồ bên ngoài và chạy ở tốc độ tối đa của VXL/ bus bộ nhớ mà không cần thiết lập trạng thái đợi (wait state)

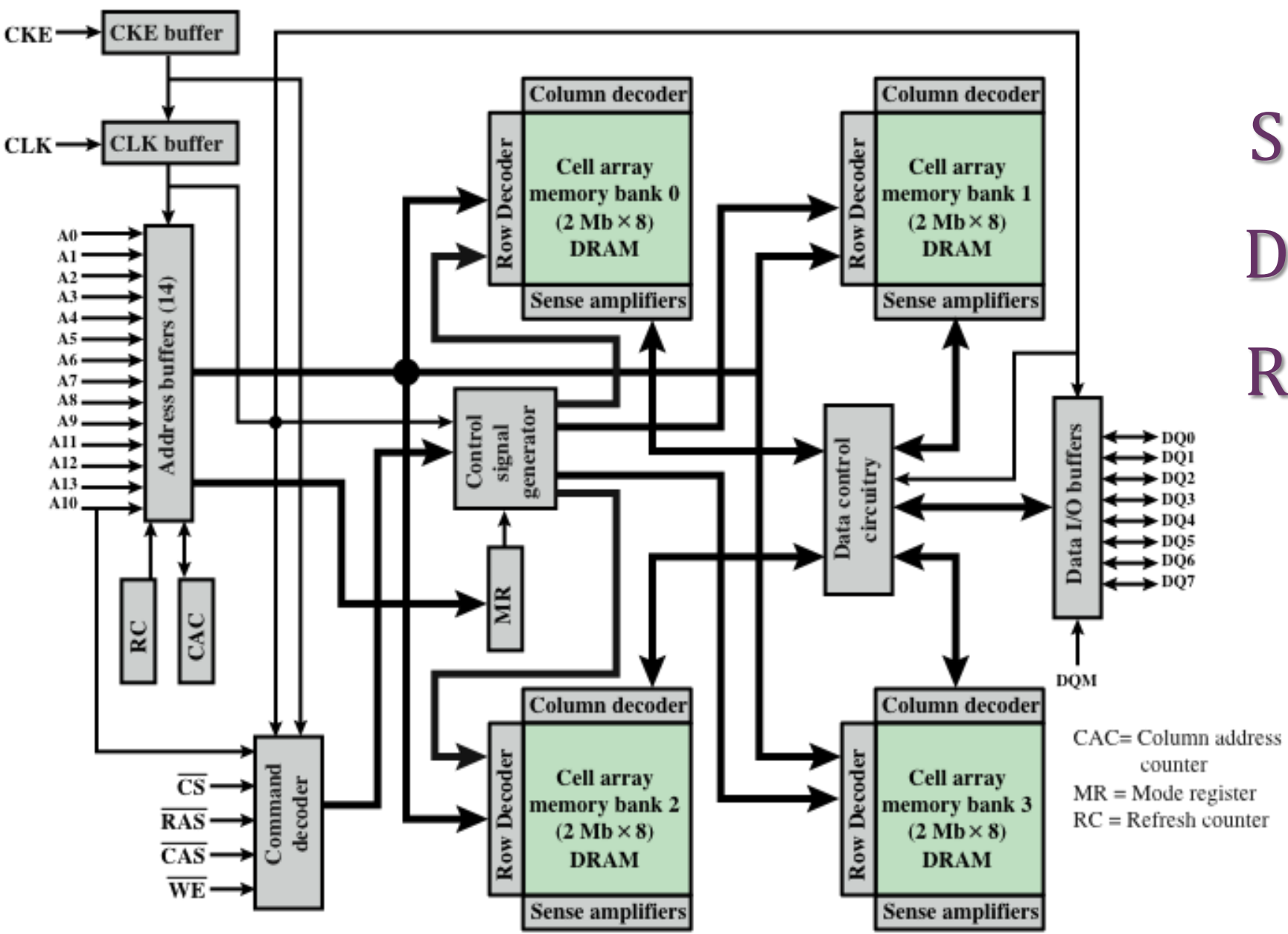
## ***DRAM truyền thống***

- Truyền không đồng bộ
- Sau khi nhận được yêu cầu truy xuất của VXL, DRAM mất một khoảng thời gian trễ để chuẩn bị công việc truyền dữ liệu đi.
- Trong lúc đó, VXL không thể làm gì khác vì phải thiết lập trạng thái đợi (wait state) để đợi bộ nhớ trả về dữ liệu.

## ***SDRAM***

- Truyền đồng bộ theo đồng hồ hệ thống
- Sau khi nhận được yêu cầu truy xuất, SDRAM sẽ trả lời sau một số chu kỳ đồng hồ trễ (theo đồng hồ hệ thống).
- VXL có thể thực hiện các tác vụ khác một cách an toàn trong khi chờ đợi SDRAM đang xử lý

# SDRAM



CAC= Column address counter  
 MR = Mode register  
 RC = Refresh counter

Figure 5.12 Synchronous Dynamic RAM (SDRAM)

# SDRAM - DRAM đồng bộ

- Chế độ truyền liên tục (burst mode) cho phép truyền liên tục một chuỗi các bit sau lần truy cập đầu tiên
- Phù hợp với việc truy xuất theo thứ tự và trong cùng một hàng với lần truy cập đầu tiên.
- SDRAM hoạt động tốt nhất khi chuyển các khối dữ liệu lớn nối tiếp nhau chẳng hạn như cho các ứng dụng như xử lý văn bản, bảng tính và đa phương tiện.

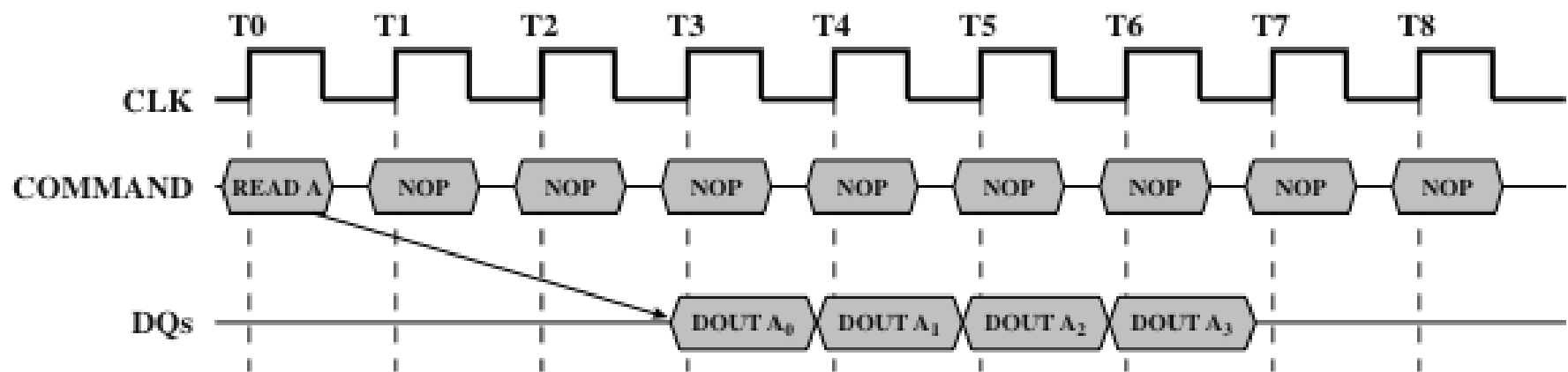


# Các chân của SDRAM



A0 to A13	Address inputs
CLK	Clock input
CKE	Clock enable
$\overline{CS}$	Chip select
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Write enable
DQ0 to DQ7	Data input/output
DQM	Data mask

# Đồ thị thời gian quá trình đọc SDRAM

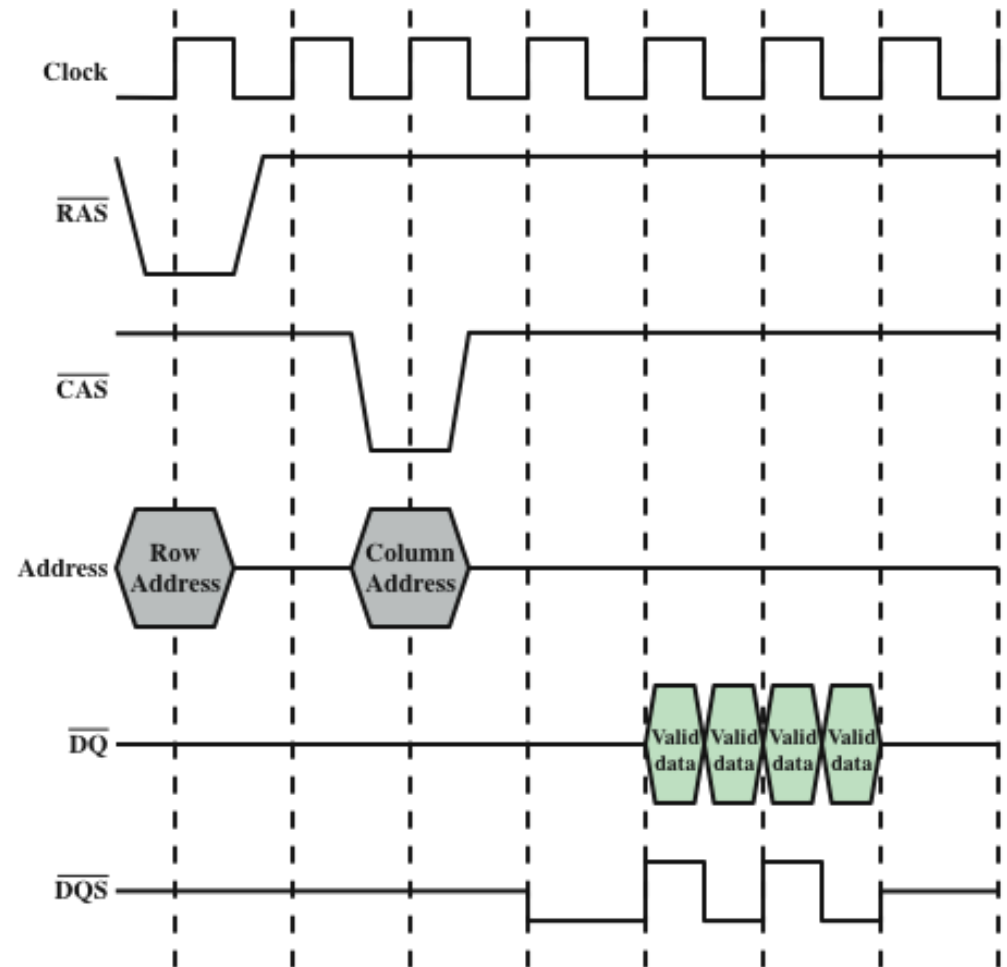


**Figure 5.13 SDRAM Read Timing (Burst Length = 4,  $\overline{\text{CAS}}$  latency = 2)**

## b. SDRAM tốc độ dữ liệu gấp đôi – Double Data Rate SDRAM (DDR SDRAM)

- SDRAM chỉ có thể gửi dữ liệu một lần trong một chu kỳ xung nhịp bus
- DDR SDRAM có thể gửi dữ liệu hai lần trong một chu kỳ xung nhịp, một ở sườn lên của xung, một ở sườn xuống
- Được phát triển bởi JEDEC Solid State Technology Association
- DDR SDRAM được sử dụng nhiều trong các máy tính để bàn và server

# Định thời đọc DDR SDRAM



RAS = row address select  
CAS = column address select  
DQ = data (in or out)  
DQS = DQ select

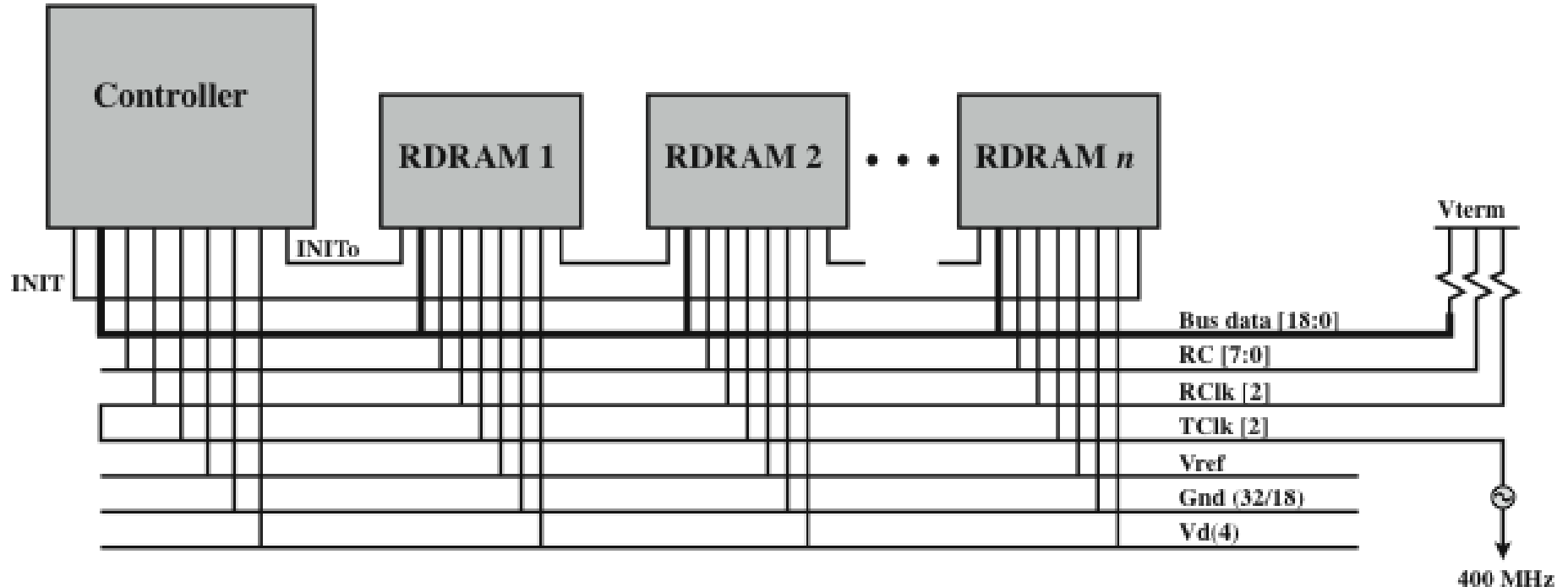
**Figure 5.15 DDR SDRAM Read Timing**

## c. RDRAM - Rambus DRAM

- Phát triển bởi Rambus
- Được Intel chấp nhận cho bộ vi xử lý Pentium và Itanium
- Trở thành đối thủ cạnh tranh chính của SDRAM
- Chip RDRAM được đóng gói theo chiều dọc với tất cả các chân ở một mặt



# Cấu trúc RDRAM



- Gồm: 1 bộ điều khiển (controller) và một số module RDRAM nối song song với nhau và nối ra bus. Bus gồm:
  - 18 đường dữ liệu (16 đường cho dữ liệu và 2 đường chặn/lẻ), truyền 2 lần một chu kỳ đồng hồ (2 sườn của xung). Tốc độ 800Mbps/mỗi đường
  - 8 đường địa chỉ và điều khiển (RC)
  - Đường tín hiệu đồng hồ phục vụ cho việc truyền đồng bộ
  - Các đường điện áp tham chiếu, nối đất, và nguồn điện

# Cơ chế truy xuất dữ liệu RDRAM

## ■ Trao đổi dữ liệu với bộ vi xử lý:

- Thông qua 28 dây trên 12 cm chiều dài
- Bus có thể cho phép đánh địa chỉ được 320 chip RDRAM và thiết lập tốc độ 1.6 GBps (sau 480ns truy cập)

## ■ Cơ chế truy xuất dữ liệu

- Không sử dụng tín hiệu điều khiển RAS, CAS, R/W và CE như DRAM thông thường.
- Việc truyền thông tin địa chỉ và điều khiển sử dụng giao thức truyền khối không đồng bộ qua bus tốc độ cao (high speed bus)
- Các thông tin trên bao gồm: địa chỉ, loại hoạt động (đọc/ghi) và số lượng byte của hoạt động

## d. Bộ nhớ đệm DRAM – Cache DRAM (CDRAM)

- Được phát triển bởi Mitsubishi
- Tích hợp một bộ nhớ đệm SRAM vào một chip DRAM chung
- SRAM trong CDRAM có thể được sử dụng theo hai cách:
  - Có thể sử dụng như một bộ nhớ cache thực sự gồm các line 64 bit. Chế độ cache của CDRAM hiệu quả với việc truy cập bộ nhớ ngẫu nhiên
  - Có thể được sử dụng như một bộ đệm để hỗ trợ truy cập liên tiếp vào một khối dữ liệu



# Tổng kết

## Chương 5

### Bộ nhớ trong

- Bộ nhớ bán dẫn
  - Tổ chức
  - DRAM và SRAM
  - Các loại ROM
  - Chip logic
  - Đóng gói chip
  - Tổ chức module
  - Interleaved memory
- Sửa lỗi
  - Lỗi cứng
  - Lỗi mềm
- Mã Hamming
- Tổ chức DRAM cải tiến
  - Synchronous DRAM
  - DDR SDRAM
  - Rambus DRAM
  - Cache DRAM

# + Câu hỏi

1. Các tính chất chính của bộ nhớ bán dẫn?
2. Về mặt ứng dụng, sự khác nhau giữa SRAM và DRAM là gì?
3. Sự khác nhau giữa SRAM và DRAM về mặt đặc tính như tốc độ, giá thành và dung lượng là gì?
4. Một số ứng dụng của bộ nhớ ROM là gì?
5. Sự khác nhau giữa EPROM, EEPROM và bộ nhớ flash là gì?
6. Giải thích chức năng các chân trong hình 5.4b
7. Trình bày cơ chế các mã Hamming SEC và mã Hamming SEC-DED
8. Bit chẵn lẻ là gì?
9. SDRAM khác gì so với DRAM truyền thống?