

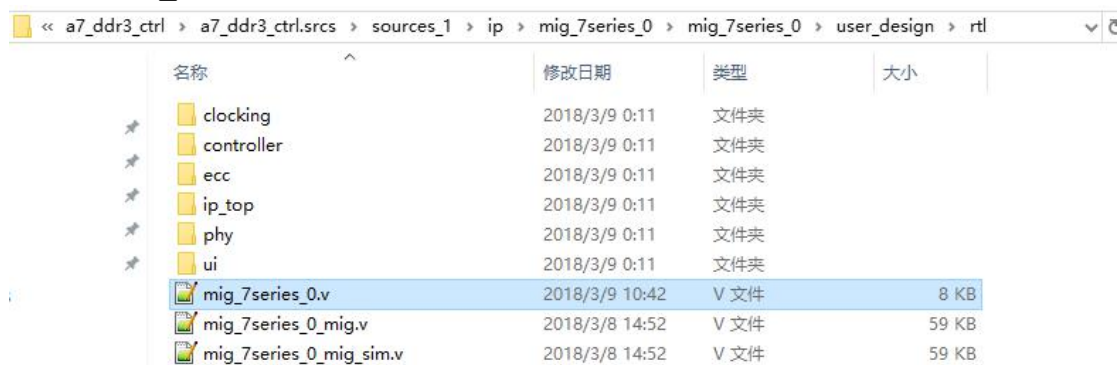
## 1. 新建一个顶层文件



## 2. 实例化 p11 ip 核

```
//-----p11 实例化-----  
clk_200M clk_200M_inst(  
    .clk_200Mhz (clk_200Mhz), // Clock out ports  
    .clk_50Mhz (clk) // Clock in ports  
);
```

## 3. 实例化 a7\_ddr3 ip 核



```
//-----ddr3 实例化-----  
mig_7series_0 mig_7series_0_inst(  
    // Memory interface ports  
    .ddr3_addr (ddr3_addr),  
    .ddr3_ba (ddr3_ba),  
    .ddr3_cas_n (ddr3_cas_n),  
    .ddr3_ck_n (ddr3_ck_n),  
    .ddr3_ck_p (ddr3_ck_p),  
    .ddr3_cke (ddr3_cke),  
    .ddr3_ras_n (ddr3_ras_n),  
    .ddr3_reset_n (ddr3_reset_n),  
    .ddr3_we_n (ddr3_we_n),  
    .ddr3_dq (ddr3_dq),  
    .ddr3_dqs_n (ddr3_dqs_n),  
    .ddr3_dqs_p (ddr3_dqs_p),  
    .init_calib_complete(init_calib_complete),  
    .ddr3_cs_n (ddr3_cs_n),  
    .ddr3_dm (ddr3_dm),  
    .ddr3_odt (ddr3_odt),
```

```
// Application interface ports
.app_addr      (app_addr),
.app_cmd       (app_cmd),
.app_en        (app_en),
.app_wdf_data   (app_wdf_data),
.app_wdf_end    (app_wdf_end),
.app_wdf_wren   (app_wdf_wren),
.app_rd_data    (app_rd_data),
.app_rd_data_end (app_rd_data_end), //当前突发的最后一个写数据，一次突
发一个该信号
.app_rd_data_valid (app_rd_data_valid),
.app_rdy        (app_rdy),
.app_wdf_rdy     (app_wdf_rdy),
.app_sr_req      (app_sr_req),
.app_ref_req     (app_ref_req),
.app_zq_req      (app_zq_req),
.app_sr_active   (app_sr_active),
.app_ref_ack     (app_ref_ack),
.app_zq_ack      (app_zq_ack),
.ui_clk          (ui_clk), //IP 核返回给用户的时钟，为 100Mhz，用于把 128
位数据读进 IP 核
.ui_clk_sync_rst (ui_clk_sync_rst),
.app_wdf_mask    (app_wdf_mask),

// System Clock Port
.sys_clk_i      (clk_200Mhz),
.sys_rst        (rst_n)
);
```

#### 4. 顶层的输入输出信号

« a7\_ddr3\_ctrl > a7\_ddr3\_ctrl.srcs > sources\_1 > ip > mig\_7series\_0 > mig\_7series\_0 > user\_design > rtl

名称	修改日期	类型	大小
clocking	2018/3/9 0:11	文件夹	
controller	2018/3/9 0:11	文件夹	
ecc	2018/3/9 0:11	文件夹	
ip_top	2018/3/9 0:11	文件夹	
phy	2018/3/9 0:11	文件夹	
ui	2018/3/9 0:11	文件夹	
mig_7series_0.v	2018/3/9 10:42	V 文件	8 KB
mig_7series_0_mig.v	2018/3/8 14:52	V 文件	59 KB
mig_7series_0_mig_sim.v	2018/3/8 14:52	V 文件	59 KB

```
module a7_ddr3_ctrl_top(
    // Inputs
    input wire clk,
    input wire rst_n,
```

更多资料与技术交流欢迎加入 QQ 群:450843130

```
// Inouts
inout [15:0]    ddr3_dq,
inout [1:0]    ddr3_dqs_n,
inout [1:0]    ddr3_dqs_p,

// Outputs
output [13:0]   ddr3_addr,
output [2:0]    ddr3_ba,
output         ddr3_ras_n,
output         ddr3_reset_n,
output         ddr3_cas_n,
output         ddr3_we_n,
output [0:0]    ddr3_ck_p,
output [0:0]    ddr3_ck_n,
output [0:0]    ddr3_cke,
output [0:0]    ddr3_cs_n,
output [1:0]    ddr3_dm,
output [0:0]    ddr3_odt
);
```

## 5. 在顶层文件中定义变量

« a7_ddr3_ctrl > a7_ddr3_ctrl.srcs > sources_1 > ip > mig_7series_0 > mig_7series_0 > user_design > rtl				
名称	修改日期	类型	大小	
clocking	2018/3/9 0:11	文件夹		
controller	2018/3/9 0:11	文件夹		
ecc	2018/3/9 0:11	文件夹		
ip_top	2018/3/9 0:11	文件夹		
phy	2018/3/9 0:11	文件夹		
ui	2018/3/9 0:11	文件夹		
mig_7series_0.v	2018/3/9 10:42	V 文件	8 KB	
mig_7series_0_mig.v	2018/3/8 14:52	V 文件	59 KB	
mig_7series_0_mig_sim.v	2018/3/8 14:52	V 文件	59 KB	

```
// user interface signals
input  [27:0]    app_addr,
input  [2:0]     app_cmd,
input          app_en,
input  [127:0]  app_wdf_data,
input          app_wdf_end,
input  [15:0]   app_wdf_mask,
input          app_wdf_wren,
output [127:0]  app_rd_data,
output         app_rd_data_end,
output         app_rd_data_valid,
output         app_rdy,
output         app_wdf_rdy,
input         app_sr_req,
```

更多资料与技术交流欢迎加入 QQ 群:450843130

```
input          app_ref_req,
input          app_zq_req,
output         app_sr_active,
output         app_ref_ack,
output         app_zq_ack,
output         ui_clk,
output         ui_clk_sync_rst,
output         init_calib_complete,
Output [11:0]  device_temp,
`ifdef SKIP_CALIB
output         calib_tap_req,
input          calib_tap_load,
input  [6:0]   calib_tap_addr,
input  [7:0]   calib_tap_val,
input          calib_tap_load_done,
`endif
```

```
input          sys_rst
```

复制修改上面的文件得到

```
wire  [27:0]  app_addr;
wire  [2:0]   app_cmd;
wire          app_en;
wire  [127:0] app_wdf_data;
wire          app_wdf_end;
wire  [15:0]  app_wdf_mask;
wire          app_wdf_wren;
wire  [127:0] app_rd_data;
wire          app_rd_data_end;
wire          app_rd_data_valid;
wire          app_rdy;
wire          app_wdf_rdy;
wire          app_sr_req;
wire          app_ref_req;
wire          app_zq_req;
wire          app_sr_active;
wire          app_ref_ack;
wire          app_zq_ack;
wire          ui_clk;
wire          ui_clk_sync_rst;
wire          init_calib_complete;
```

## 6. 新建一个 tb 文件

« V3_FPGA_2018 » enhance » 20180308 » v_A7_ddr3_ctrl » a7_ddr3_ctrl » a7_ddr3_ctrl.srcs » sim_1 » new				
	名称	修改日期	类型	大小
	tb_a7_ddr3_ctrl_top.v	2018/3/9 14:36	V 文件	1 KB

#### 7. 在 tb 中实例化顶层文件并连接端口线

```
a7_ddr3_ctrl_top a7_ddr3_ctrl_top_inst (  
    // Inputs  
    .clk          (clk) ,  
    .rst_n        (rst_n) ,  
  
    // Inouts  
    .ddr3_dq       (ddr3_dq) ,  
    .ddr3_dqs_n    (ddr3_dqs_n) ,  
    .ddr3_dqs_p    (ddr3_dqs_p) ,  
  
    // Outputs  
    .ddr3_addr     (ddr3_addr) ,  
    .ddr3_ba       (ddr3_ba) ,  
    .ddr3_ras_n    (ddr3_ras_n) ,  
    .ddr3_reset_n  (ddr3_reset_n) ,  
    .ddr3_cas_n    (ddr3_cas_n) ,  
    .ddr3_we_n     (ddr3_we_n) ,  
    .ddr3_ck_p     (ddr3_ck_p) ,  
    .ddr3_ck_n     (ddr3_ck_n) ,  
    .ddr3_cke      (ddr3_cke) ,  
    .ddr3_cs_n     (ddr3_cs_n) ,  
    .ddr3_dm       (ddr3_dm) ,  
    .ddr3_odt      (ddr3_odt)  
);
```

#### 8. 在 tb 文件中实例化 ddr3 仿真模型文件并连接端口线 (参考例程设计)

« a7_ddr3_ctrl.srcs » sources_1 » ip » mig_7series_0 » mig_7series_0 » example_design » sim				
	名称	修改日期	类型	大小
	ddr3_model.sv	2018/3/8 14:52	SV 文件	164 KB
	ddr3_model_parameters.vh	2018/3/8 14:52	VH 文件	270 KB
	ies_run.sh	2018/3/8 14:52	SH 文件	6 KB
	readme.txt	2018/3/8 14:52	文本文档	10 KB
	sim.do	2018/3/8 14:52	DO 文件	7 KB
	sim_tb_top.v	2018/3/8 14:52	V 文件	25 KB
	vcs_run.sh	2018/3/8 14:52	SH 文件	5 KB
	wirefly.v	2018/3/8 14:52	V 文件	6 KB
	xsim_files.prj	2018/3/8 14:52	PRJ 文件	13 KB
	xsim_options.tcl	2018/3/8 14:52	TCL 文件	4 KB
	xsim_run.bat	2018/3/8 14:52	Windows 批处理...	4 KB

```
ddr3_model u_comp_ddr3(  
    .rst_n      (ddr3_reset_n),  
    .ck         (ddr3_ck_p_sdram),  
    .ck_n       (ddr3_ck_n_sdram),  
    .cke        (ddr3_cke_sdram[r]),  
    .cs_n       (ddr3_cs_n_sdram[r]),  
    .ras_n      (ddr3_ras_n_sdram),  
    .cas_n      (ddr3_cas_n_sdram),  
    .we_n       (ddr3_we_n_sdram),  
    .dm_tdqqs   (ddr3_dm_sdram[(2*(i+1)-1):(2*i)]),  
    .ba         (ddr3_ba_sdram[r]),  
    .addr       (ddr3_addr_sdram[r]),  
    .dq         (ddr3_dq_sdram[16*(i+1)-1:16*(i)]),  
    .dqs        (ddr3_dqs_p_sdram[(2*(i+1)-1):(2*i)]),  
    .dqs_n      (ddr3_dqs_n_sdram[(2*(i+1)-1):(2*i)]),  
    .tdqs_n     (),  
    .odt        (ddr3_odt_sdram[r])  
);
```

复制修改上面的文件得到

//-----ddr3 仿真模型 实例化-----

```
ddr3_model ddr3_model_inst(  
    .rst_n      (ddr3_reset_n),  
    .ck         (ddr3_ck_p),  
    .ck_n       (ddr3_ck_n),  
    .cke        (ddr3_cke),  
    .cs_n       (ddr3_cs_n),  
    .ras_n      (ddr3_ras_n),  
    .cas_n      (ddr3_cas_n),  
    .we_n       (ddr3_we_n),  
    .dm_tdqqs   (ddr3_dm),  
    .ba         (ddr3_ba),  
    .addr       (ddr3_addr),  
    .dq         (ddr3_dq),  
    .dqs        (ddr3_dqs_p),  
    .dqs_n      (ddr3_dqs_n),  
    .tdqs_n     (),  
    .odt        (ddr3_odt)  
);
```

## 9. 在 tb 文件中定义变量

```
reg clk,  
reg rst_n,
```

```
// Inouts
```

更多资料与技术交流欢迎加入 QQ 群:450843130

```
wire [15:0] ddr3_dq;  
wire [1:0] ddr3_dqs_n;  
wire [1:0] ddr3_dqs_p,  
  
// Outputs  
wire [13:0] ddr3_addr;  
wire [2:0] ddr3_ba;  
wire ddr3_ras_n;  
wire ddr3_reset_n;  
wire ddr3_cas_n;  
wire ddr3_we_n;  
wire [0:0] ddr3_ck_p;  
wire [0:0] ddr3_ck_n;  
wire [0:0] ddr3_cke;  
wire [0:0] ddr3_cs_n;  
wire [1:0] ddr3_dm;  
wire [0:0] ddr3_odt;
```

#### 10. 初始化时钟和复位，并生成时钟

```
initial begin  
    clk = 1'b1;  
    rst_n <= 1'b0;  
    #200;  
    rst_n <= 1'b1;  
end  
  
always #10 clk = ~clk;
```

#### 11. 在 vivado 工程中添加 ddr3 仿真模型和 ddr3 仿真模型的初始化参数文件

20180308 > a7_ddr3_ctrl > a7_ddr3_ctrl.srcs > sources_1 > ip > mig_7series_0 > mig_7series_0 > example_design > sim				
名称	修改日期	类型	大小	
ddr3_model.sv	2018/3/9 20:27	SV 文件	164 KB	
ddr3_model_parameters.vh	2018/3/9 20:27	VH 文件	270 KB	
ies_run.sh	2018/3/9 20:27	SH 文件	6 KB	
readme.txt	2018/3/9 20:27	文本文档	10 KB	
sim.do	2018/3/9 20:27	DO 文件	7 KB	
sim_tb_top.v	2018/3/9 20:27	V 文件	25 KB	
vcs_run.sh	2018/3/9 20:27	SH 文件	5 KB	
wiredly.v	2018/3/9 20:27	V 文件	6 KB	
xsim_files.prj	2018/3/9 20:27	PRJ 文件	13 KB	
xsim_options.tcl	2018/3/9 20:27	TCL 文件	4 KB	
xsim_run.bat	2018/3/9 20:27	Windows 批处理...	4 KB	

12. 启动仿真观察 init\_calib\_complete 信号是否拉高(0.11ms 左右)，如果拉高说明初始化成功

更多资料与技术交流欢迎加入 QQ 群:450843130

更多资料与技术交流欢迎加入 QQ 群:450843130



群名称:FPGA技术学习交流

群 号:450843130

**欢迎加入 FPGA 技术学习交流群，本群致力于为广大 FPGAer 提供良好的学习交流环境，不定期提供各种本行业相关资料!**

更多资料与技术交流欢迎加入 QQ 群:450843130