

实验报告

第三次实验

评定成绩: _____ 审阅教师: _____

一、实验目的

- 1、掌握时序逻辑电路的一般设计过程
- 2、掌握时序逻辑电路的时延分析方法，了解时序电路对时钟信号相关参数的基本要求
- 3、掌握时序逻辑电路的基本调试方法
- 4、熟练使用示波器和逻辑分析仪观察波形图

二、实验原理（预习报告内容，如无，则简述相关的理论知识点。）

- 1、访问 MOOC 平台第四章，预习和本实验相关的内容
- 2、广告流水灯（第 10 周）

a) 用 D 触发器 7474 分别设计一个模 8 异步行波计数器和模 8 同步计数器，电路包含一个输出信号 F，当计数器计数值为“7”的时候， $F = 1$ ，其他计数值则 $F = 0$ 。在 Quartus 中进行时序仿真验证，并对两个仿真结果进行比较和分析

设计思路：先列出状态转换表

Q_2n	Q_1n	Q_0n	Q_2n+1	Q_1n+1	Q_0n+1	CP_2	CP_1	CP_0
0	0	0	0	0	1			↑
0	0	1	0	1	0		↑	↑
0	1	0	0	1	1			↑
0	1	1	1	0	0	↑	↑	↑
1	0	0	1	0	1			↑
1	0	1	1	1	0		↑	↑
1	1	0	1	1	1			↑
1	1	1	0	0	0	↑	↑	↑

所以需要 3 个 D 触发器

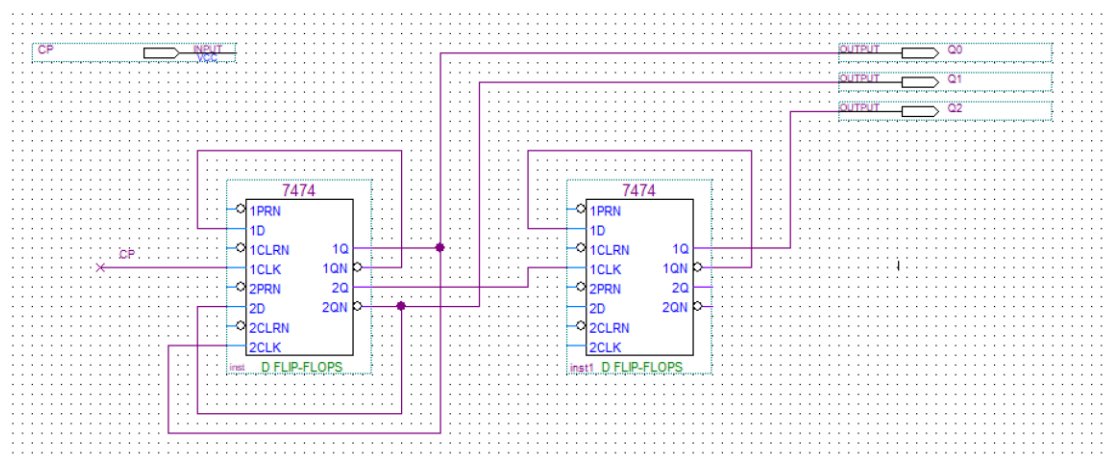
设计模 8 异步行波计数器：

$Q_{0n+1} = \text{非 } Q_{0n}(CP_0\uparrow)$

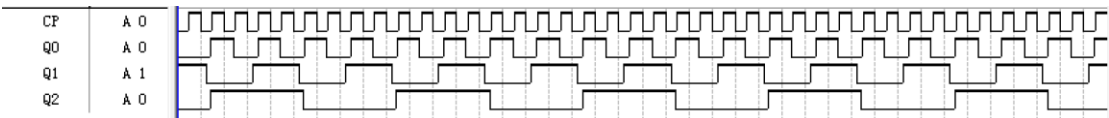
$Q_{1n+1} = \text{非 } Q_{1n}(CP_1\uparrow = Q_0\uparrow)$

$Q_{2n+1} = \text{非 } Q_{2n}(CP_2\uparrow = Q_1\uparrow)$

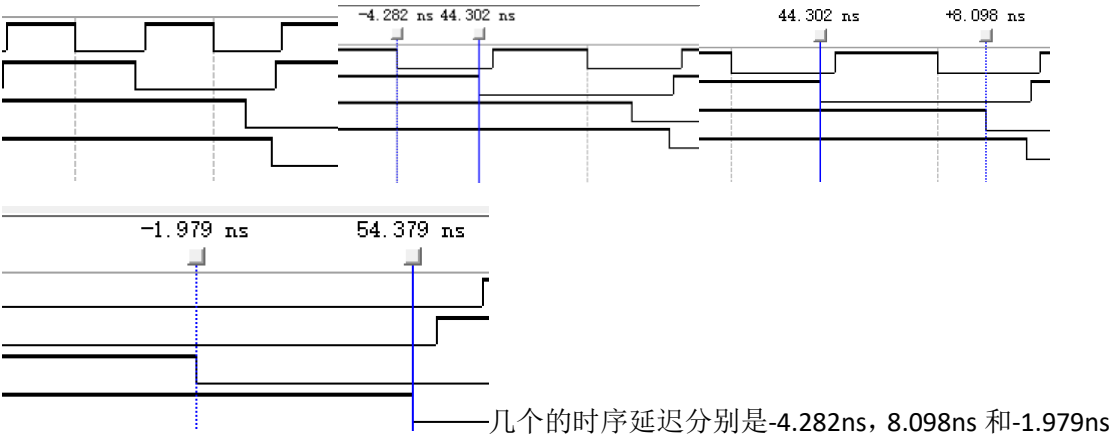
所以可以画出电路图



时序仿真如下:



时序仿真分析:



总延迟接近 15ns 可见延迟很大

设计模 8 同步行波计数器:

绘制卡诺图

$Q_2n \setminus Q_1n \ Q_0n$	00	01	11	10
0	001	010	100	011
1	101	110	000	111

对于 Q_0n+1

$Q_2n \setminus Q_1n \ Q_0n$	00	01	11	10
0	1	0	0	1
1	1	0	0	1

可见 $Q_0^{n+1} = \overline{Q_0^n}(CP \uparrow) \quad Q_0^{n+1} = Q_0^n \oplus 1(CP \uparrow)$

对于 Q_1n+1

$Q_2n \setminus Q_1n \ Q_0n$	00	01	11	10
0	0	1	0	1
1	0	1	0	1

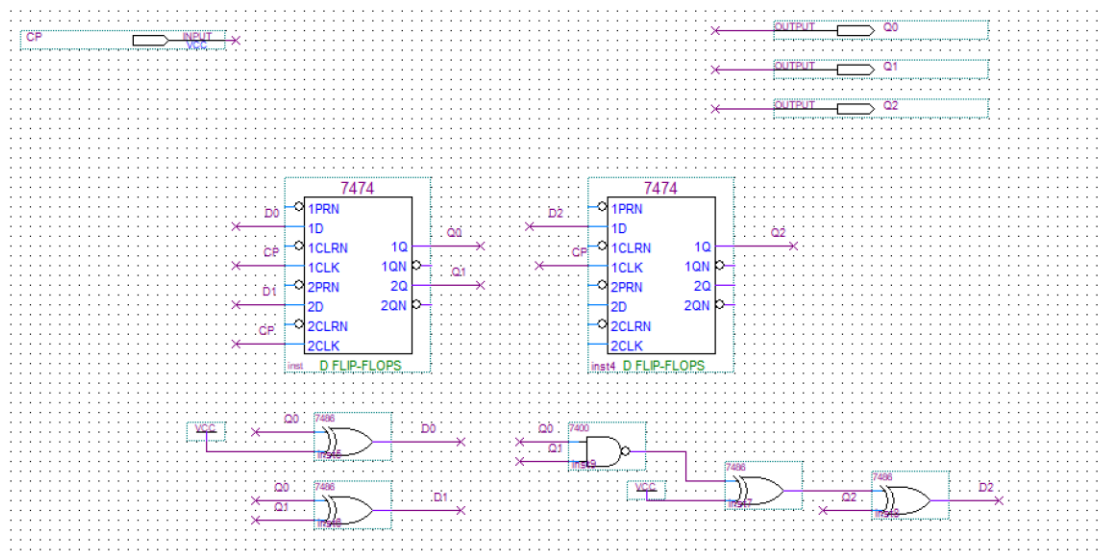
可见 $Q_1^{n+1} = Q_0^n \oplus Q_1^n(CP \uparrow)$

对于 Q_2n+1

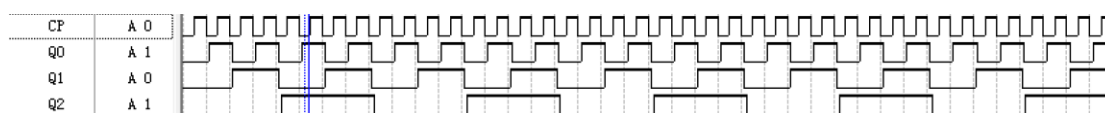
$Q_2n \setminus Q_1n \ Q_0n$	00	01	11	10
0	0	0	1	0
1	1	1	0	1

可见 $Q_2^{n+1} = \overline{Q_2^n}Q_1^nQ_0^n + Q_2^n(\overline{Q_1^n} + \overline{Q_0^n}) = Q_2^n \oplus (Q_0^nQ_1^n)(CP \uparrow)$

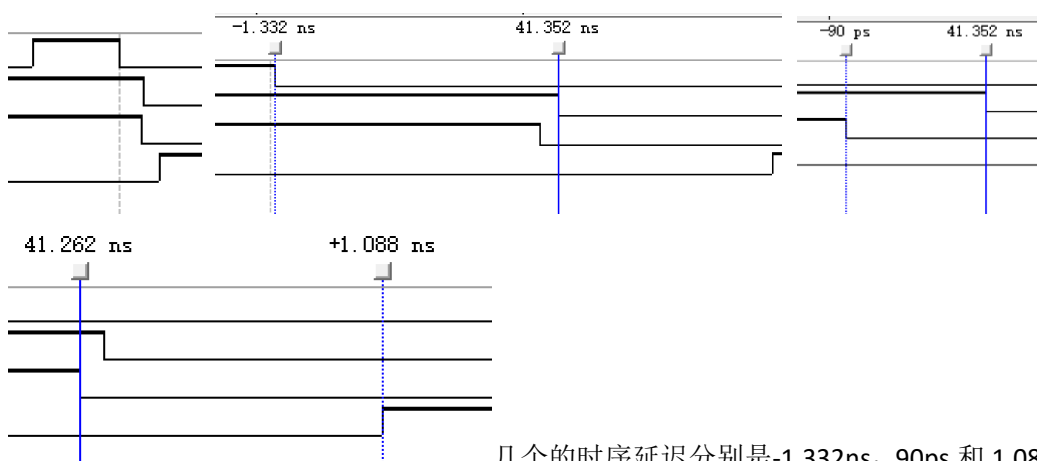
所以可以画出电路图:



时序仿真如下:



时序仿真分析:



几个的时序延迟分别是-1.332ns, 90ps 和 1.088ns 总

延迟接近 2ns 可见延迟很小

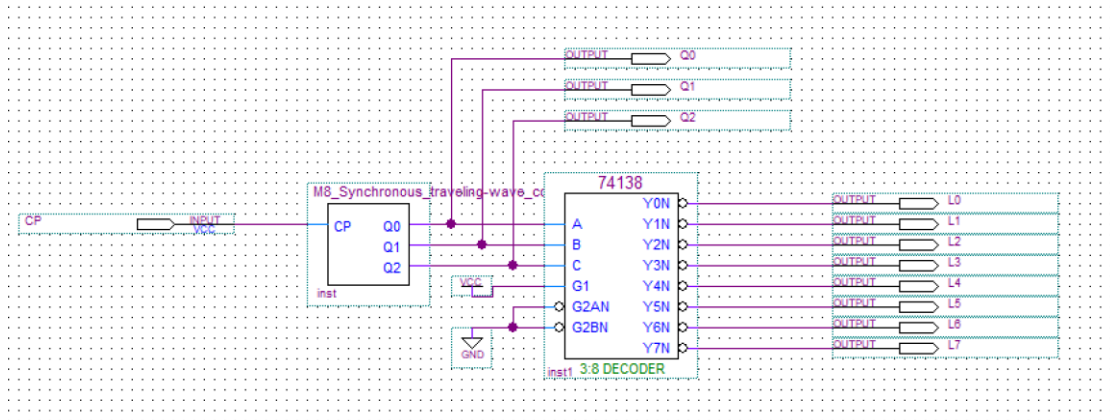
综合比较:

模 8 同步行波计数器的时延比异步计数器小很多, 会更加准确, 所以应该采用同步计数器

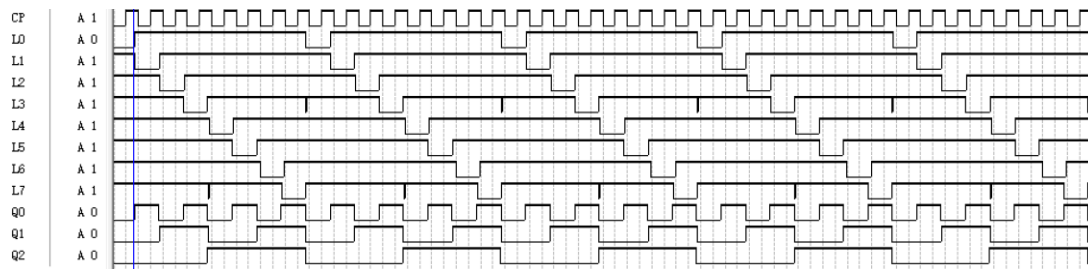
b) 完成广告流水灯的设计, 包含详细的设计过程和电路原理图

首先要利用原本的模八计数器, 在脉冲的条件下实现输出数字从 0 到 7 的变化, 从而实现流水灯的基本原理, 接着把模八计数器和 74138 结合, 根据输出的数字让 8 个端按次序置零, 从而实现广告流水灯的效果

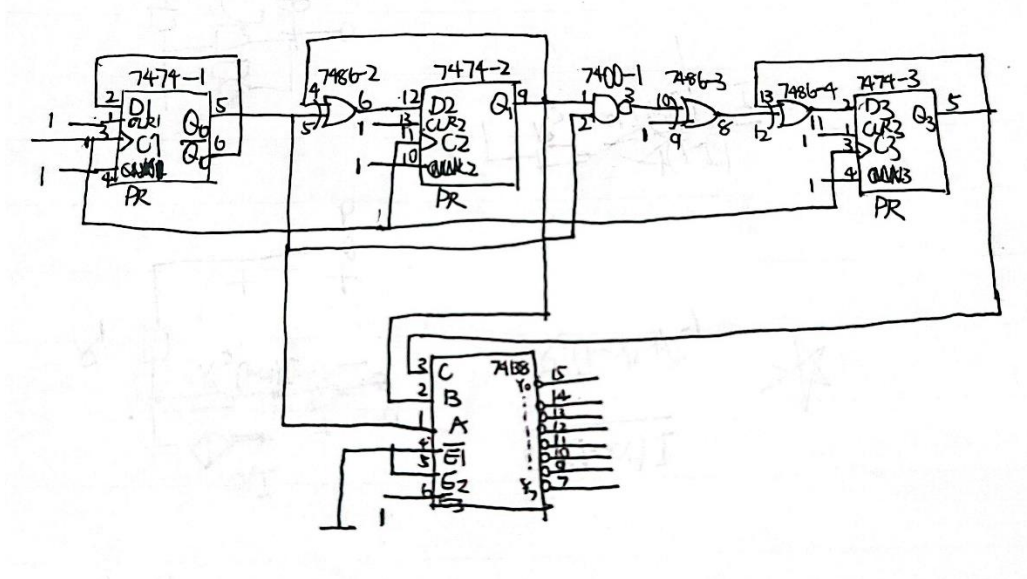
完成设计的电路图如下



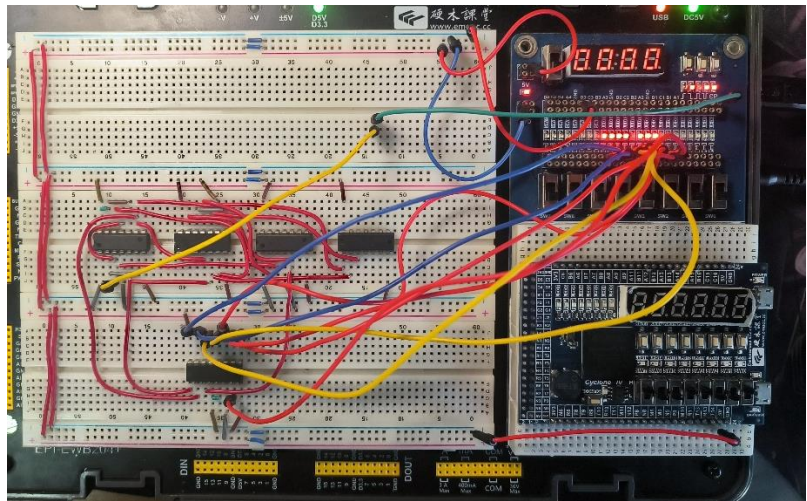
仿真结果如下：



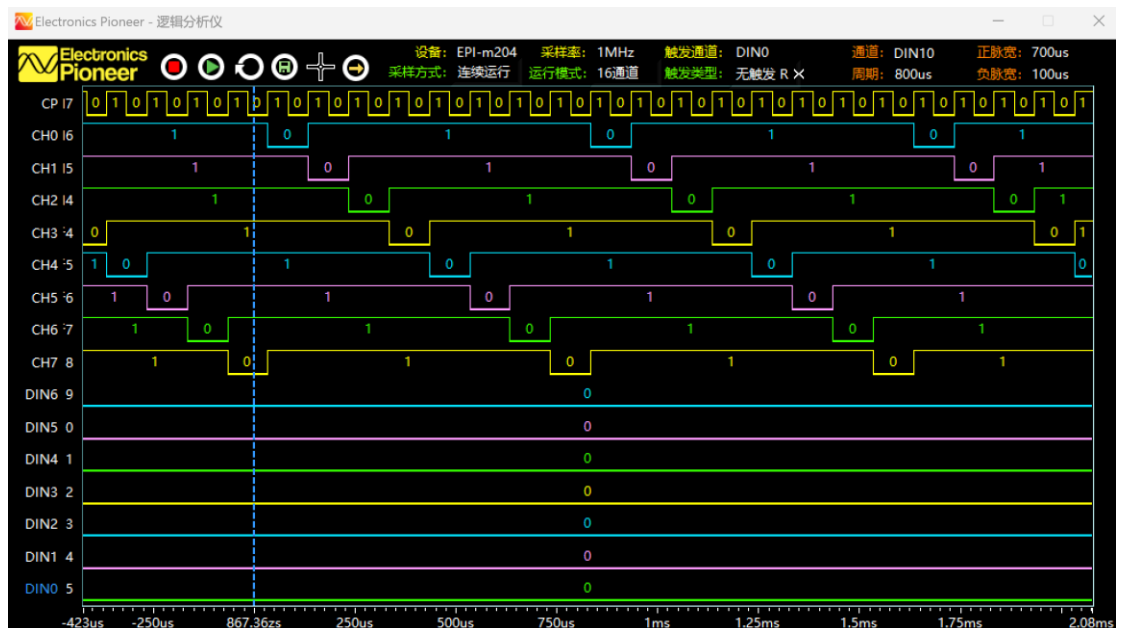
c) 完成广告流水灯的硬件电路搭建
先重新绘制电路图



完成搭建：



进行验证：



3、序列发生器（第 11 周）

a) 分别用集成计数器 74161 的同步置“0”和异步清“0”功能实现模 10 计数器，在 Quartus 中进行时序仿真验证，并分析比较两种方法的区别

用 74161 的异步置 0 实现模 10 计数器

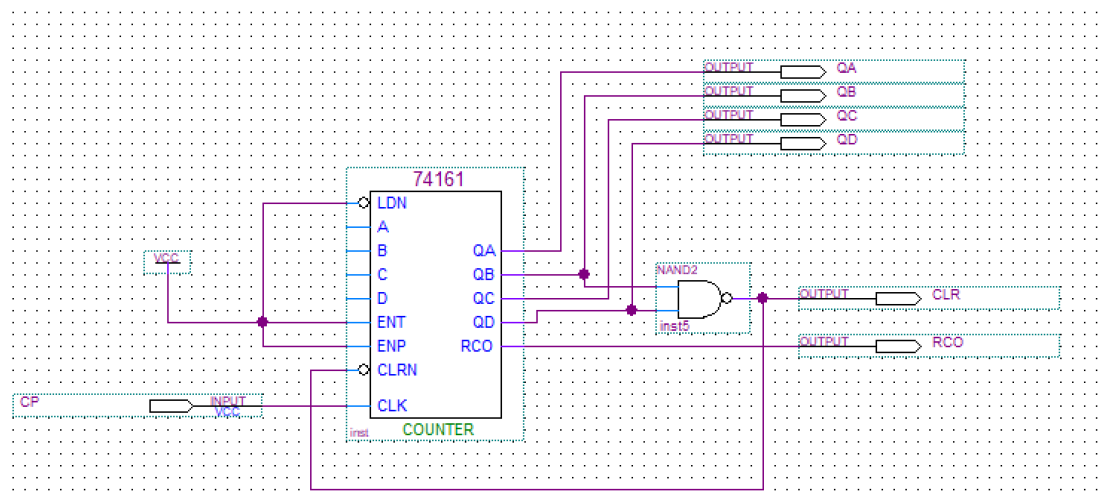
列出状态

次数	Qd	Qc	Qb	Qa	CLR
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0

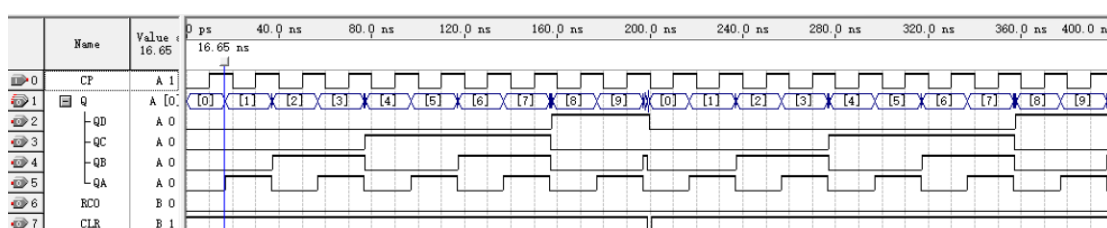
9	1	0	0	1	0
10	1	0	1	0	1

所以需要在 1010 时让 CLR=1 实现异步清零，所以可以得出 $CLR = \overline{Q_d Q_b}$

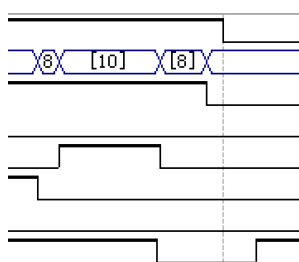
所以可以根据 74161 的特性设计出电路图（注意接入使能端等信息）：



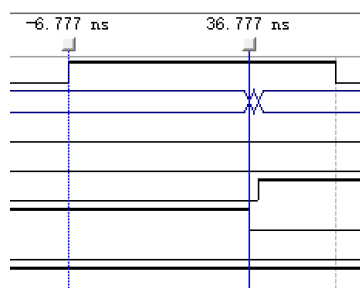
时序仿真验证如下：



可以看出实现了异步清零的功能，让 Q 在 0 到 9 间切换（其中 10 为暂态），实现了模 10 计数器，但是可以看到最后的时间延迟还是占了一部分，会影响计数器的准确性，而且其他地方也存在部分时间延迟，如图所示：



这里是实现清零的部分，可以看出清零时间会有延迟

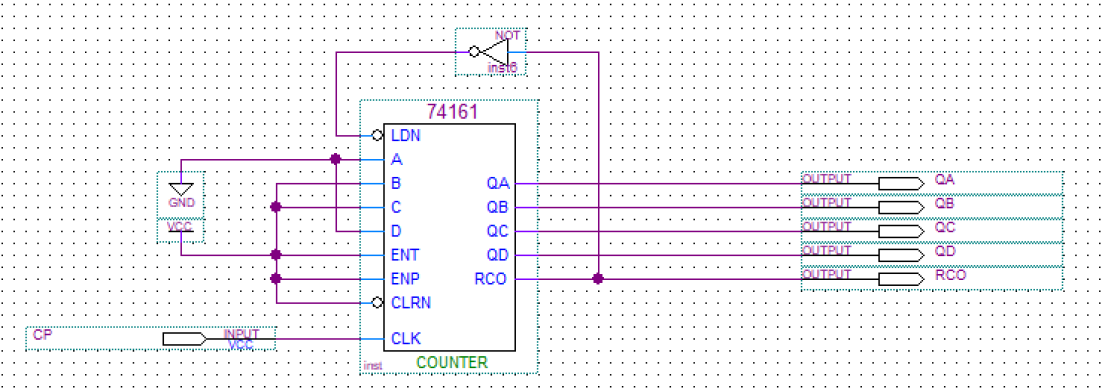


这时其他地方的时间延迟，从 cp 脉冲变化到对应的 Q 变化由 -6.777ns 的延迟，十分严重，且不同位数之间也有延迟

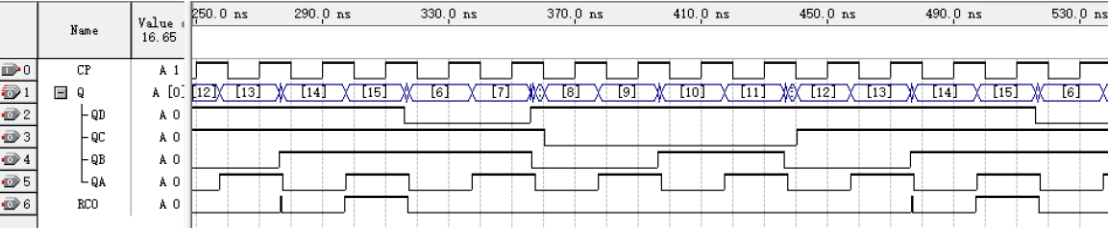
用 74161 的同步置 0 实现模 10 计数器(可以在进位的时候实现)

次数	Qd	Qc	Qb	Qa	RCO	LOAD
0	0	1	1	0	0	1
1	0	1	1	1	0	1
2	1	0	0	0	0	1
3	1	0	0	1	0	1
4	1	0	1	0	0	1
5	1	0	1	1	0	1
6	1	1	0	0	0	1
7	1	1	0	1	0	1
8	1	1	1	0	0	1
9	1	1	1	1	1(CP 上)	0

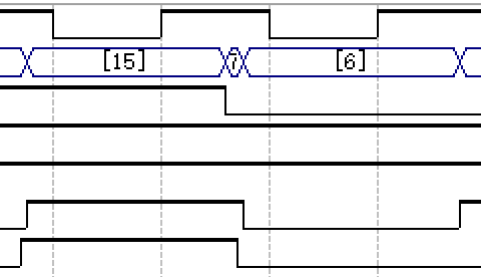
由于是异步置零，所以需要在 ABCD 口接成 0110，然后在 1111 处于上升沿的时候触发进位信号，把进位信号导入 LOAD 里面实现异步清零，导入 0110 从而实现循环
所以可以根据 74161 的特性设计出电路图（注意接入使能端等信息）：



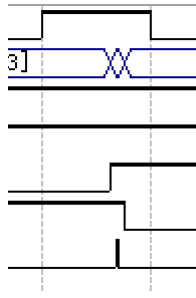
时序仿真验证如下：



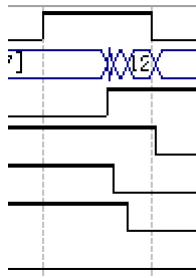
可以看出实现了同步清零的功能，让 Q 在 6 到 15 间切换，实现了模 10 计数器，但是可以看到进位时的时间延迟还是占了一部分，会影响计数器的准确性，而且其他地方也存在部分时间延迟，如图所示：



由这张图可以看出切换到 0110 存在时延



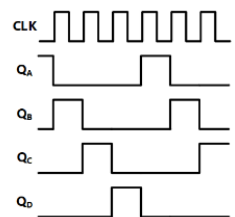
由这张图可以看出可能存在暂时的波动使得进位为 1，但是其不处于上升沿，所以不会造成影响



这时其他地方的时间延迟，和之前的时延原因相同，且不同位数之间也有延迟

b) 分别用集成计数器 74161 和 4 位双向移位寄存器 74194 实现图 3.1 所示的环形计数器，电路必须能自启动，并在 Quartus 中进行时序仿真验证

可以绘制出状态转换表为：



QAn	QBn	QCn	QDn	CLK	QAn+1	QBn+1	QCn+1	QDn+1
1	0	0	0	cp 上升	0	1	0	0
0	1	0	0	cp 上升	0	0	1	0
0	0	1	0	cp 上升	0	0	0	1
0	0	0	1	cp 上升	1	0	0	0

对于 74161 来说，要通过组合逻辑电路来实现环形计数器，且采用同步清零法

Qd	Qc	Qb	Qa	QA	QB	QC	QD
0	0	0	0	1	0	0	0
0	0	0	1	0	1	0	0
0	0	1	0	0	0	1	0
0	0	1	1	0	0	0	1

$$Q_A = Q_a \overline{Q_b}$$

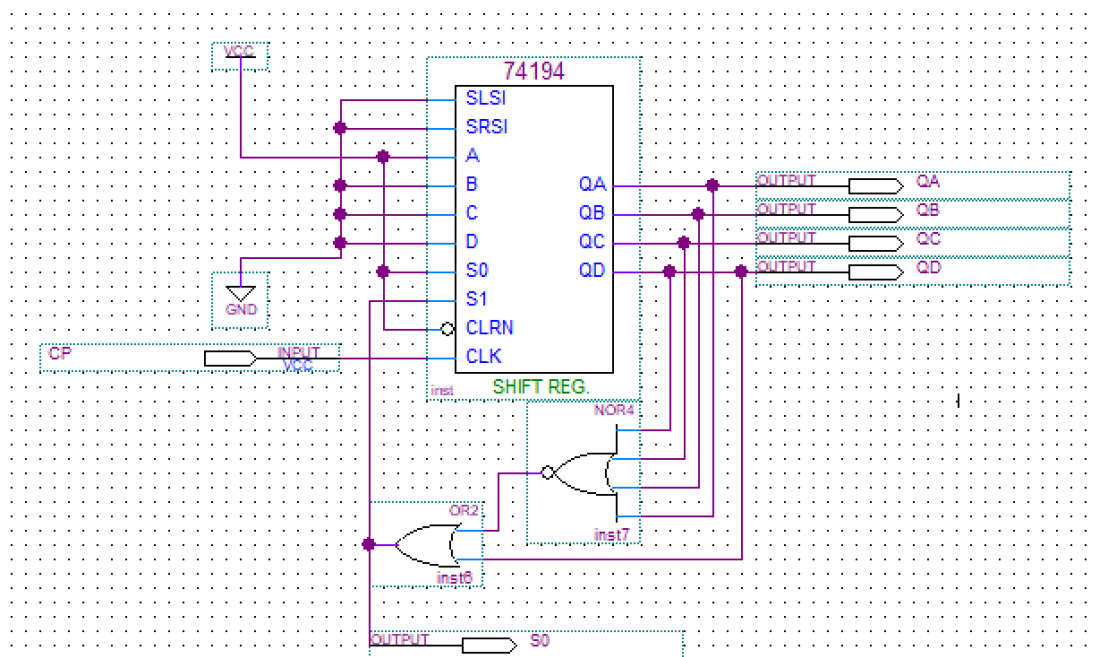
$$Q_B = Q_a Q_b$$

$$Q_D = Q_a Q_b$$

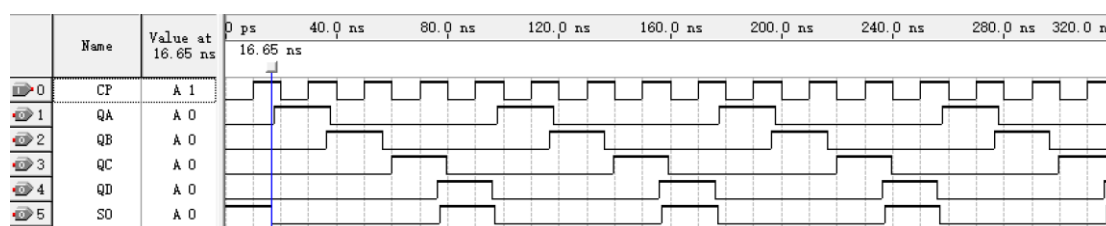
$$Q_C = \overline{Q_a} Q_b$$

$$LDN = \overline{Q_a} \overline{Q_b}$$

所以可以画出电路图如下：



时序仿真结果如下：



- c) 完成两种方法实现序列发生器的设计方案，包含详细的设计过程和电路原理图
- d) 完成两种方案序列发生器的硬件电路搭接

4、4 位并行输入-串行输出曼切斯特编码电路（第 12 周）

- a) 完成 4 位并行输入-串行输出曼切斯特编码设计方案、包含详细的设计过程和电路原理图

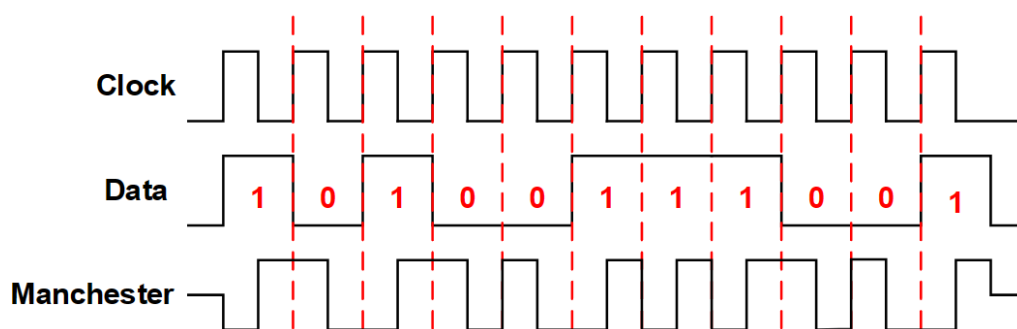


图 3.2 曼切斯特编码

由曼切斯特码的性质可以得出 $M = \overline{DCP} + \overline{CPD} = CP \oplus D$

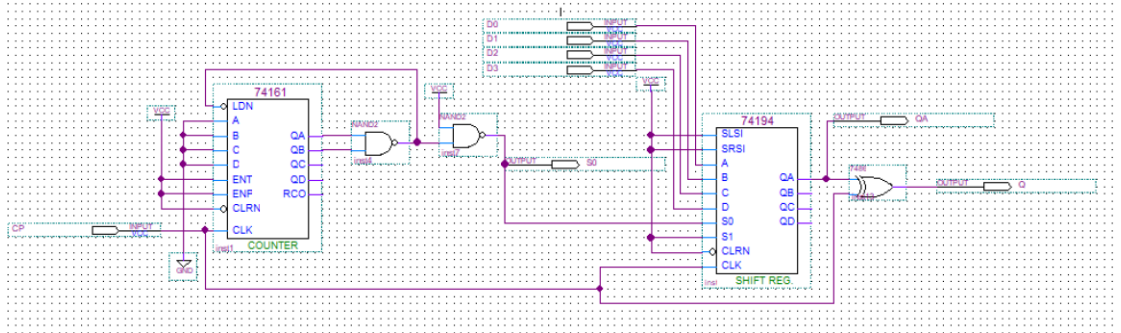
所以可以根据把 D 分为 D0, D1, D2, D3 四个，然后每 4 个周期用 74194 载入一次，并在这四个周期内逐步右移，一次输出 D，接着再利用异或实现曼切斯特码。然后可以利用 74161 来实现每四位的重置

Q3	Q2	Q1	Q0	LND	S0
0	0	0	0	1	0(左移)
0	0	0	1	1	0(左移)
0	0	1	0	1	0(左移)
0	0	1	1	0	1(置数)

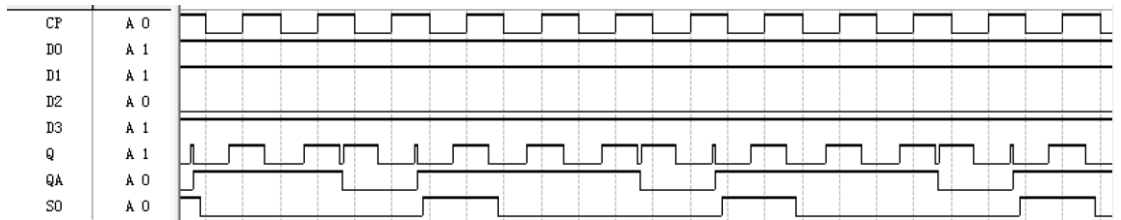
这个时候 $QA=D$

所以 $S0=Q1Q0$ $LND=\text{非}(Q1Q0)$ $M = \overline{DCP} + \overline{CPD} = CP \oplus D$

所以可以设计出电路图



仿真模拟得：



可以看出有一定延迟但是输出结果大致准确。

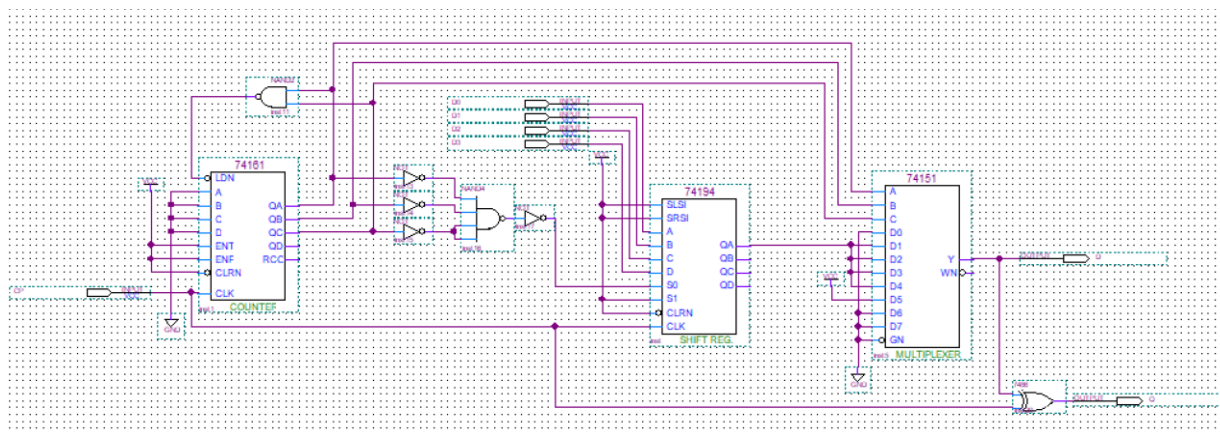
(提高)而为了给串行数据增加起始位和结束位,其中起始位为“0”,结束位为“1”,就会出现六种状态,这时候使用 74151 会比较方便

列出状态图

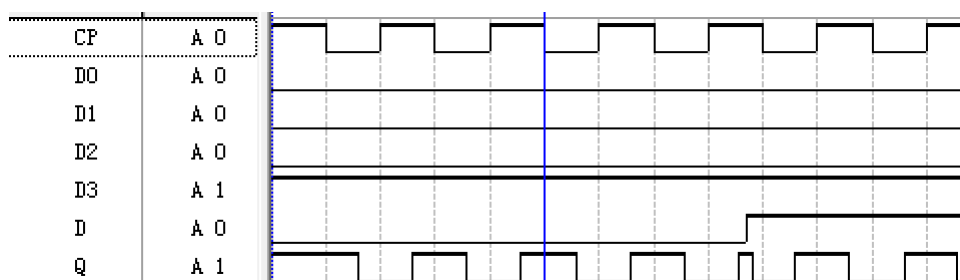
次数	QCQBQA	LDN	S0	74151 输出 (D)
0	000	1	1(置数)	0
1	001	1	0(左移)	D0
2	010	1	0(左移)	D1
3	011	1	0(左移)	D2
4	100	1	0(左移)	D3
5	101	0	0(左移)	1

所以是 $LND=\text{非}(QCQA)$ $S0 = \overline{QA} \overline{QB} \overline{QC}$

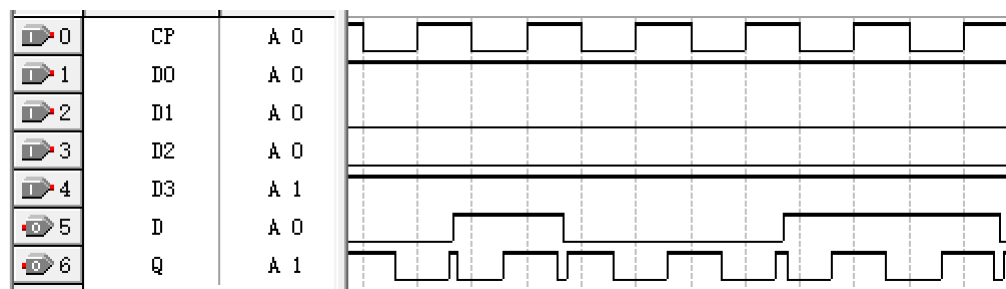
而 74151 在不同次数下的输出也如表所示, 所以可以画出电路图如下:



而仿真结果为:

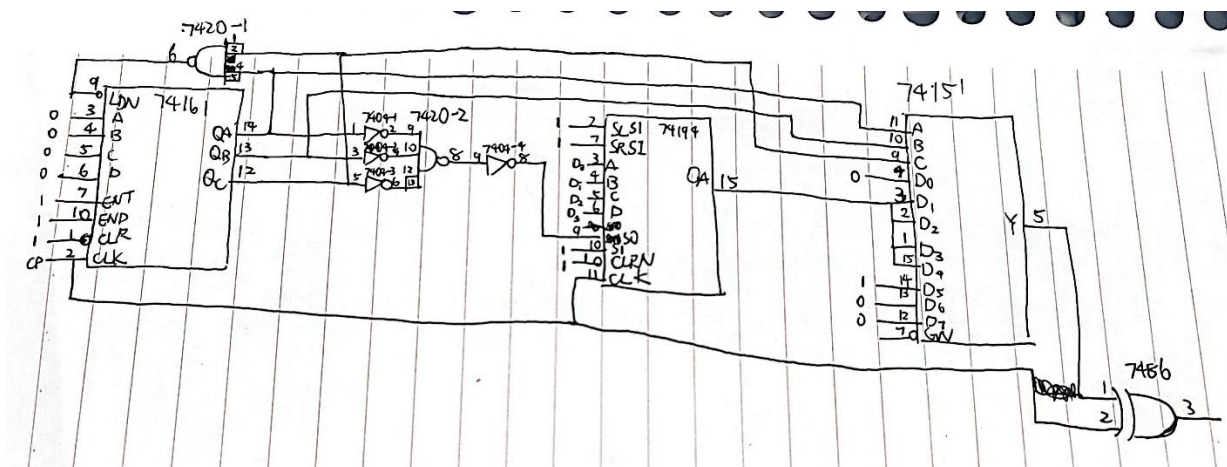


对于输入数据 0001, 显示被转化为 000011, 加上了开头和结尾, 符合预期, 同时输出的 Q 除了存在部分毛刺, 其余也基本符合要求

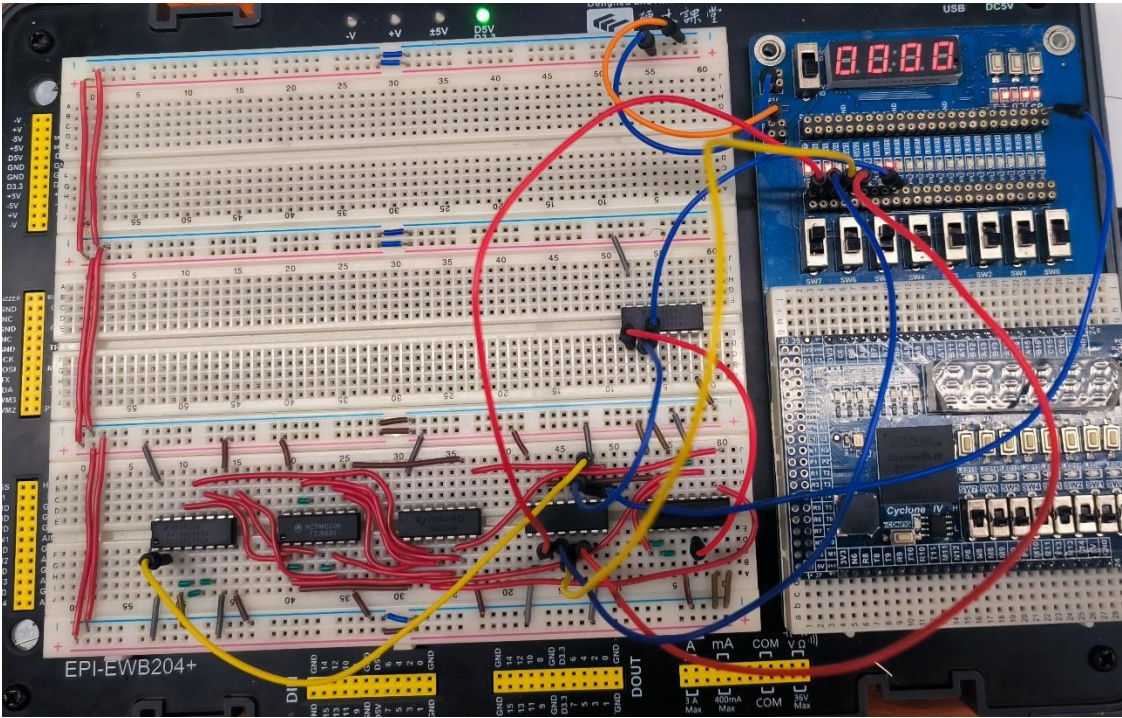


对于输入数据 1001, 显示被转化为 010011, 加上了开头和结尾, 符合预期, 同时输出的 Q 除了存在部分毛刺, 其余也基本符合要求

画出电路图:



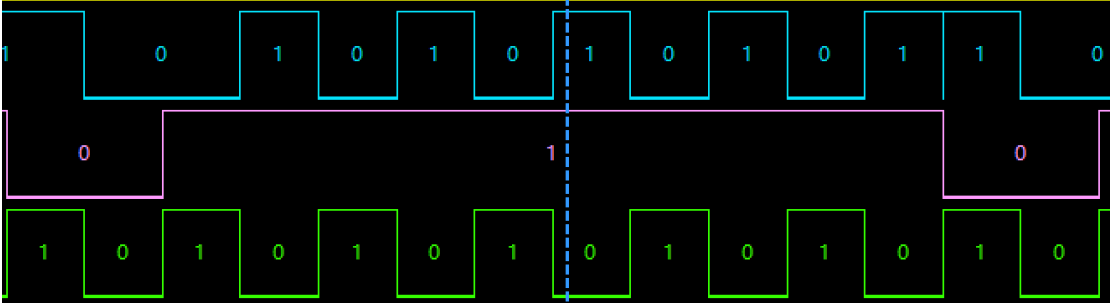
完成实物预期搭建：



b) 自行设计合理的电路验证方案

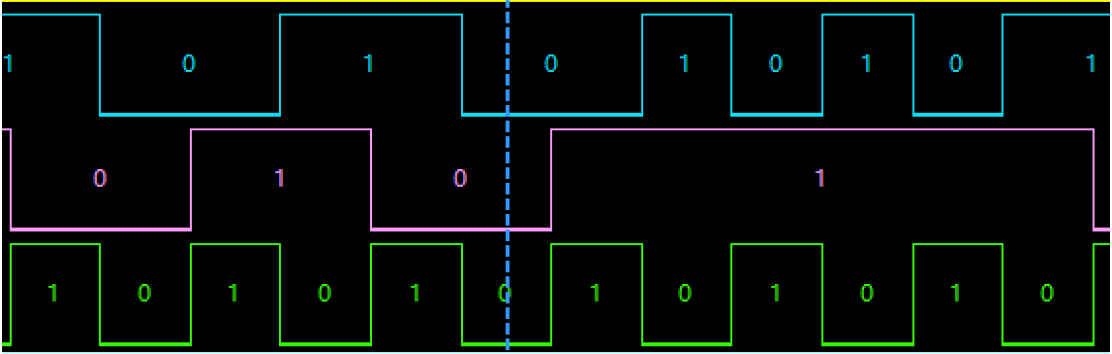
使用 Electronics pioneer 验证

对于输入数据 1111



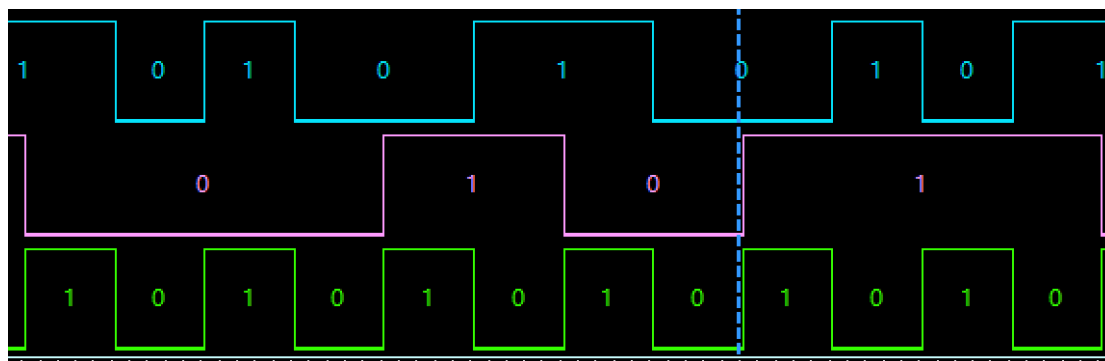
可以看到 D 为 011111，输出的 M 符合预期

对于数据 1011



可以看到 D 为 010111，输出的 M 符合预期

对于数据 0101



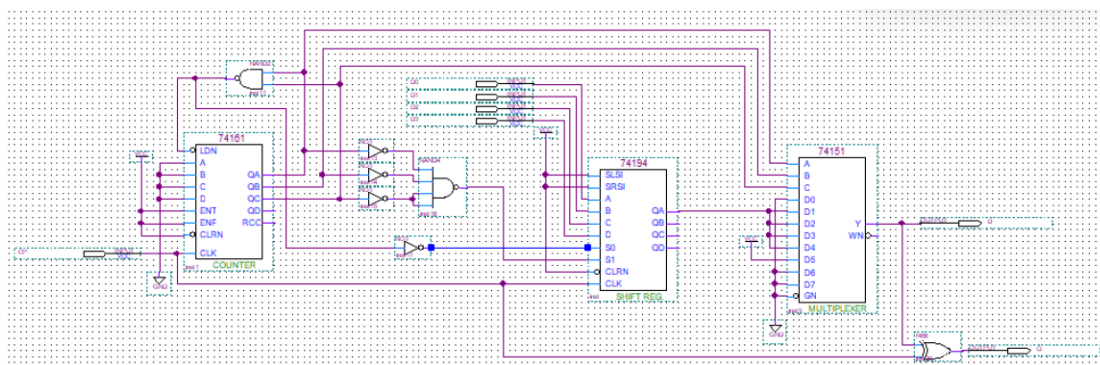
可以看到 D 为 001011，输出的 M 符合预期

综上所述，但是存在问题，就是当在次数 0 的时候变化时，D3D2D1D0 置数，所以如果在次数 0 的时候变化的话，次数 1，2，3，4 的时候会对应变化，所以不应该在 0 到 1 的时候置数，而是应该在 5 到 0 的时候置数，所以修改状态表如下：

次数	QCQBQA	LDN	S0	S1	状态	74151 输出 (D)
0	000	1	0	0	保持	0
1	001	1	0	1	左移	D0
2	010	1	0	1	左移	D1
3	011	1	0	1	左移	D2
4	100	1	0	1	左移	D3
5	101	0	1	1	置数	1

对应的逻辑表达式如下 $S1 = \overline{QA} \overline{QB} \overline{QC}$ $S0 = QAQC$

所以修改电路图如下：



仿真验证在后面

c) 完成 4 位并行输入-串行输出曼切斯特编码硬件电路搭接

三、实验内容

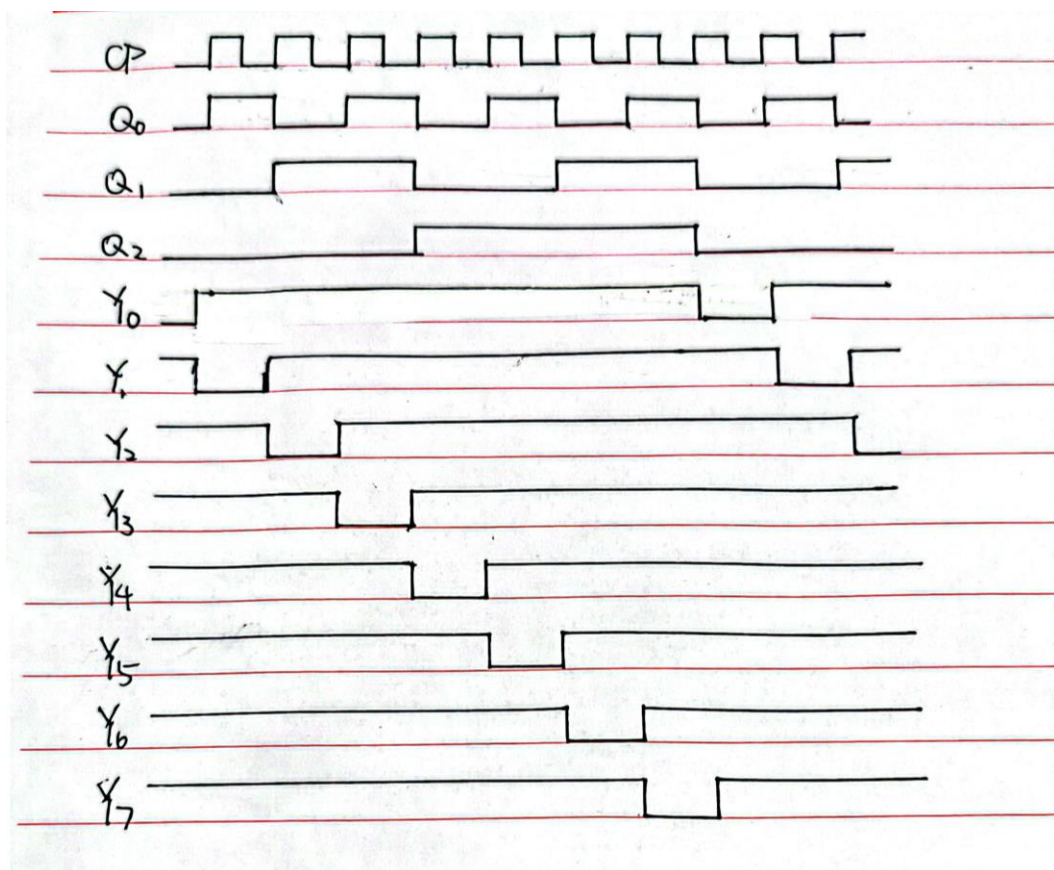
1、广告流水灯（第 10 周课内验收）

用触发器、组合函数器件和门电路设计一个广告流水灯，该流水灯由 8 个 LED 组成，工作时始终为 1 暗 7 亮，且这一个暗灯循环右移。

(1) 写出设计过程，画出设计的逻辑电路图，按图搭接电路（见预习报告）

(2) 将单脉冲加到系统时钟端，静态验证实验电路（已经成果验收）

(3) 将 TTL 连续脉冲信号加到系统时钟端，用示波器观察并记录时钟脉冲 CP、触发器的输出端 Q2、Q1、Q0 和 8 个 LED 上的波形，绘制波形如下



2、序列发生器（第 11 周课内验收）

分别用 MSI 计数器和移位寄存器设计一个具有自启动功能的 101001 序列信号发生器

(1) 写出设计过程，画出电路逻辑图

用 MSI 计数器实现 101001 序列信号发生器：

先画出 74161 的状态图，由题意可得应该是模 6 计数器

Qd	Qc	Qb	Qa	Q
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1

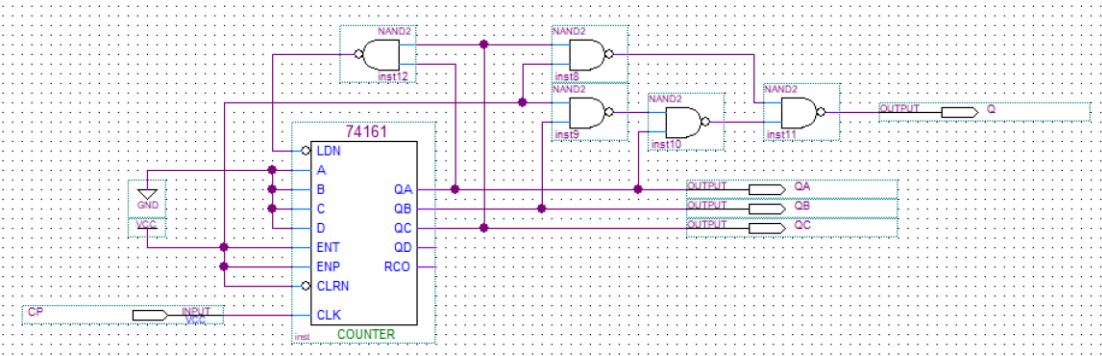
应该采用模 6 同步置 0 计数器，所以采用 000-101 这六个状态

画出卡诺图如下

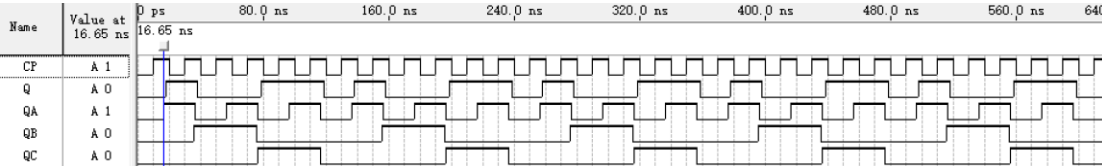
Qc\QbQa	00	01	11	10
0	0	1	0	0
1	1	1	无意义	无意义

所以可以得出卡诺图为 $Q = \overline{Q_b}Q_a + Q_c = \overline{\overline{Q_b}Q_aQ_c}$

画出电路图如下：



仿真结果如下：

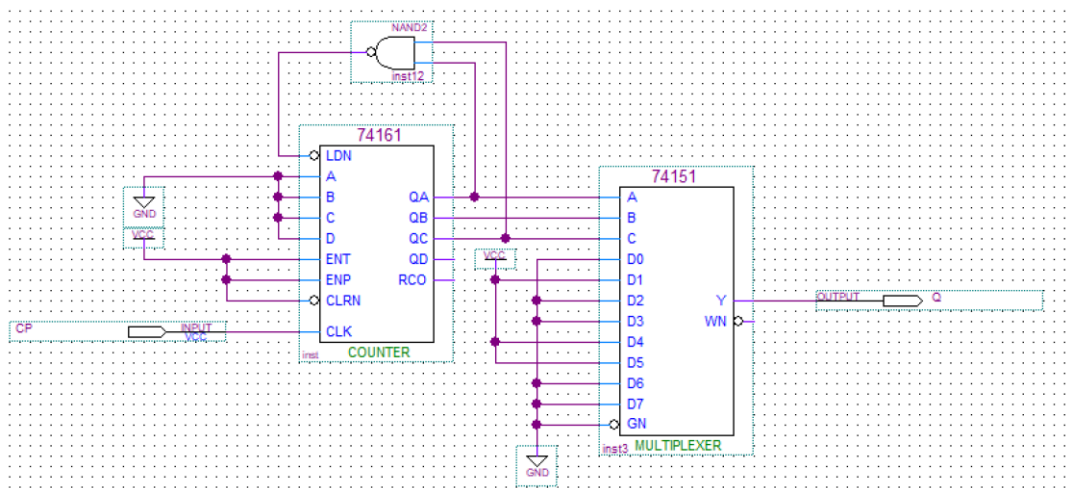


符合预期的 010011，即是 101001 的变种

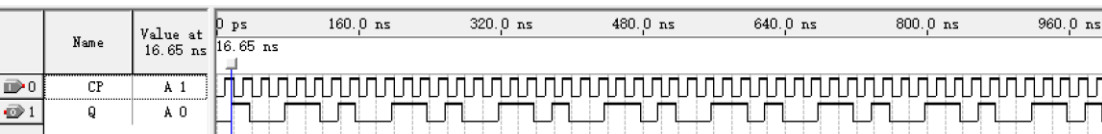
但是可以引入 74138 来简化设计，

Qd	Qc	Qb	Qa	Q
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1

重新设计电路图如下：

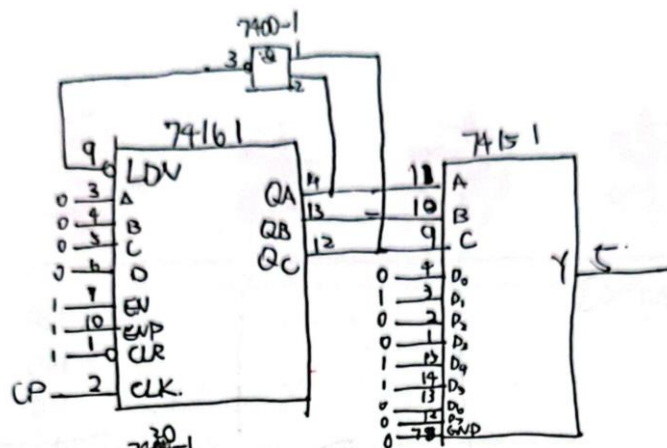


仿真结果如下：

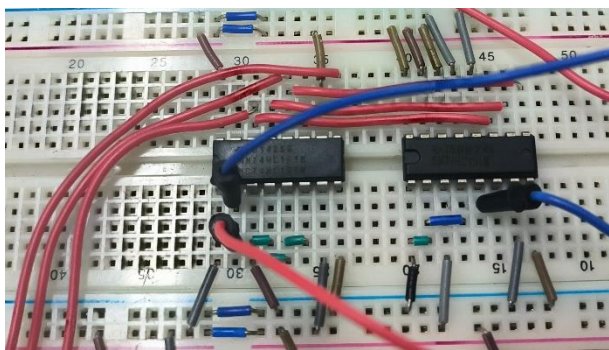


基本符合预期结果

绘制电路图如下：



电路预搭建如下：



用移位寄存器实现 101001 序列信号发生器：

由于位数为 6，所以可以用 3 位寄存器实现，但是为了方便可以用 4 位来实现，具体考虑如下，首先是要实现 101001 的输出，但是可以用寄存器的置数功能先记忆一部分，然后再不断移位，为了方便可以把原式转化为 1101 然后 0110, 0011, 0001, 0000, 1000，当进入 1000 时，直接置数 1011，当满足 $Q=0000$ 时， $SR=1$ 其余时候 $SR=0$ 。这样可以实现自启动，由于 $SR=0$ ，所以 Q 一定会转化为 0000，然后变成 1000，最后是实现置数

操作	QD	QC	QB	QA	SR	S1
右移	1	0	1	1	0	0
右移	0	1	0	1	0	0
右移	0	0	1	0	0	0
右移	0	0	0	1	0	0
右移	0	0	0	0	1	0
置数	1	0	0	0	0	1

但是实际操作发现由于我们使用与非门，只要存在 0 很容易误判为 1，所以更改为以下表格的形式为：

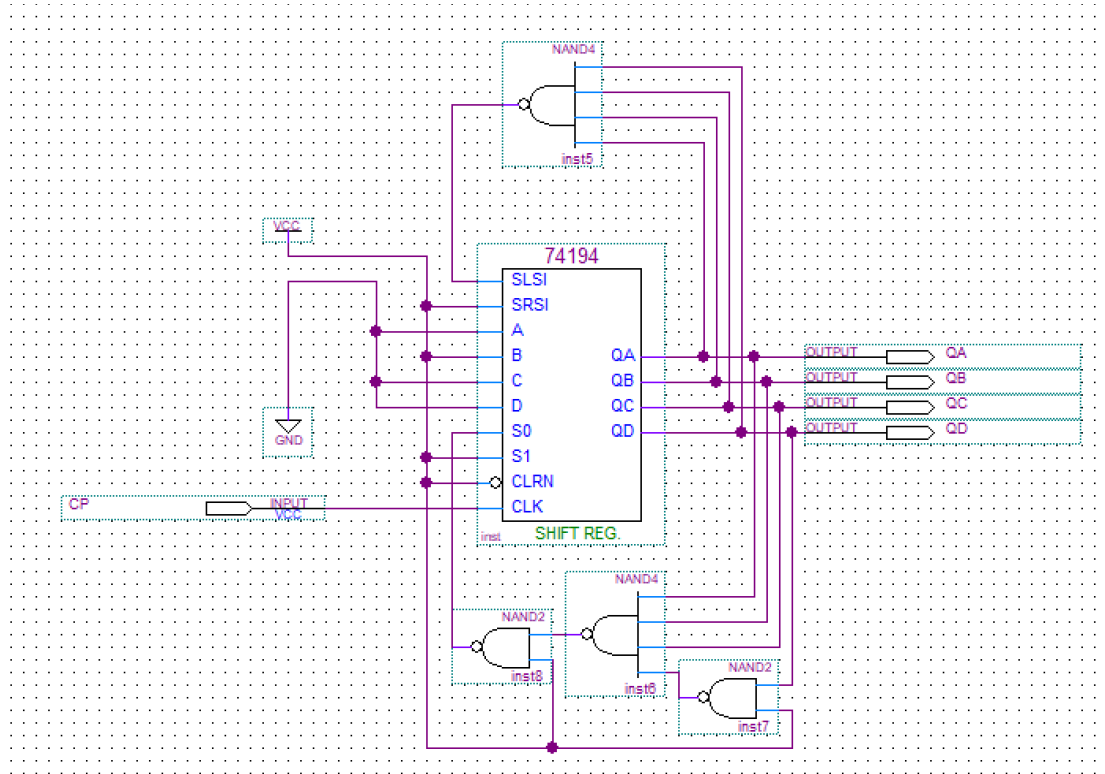
	操作	QD	QC	QB	QA	SL	S0
有效操作	左移	0	0	1	0	1	0
	左移	1	0	0	1	1	0
	左移	1	1	0	0	1	0
	左移	1	1	1	0	1	0
	左移	1	1	1	1	0	0
	置数	0	1	1	1	1	1

如果出现 0000 或其他无效状态，都会逐渐左移，且输入为 1，最终转化为 1111，最后通过

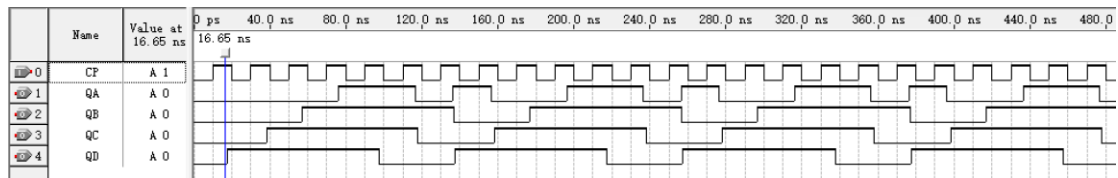
逻辑判断转化为 0111，然后启动置数，形成 0010，从而实现自启动
所以可以列出表达式

$$S0 = \overline{Q_A Q_B Q_C Q_D} \quad SL = \overline{Q_A Q_B Q_C Q_D}$$

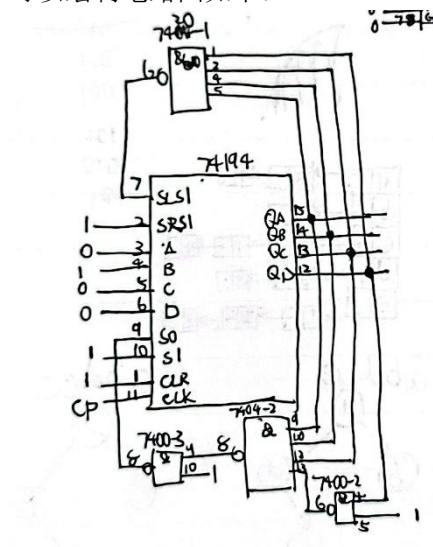
所以可以画出电路图如下：



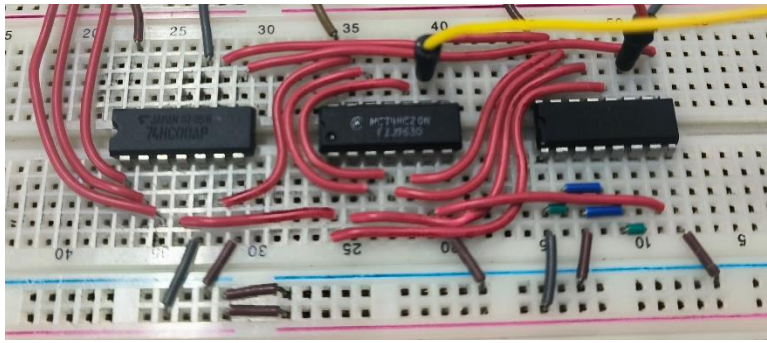
仿真结果如下：



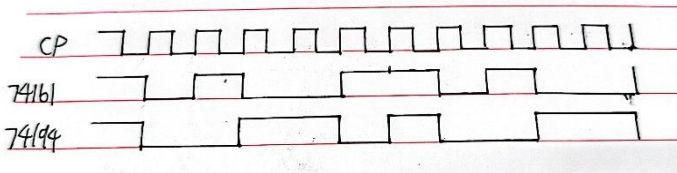
可以绘制电路图如下：



预搭建结果如下：

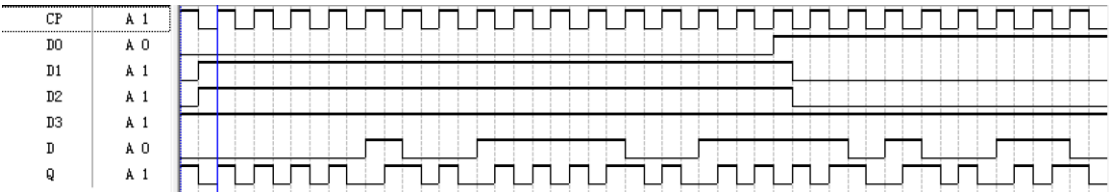


- (2) 搭接电路，并用单脉冲静态验证实验结果
实验验证成功
- (3) 加入 TTL 连续脉冲，用示波器观察观察并记录时钟脉冲 CLK、序列输出端的波形。
可以根据条件画出波形如下：



3、 4 位并行输入-串行输出曼切斯特编码电路（第 12 周）

仿真波形如下：



在 0 的部分已经完成了置数，所以 D 没有立刻改变，为 000011，过去一个周期后才改变，D 改变为 001111，符合题目要求，所以符合载入要求。之后的 D 也是同理，为 010011。由于 D 符合要求，与 CP 做异或的曼切斯特码显然也符合要求

四、实验使用仪器设备（名称、型号、规格、编号、使用状况）

数字示波器，Tektronix TDS 2012C，200MHz，2 通道，使用正常

集成电路，74LS00，四 2 输入与非门，使用正常

集成电路，74LS04，六反相器，使用正常

集成电路，74LS74，双 D 触发器，使用正常

集成电路，74LS138，3 线-8 线译码器，使用正常

集成电路，74LS151，8 线-1 线数据选择器，使用正常

集成电路，74LS161，四位同步二进制计数器，使用正常

集成电路，74LS194，四位双向移位寄存器，使用正常

五、实验总结

本次实验主要是学习和掌握时序逻辑电路的设计和应用，包括广告流水灯、序列发生器和曼切斯特编码电路。

通过本次实验，我了解了时序逻辑电路的一般设计过程，包括确定状态数、状态转换表、状态转换图、卡诺图、逻辑表达式、电路图等，以及如何利用不同的器件和方法实现相同的功能，并比较其优缺点。我掌握了时序逻辑电路的时延分析方法，了解了时序电路对时钟信号相关参数的基本要求，以及如何避免和解决时序逻辑电路中可能出现的毛刺、竞争、冒险等问题。我掌握了时序逻辑电路的基本调试方法，包括使用单脉冲和连续脉冲验证电路的静态和动态性能，使用示波器和逻辑分析仪观察和记录电路的输入输出波形，分析和解释电路的工作原理和状态变化。

在实验过程中，我遇到了一些问题，比如在搭接电路时，有时会出现接线错误等问题，导致电路不能正常工作。为了解决这些问题，我需要耐心地检查和排除故障，使用示波器和逻辑分析仪观察和测试电路的输入输出波形，找出问题的原因和解决方法。

在实验过程中，我也思考了一些问题，比如如何避免和解决时序逻辑电路中可能出现的毛刺、竞争、冒险等问题，如何利用不同的器件和方法实现相同的功能，并比较其优缺点，如何优化电路的设计和性能，等等。

通过本次实验，我收获了很多，我了解了时序逻辑电路的一般设计过程，掌握了时序逻辑电路的时延分析方法，熟练了时序逻辑电路的基本调试方法，提高了我的实验能力和动手能力，也对时序逻辑电路有了更深入的理解和掌握。

六、参考资料（预习、实验中参考阅读的资料）

《数字集成电路数据手册》，国防工业出版社

《数字逻辑与数字系统》，王银城等编著，清华大学出版社

《数字逻辑与数字系统设计》，陈宏等编著，高等教育出版社