

3、序列发生器（第 11 周）

a) 分别用集成计数器 74161 的同步置“0”和异步清“0”功能实现模 10 计数器，在 Quartus 中进行时序仿真验证，并分析比较两种方法的区别

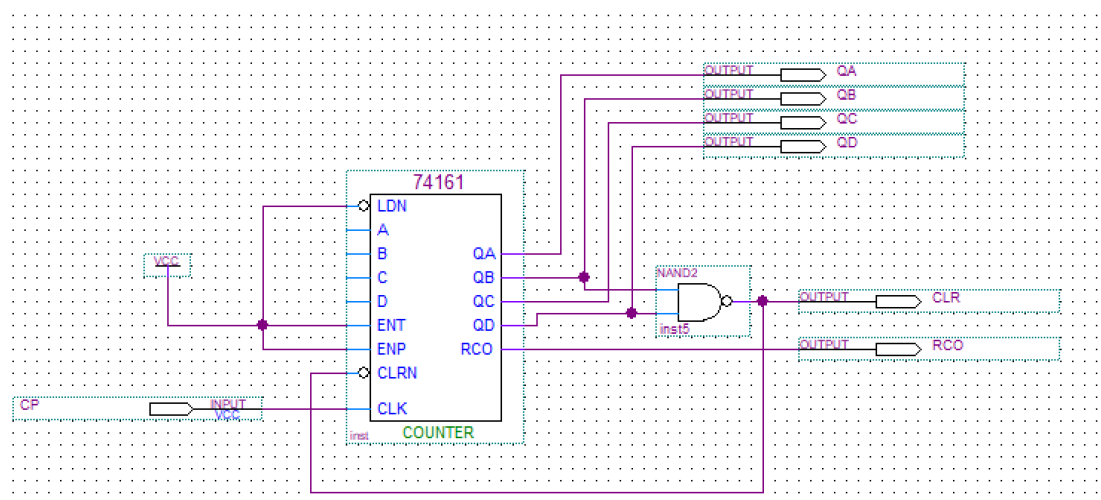
用 74161 的异步置 0 实现模 10 计数器

列出状态

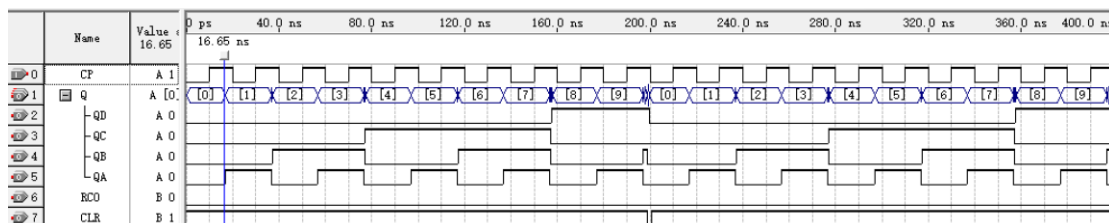
次数	Qd	Qc	Qb	Qa	CLR
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1

所以需要在 1010 时让 CLR=1 实现异步清零，所以可以得出 $CLR = \overline{Q_d} \overline{Q_b}$

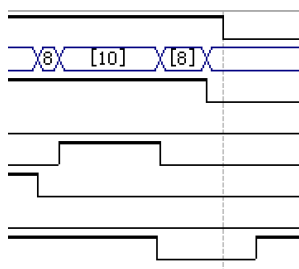
所以可以根据 74161 的特性设计出电路图（注意接入使能端等信息）：



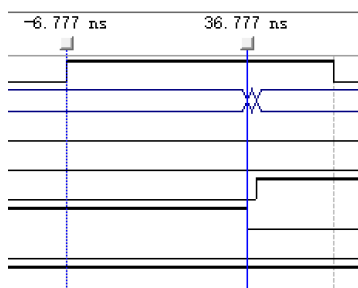
时序仿真验证如下：



可以看出实现了异步清零的功能，让 Q 在 0 到 9 间切换（其中 10 为暂态），实现了模 10 计数器，但是可以看到最后的时间延迟还是占了一部分，会影响计数器的准确性，而且其他地方也存在部分时间延迟，如图所示：



这里是实现清零的部分，可以看出清零时间会有延迟

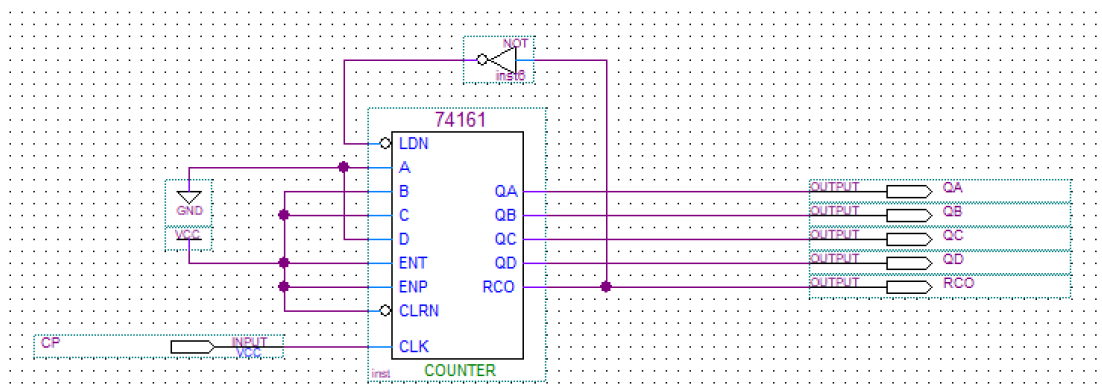


这时其他地方的时间延迟，从 cp 脉冲变化到对应的 Q 变化由 -6.777ns 的延迟，十分严重，且不同位数之间也有延迟

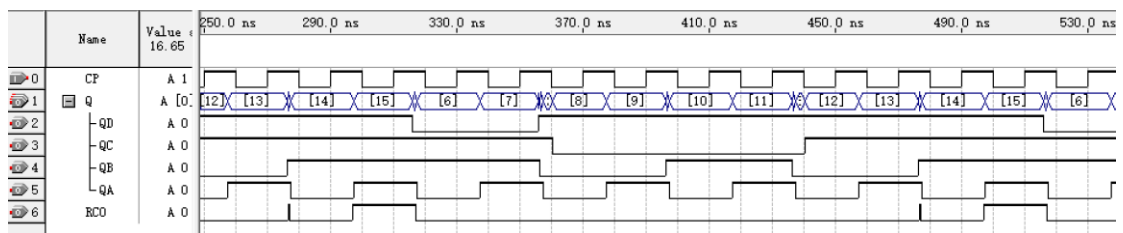
用 74161 的同步置 0 实现模 10 计数器(可以在进位的时候实现)

次数	Qd	Qc	Qb	Qa	RCO	LOAD
0	0	1	1	0	0	1
1	0	1	1	1	0	1
2	1	0	0	0	0	1
3	1	0	0	1	0	1
4	1	0	1	0	0	1
5	1	0	1	1	0	1
6	1	1	0	0	0	1
7	1	1	0	1	0	1
8	1	1	1	0	0	1
9	1	1	1	1	1(CP 上)	0

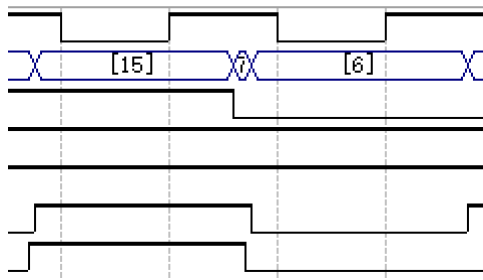
由于是异步置零，所以需要在 ABCD 口接成 0110，然后在 1111 处于上升沿的时候触发进位信号，把进位信号导入 LOAD 里面实现异步清零，导入 0110 从而实现循环
所以可以根据 74161 的特性设计出电路图（注意接入使能端等信息）：



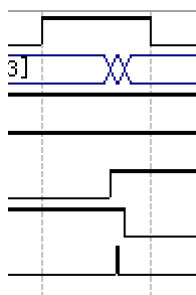
时序仿真验证如下：



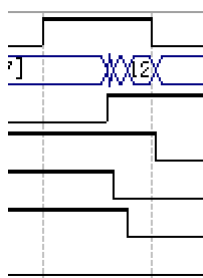
可以看出实现了同步清零的功能，让 Q 在 6 到 15 间切换，实现了模 10 计数器，但是可以看到进位时的时间延迟还是占了一部分，会影响计数器的准确性，而且其他地方也存在部分时间延迟，如图所示：



由这张图可以看出切换到 0110 存在时延

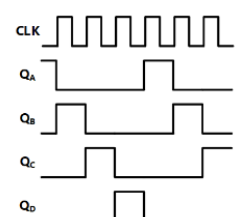


由这张图可以看出可能存在暂时的波动使得进位为 1，但是其不处于上升沿，所以不会造成影响



这时其他地方的时间延迟，和之前的时延原因相同，且不同位数之间也有延迟

b) 分别用集成计数器 74161 和 4 位双向移位寄存器 74194 实现图 3.1 所示的环形计数器，电路必须能自启动，并在 Quartus 中进行时序仿真验证
可以绘制出状态转换表为：



QAn	QBn	QCn	QDn	CLK	QAn+1	QBn+1	QCn+1	QDn+1
1	0	0	0	cp 上升	0	1	0	0

0	1	0	0	cp 上升	0	0	1	0
0	0	1	0	cp 上升	0	0	0	1
0	0	0	1	cp 上升	1	0	0	0

对于 74161 来说，要通过组合逻辑电路来实现环形计数器，且采用同步清零法

为实现自启动，当 Qb,Qa=1 的时候在下一个上升沿归为 0000，从而是实现自启动

Qd	Qc	Qb	Qa	QA	QB	QC	QD
0	0	0	0	1	0	0	0
0	0	0	1	0	1	0	0
0	0	1	0	0	0	1	0
0	0	1	1	0	0	0	1

所以可以绘制出卡诺图：

QA:

QdQc/QbQa	00	01	11	10
00	1	0	0	0
01	无意义	无意义	无意义	无意义
11	无意义	无意义	无意义	无意义
10	无意义	无意义	无意义	无意义

$$Q_A = \overline{Q_a} \overline{Q_b}$$

QB:

QdQc/QbQa	00	01	11	10
00	0	1	0	0
01	无意义	无意义	无意义	无意义
11	无意义	无意义	无意义	无意义
10	无意义	无意义	无意义	无意义

$$Q_B = Q_a \overline{Q_b}$$

QD:

QdQc/QbQa	00	01	11	10
00	0	0	1	0
01	无意义	无意义	无意义	无意义
11	无意义	无意义	无意义	无意义
10	无意义	无意义	无意义	无意义

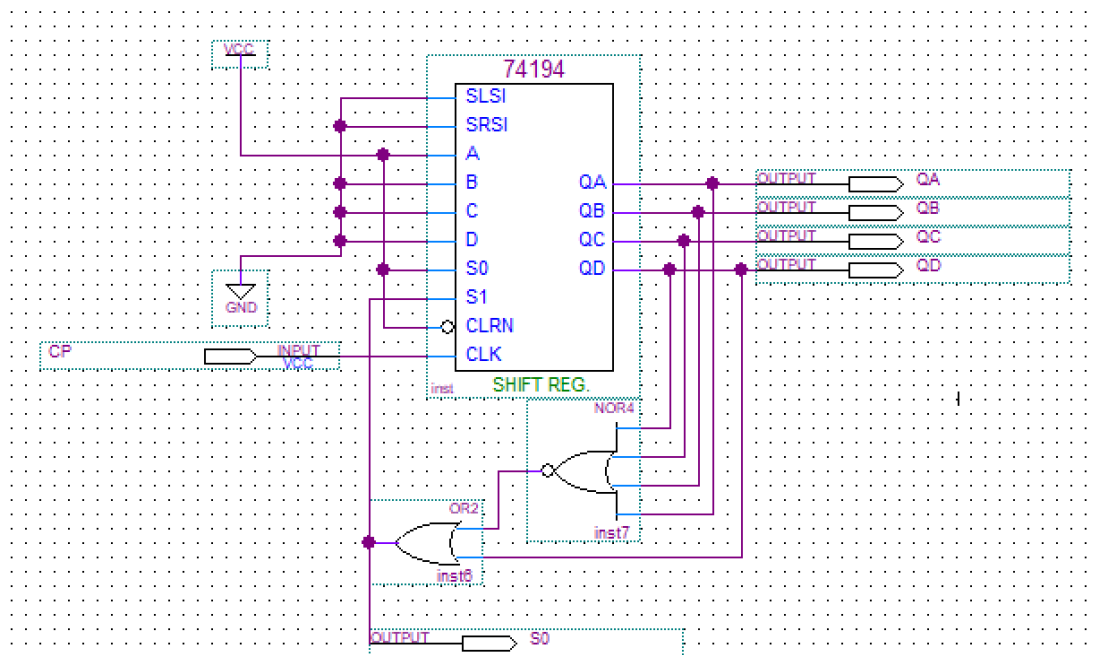
$$Q_D = Q_a Q_b$$

QC:

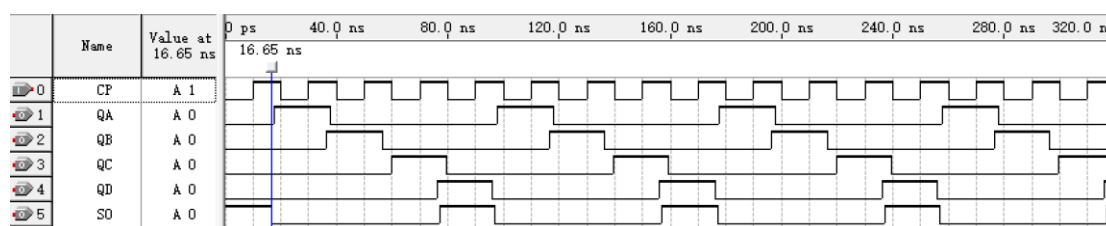
QdQc/QbQa	00	01	11	10
00	0	0	0	1
01	无意义	无意义	无意义	无意义
11	无意义	无意义	无意义	无意义
10	无意义	无意义	无意义	无意义

$$Q_C = \overline{Q_a} Q_b$$

所以可以画出电路图如下：



时序仿真结果如下：



- c) 完成两种方法实现序列发生器的设计方案，包含详细的设计过程和电路原理图
- d) 完成两种方案序列发生器的硬件电路搭接
- 4、 4 位并行输入-串行输出曼切斯特编码电路（第 12 周）
 - a) 完成 4 位并行输入-串行输出曼切斯特编码设计方案、包含详细的设计过程和电路原理图
 - b) 自行设计合理的电路验证方案
 - c) 完成 4 位并行输入-串行输出曼切斯特编码硬件电路搭接

三、实验内容

2、 序列发生器（第 11 周课内验收）

分别用 MSI 计数器和移位寄存器设计一个具有自启动功能的 101001 序列信号发生器

(1) 写出设计过程，画出电路逻辑图

用 MSI 计数器实现 101001 序列信号发生器：

先画出 74161 的状态图，由题意可得应该是模 6 计数器

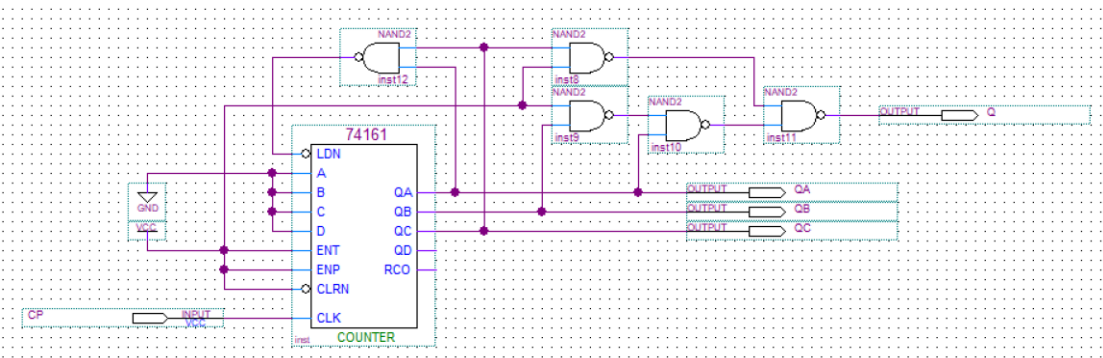
Qd	Qc	Qb	Qa	Q
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1

应该采用模 6 同步置 0 计数器，所以采用 000-101 这六个状态
画出卡诺图如下

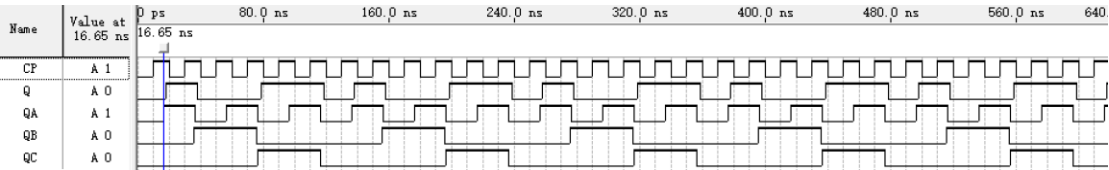
Qc\QbQa	00	01	11	10
0	0	1	0	0
1	1	1	无意义	无意义

所以可以得出卡诺图为 $Q = \overline{Q_b}Q_a + Q_c = \overline{Q_b}Q_a\overline{Q_c}$

而由于当 QcQa=1 时会同步置零，所以能够自启动
画出电路图如下：



仿真结果如下：

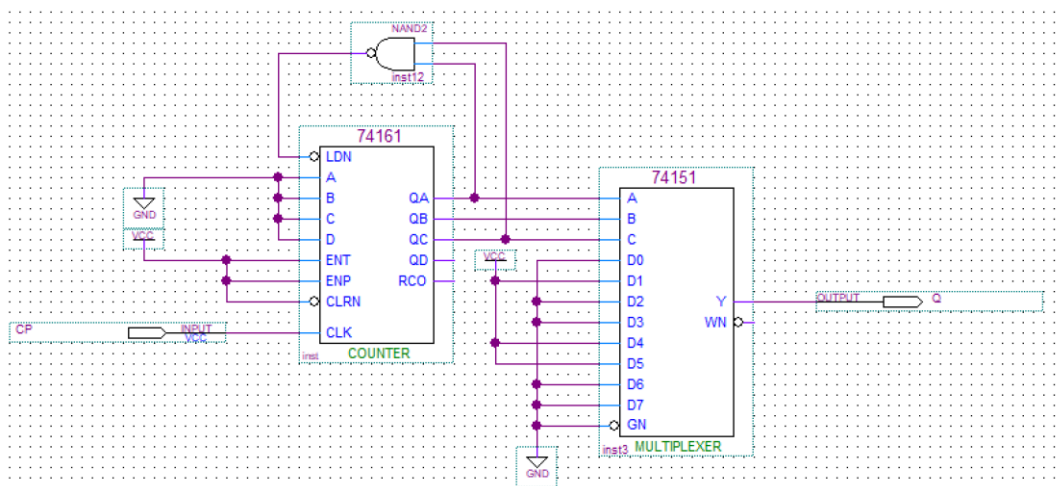


符合预期的 010011，即是 101001 的变种

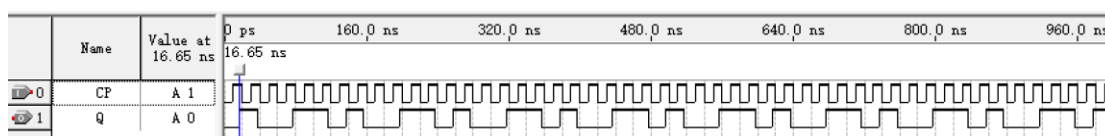
但是可以引入 74138 来简化设计，

Qd	Qc	Qb	Qa	Q
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1

重新设计电路图如下：

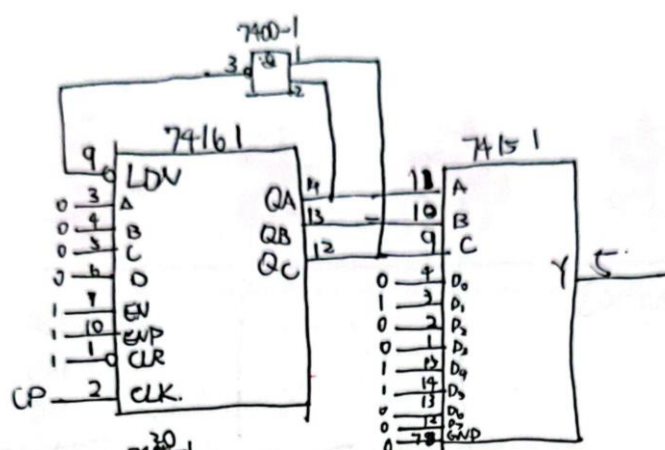


仿真结果如下：

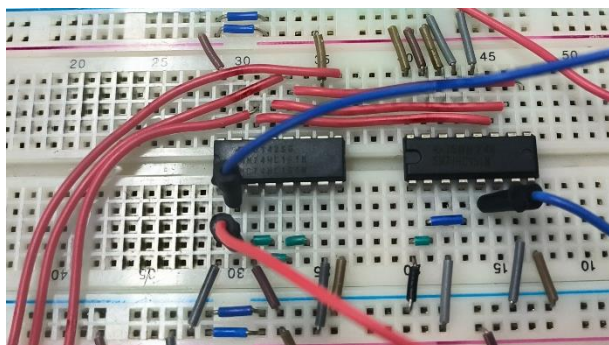


基本符合预期结果

绘制电路图如下：



电路预搭建如下：



用移位寄存器实现 101001 序列信号发生器：

由于位数为 6，所以可以用 3 位寄存器实现,但是为了方便可以用 4 位来实现，具体考虑如下，首先是要实现 101001 的输出，但是可以用寄存器的置数功能先记忆一部分，然后再不断移位，为了方便可以把原式转化为 1101 然后 0110, 0011, 0001, 0000, 1000,

当进入 1000 时，直接置数 1011，当满足 Q=0000 时，SR=1 其余时候 SR=0。这样可以实现自启动，由于 SR=0，所以 Q 一定会转化为 0000，然后变成 1000，最后是实现置数

操作	QD	QC	QB	QA	SR	S1
右移	1	0	1	1	0	0
右移	0	1	0	1	0	0
右移	0	0	1	0	0	0
右移	0	0	0	1	0	0
右移	0	0	0	0	1	0
置数	1	0	0	0	0	1

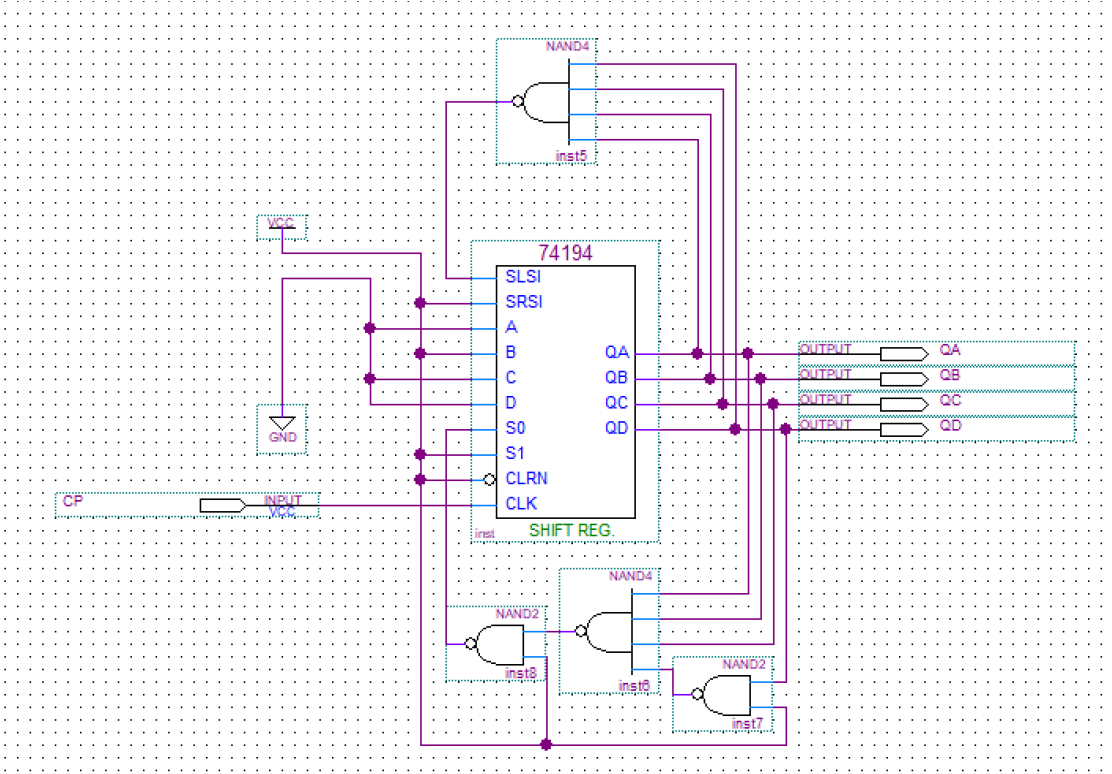
但是实际操作发现由于我们使用与非门，只要存在 0 很容易误判为 1，所以更改为以下表格的形式为：

操作	QD	QC	QB	QA	SL	S0
左移	0	0	1	0	1	0
左移	1	0	0	1	1	0
左移	1	1	0	0	1	0
左移	1	1	1	0	1	0
左移	1	1	1	1	0	0
置数	0	1	1	1	1	1

所以可以列出表达式

$$S0 = \overline{Q_A Q_B Q_C Q_D} \quad SL = \overline{Q_A Q_B Q_C Q_D}$$

所以可以画出电路图如下：



仿真结果如下：

