

实验报告

第四次实验

评定成绩: _____ 审阅教师: _____

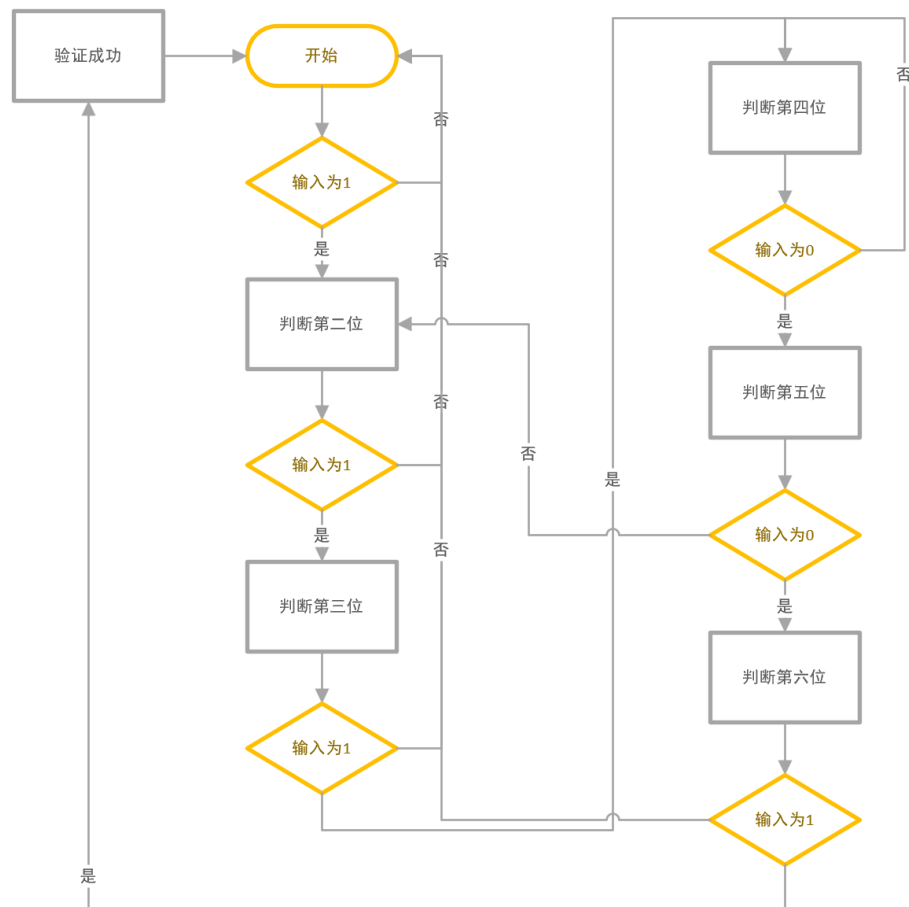
一、实验目的

- 1、 进一步学习时序逻辑电路的分析和设计方法，掌握状态机设计方法，
- 2、 了解可编程数字系统设计的流程，掌握 Quartus II 软件的使用方法
- 3、 掌握原理图输入方式设计时序逻辑电路的方法和流程

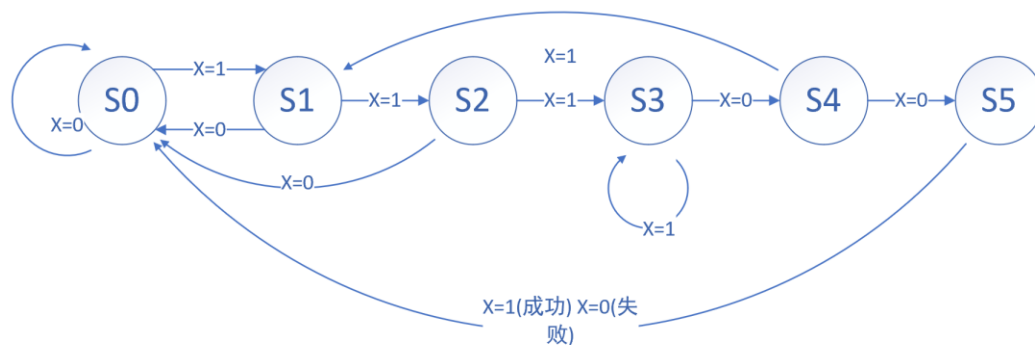
二、实验原理（预习报告内容，如无，则简述相关的理论知识点。）

要求：必做：用二进制编码设计一个“111001”序列检测器，对串行输入序列进行检测，当连续检测到 6 个码元符合检测码“111001”时，检测器输出为 1

1，根据题目要求画出流程图如下：



2，绘制出状态转移图如下：



3, 状态编码

状态名称	Q2	Q1	Q0
S0	0	0	0
S1	0	0	1
S2	0	1	0
S3	0	1	1
S4	1	0	0
S5	1	0	1

4, 列出状态转移表格(ET=1)

现态	次态	输入(S)	输出(Q)	现态	次态	功能	LD	EP	CBA
S0	S0	0	0	000	000	保持	1	0	Φ
	S1	1	0		001	计数	1	1	Φ
S1	S0	0	0	001	000	置数	0	Φ	000
	S2	1	0		010	计数	1	1	Φ
S2	S0	0	0	010	000	置数	0	Φ	000
	S3	1	0		011	计数	1	1	Φ
S3	S3	1	0	011	011	保持	1	0	Φ
	S4	0	0		100	计数	1	1	Φ
S4	S1	1	0	100	001	置数	0	Φ	001
	S5	0	0		101	计数	1	1	Φ
S5	S0	0	0	101	000	置数	0	Φ	000
	S0	1	1		000	置数	0	Φ	000

$$A = SQ2\overline{Q0} \quad Q = SQ2Q0 \quad C=0 \quad B=0$$

针对 LD

SQ2\Q1Q0	00	01	11	10
00	1	0	1	0
01	1	0	Φ	Φ
11	0	0	Φ	Φ
10	1	1	1	1

$$LD = SQ2 + Q1Q0 + \overline{Q1} \overline{Q0} \overline{S}$$

针对 EP

SQ2\Q1Q0	00	01	11	10
00	0	Φ	1	Φ
01	1	Φ	Φ	Φ
11	Φ	Φ	Φ	Φ
10	1	1	0	1

$$EP = Q1\overline{S} + Q1Q0 + Q2\overline{S} + SQ1 = Q1 \oplus S + Q1\overline{Q0} + Q2\overline{S}$$

所以可以画出电路图如下：

状态名称	Q2	Q1	Q0
S0	0	0	0
S1	0	0	1

S2	0	1	0
S3	0	1	1
S4	1	0	0
S5	1	0	1
S6	1	1	0

列出状态转移表格(ET=1)

现态	次态	输入(S)	输出(Q)	现态	次态	功能	LD	EP	CBA
S0	S0	0	0	000	000	保持	1	0	Φ
	S1	1	0		001	计数	1	1	Φ
S1	S0	0	0	001	000	置数	0	Φ	000
	S2	1	0		010	计数	1	1	Φ
S2	S0	0	0	010	000	置数	0	Φ	000
	S3	1	0		011	计数	1	1	Φ
S3	S3	1	0	011	011	保持	1	0	Φ
	S4	0	0		100	计数	1	1	Φ
S4	S1	1	0	100	001	置数	0	Φ	001
	S5	0	0		101	计数	1	1	Φ
S5	S0	0	0	101	000	置数	0	Φ	000
	S6	1	0		110	计数	1	1	Φ
S6	S0	0	1	110	000	置数	0	Φ	000
	S0	1	1		001	置数	0	Φ	001

$$A = SQ2\overline{Q0} \quad Q = Q2Q1 \quad C=0 \quad B=0$$

针对 LD

SQ2\Q1Q0	00	01	11	10
00	1	0	1	0
01	1	0	Φ	0
11	0	1	Φ	0
10	1	1	1	1

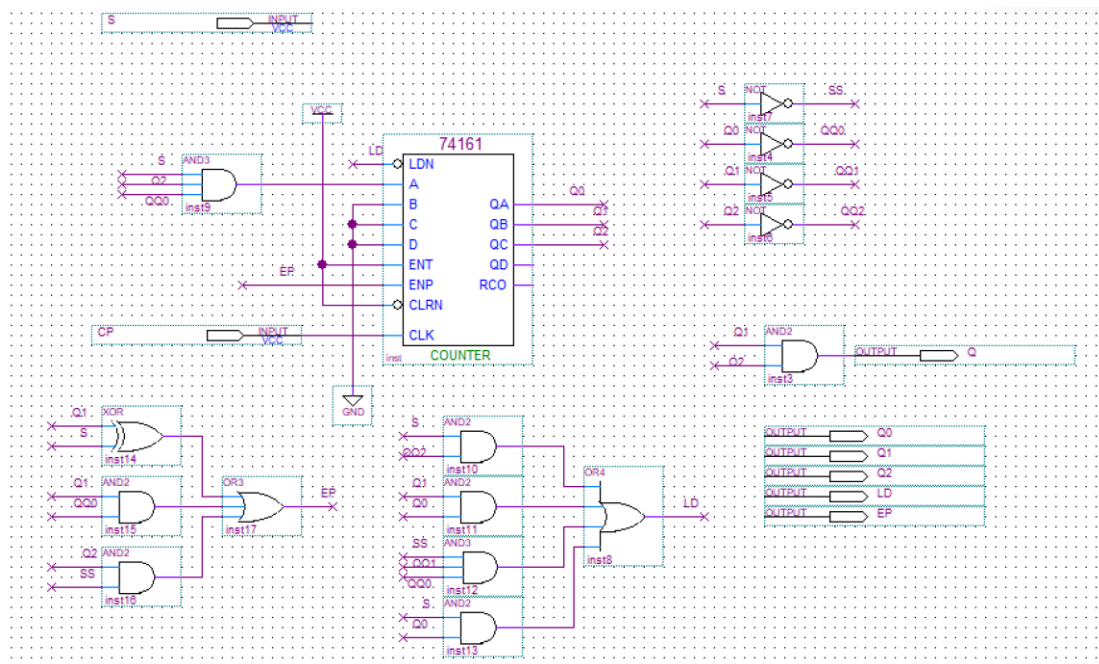
$$LD = \overline{SQ2} + Q1Q0 + \overline{Q1} \overline{Q0} \overline{S} + SQ0$$

针对 EP

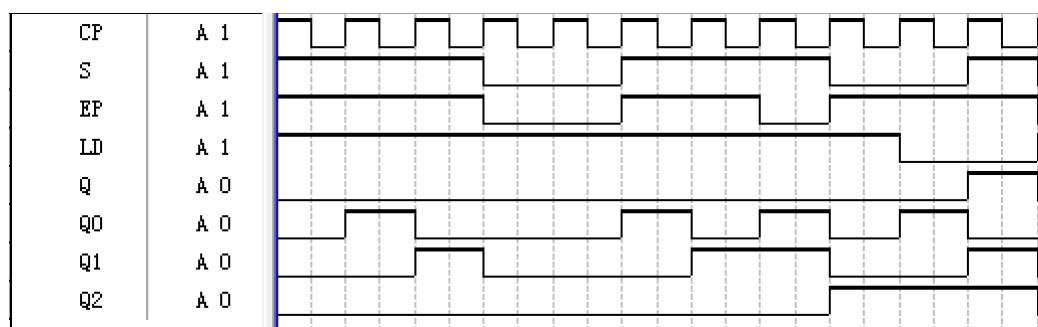
SQ2\Q1Q0	00	01	11	10
00	0	Φ	1	Φ
01	1	Φ	Φ	Φ
11	Φ	1	Φ	Φ
10	1	1	0	1

$$EP = Q1\overline{S} + Q1\overline{Q0} + Q2\overline{S} + \overline{SQ1} = Q1 \oplus S + Q1\overline{Q0} + Q2\overline{S}$$

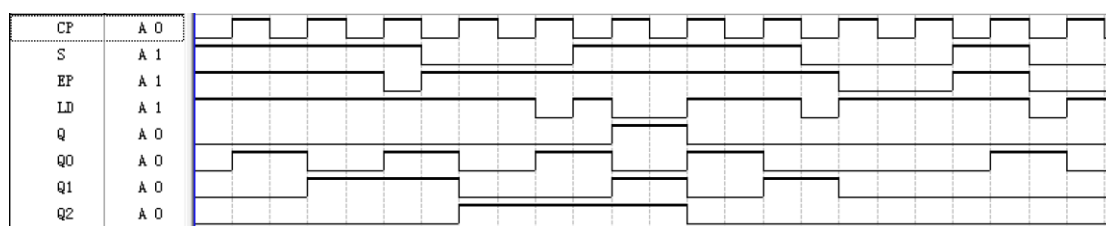
修改后的电路图如下：



仿真验证如下:



可以看见基本符合要求, 输入的序列为 1100111001, 在 111001 的最后一位输出了 1, 验证成功。

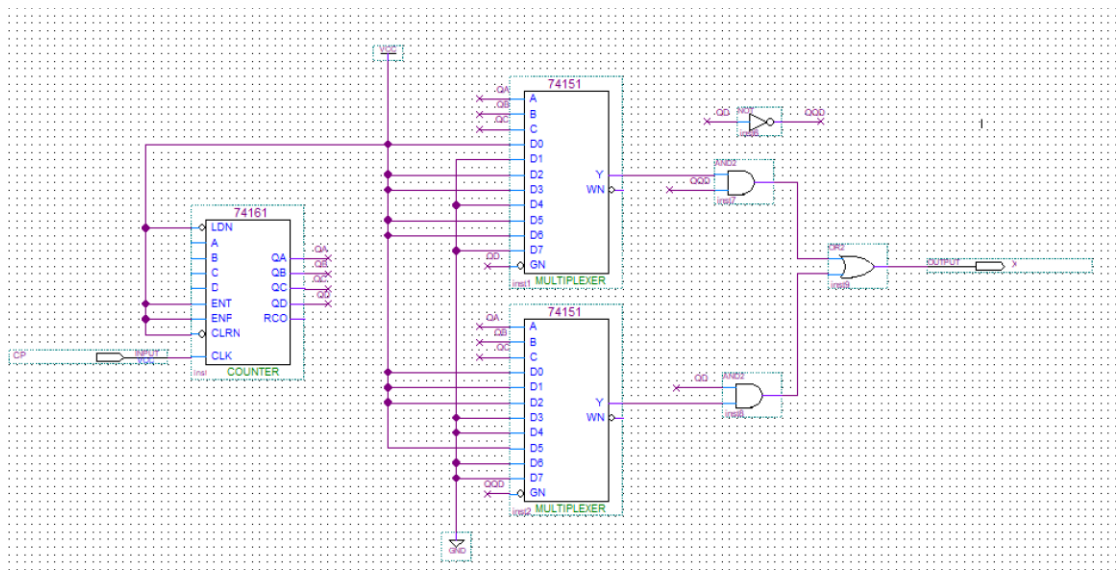


而这个序列的输入为 11100111001, 在 111001 的最后一位输出了 1, 但是 11001 不符合要求, 没有输出 1。

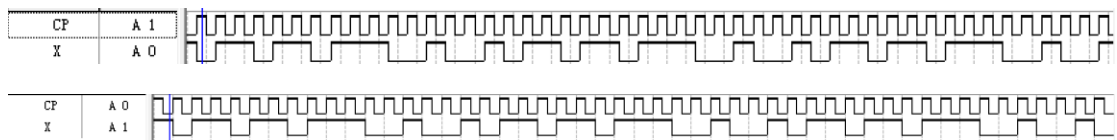
5, 用两个 151 和一个 161 设计序列 1011011011100100 发生器

故当 D=0 时前一个 151 工作, 当 D=1 时后一个 151 工作

设计出电路图如下:

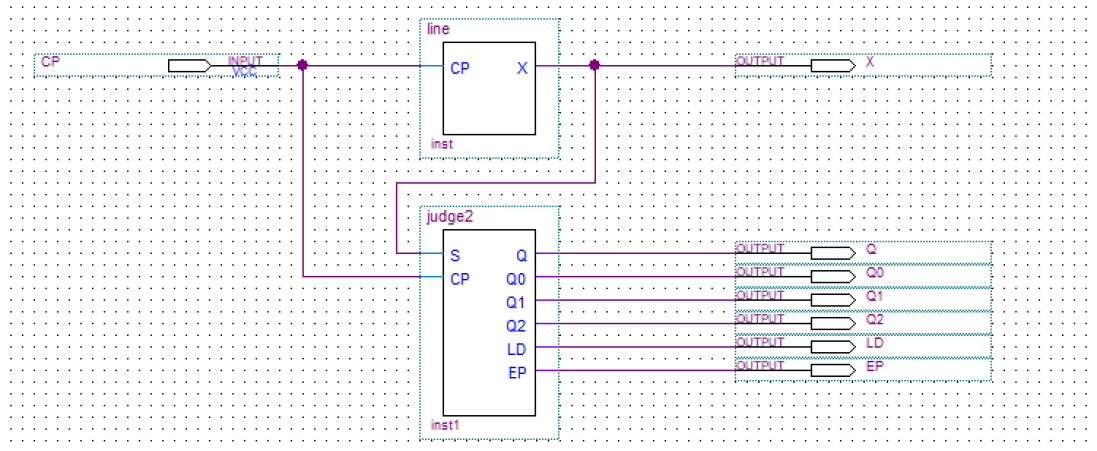


仿真结果如下：

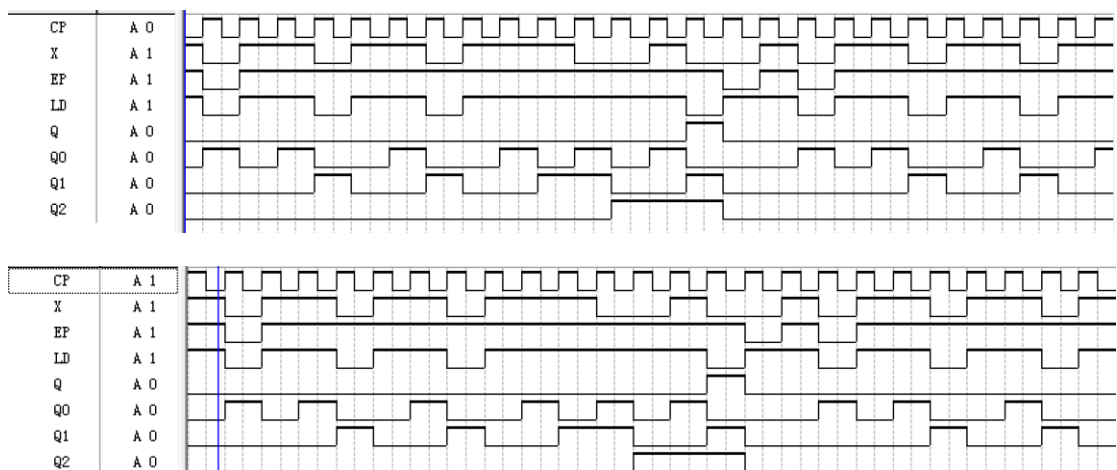


符合输出 1011011011100100 的要求

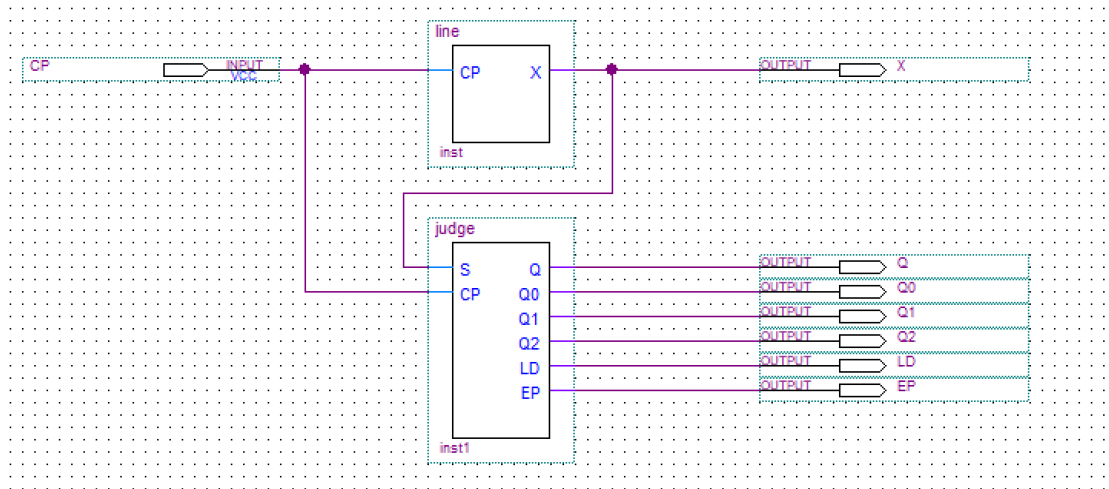
封装两个原件并画出电路图



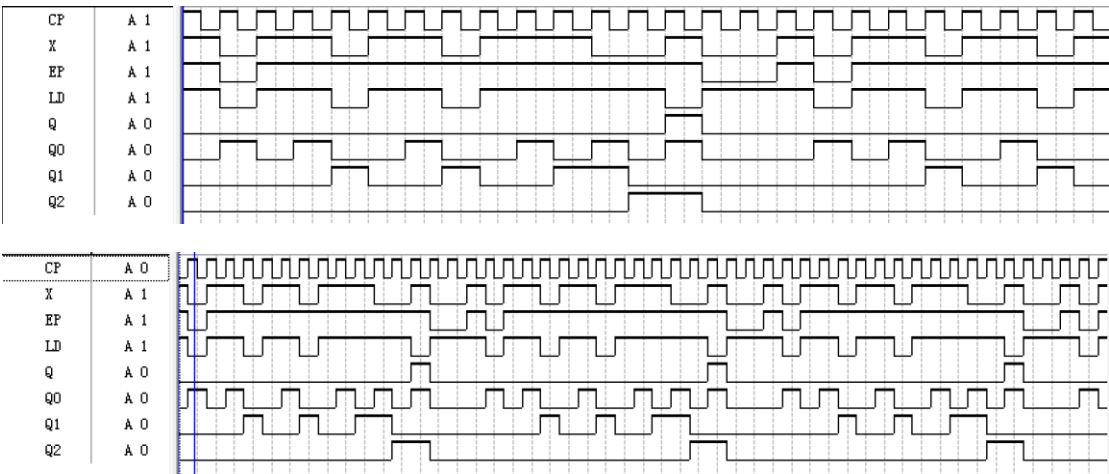
仿真结果如下：



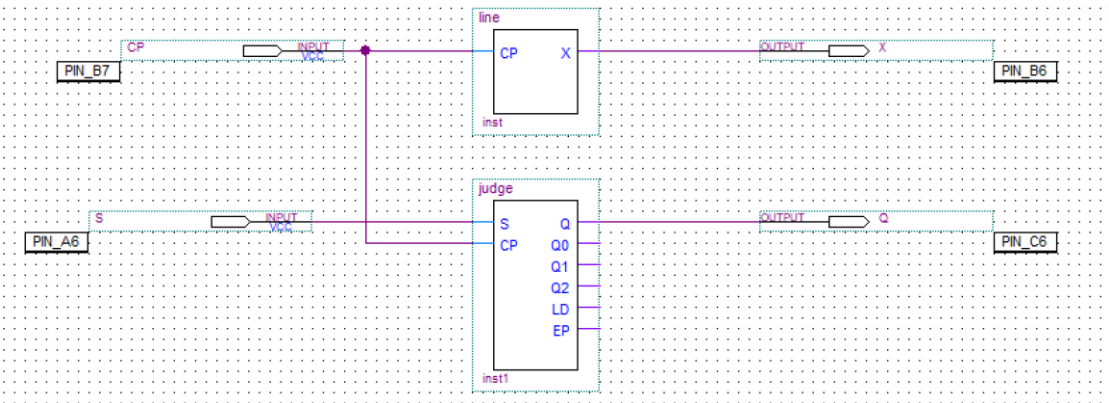
发现存在错位现象，因为 CP 上升沿时，x 的上升沿默认为 0，x 的下降沿默认为 1
更改为原本 judge 的电路图：



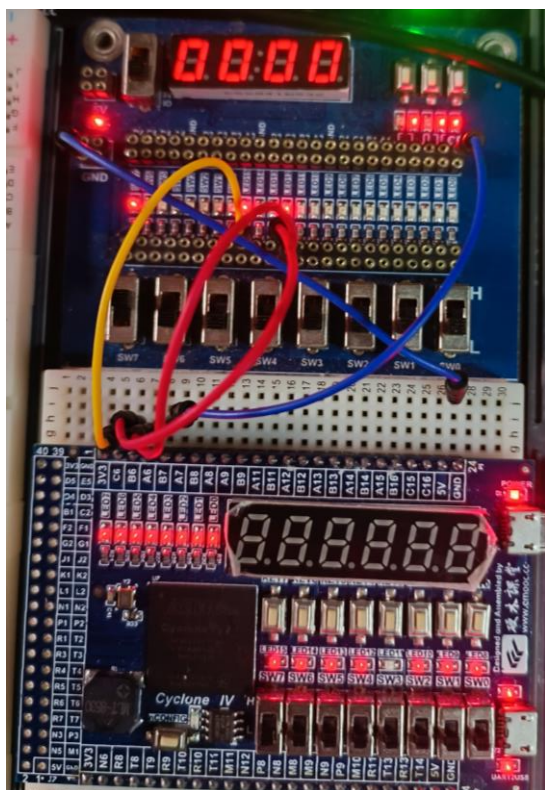
仿真结果如下



发现 judge 符合实际情况，所以采取第一种状态图设计
重新分配引脚



下载仿真成功



三、实验内容

四、实验使用仪器设备（名称、型号、规格、编号、使用状况）

五、实验总结

本

六、参考资料（预习、实验中参考阅读的资料）

《数字集成电路数据手册》，国防工业出版社

《数字逻辑与数字系统》，王银城等编著，清华大学出版社

《数字逻辑与数字系统设计》，陈宏等编著，高等教育出版社