

# 东南大学电工电子实验中心

## 实 验 报 告

课程名称： 数字与逻辑电路实验 A

### 第四次实验

实验名称： FPGA 时序逻辑设计

院（系）： 自动化 专 业： 自动化

姓 名： 邹滨阳 学 号： 08022305

实 验 室： 金智楼电子技术 4 室 105 实验组别： 无

同组人员： 无 实验时间： 2023 年 12 月 7 日

评定成绩： \_\_\_\_\_ 审阅教师： \_\_\_\_\_

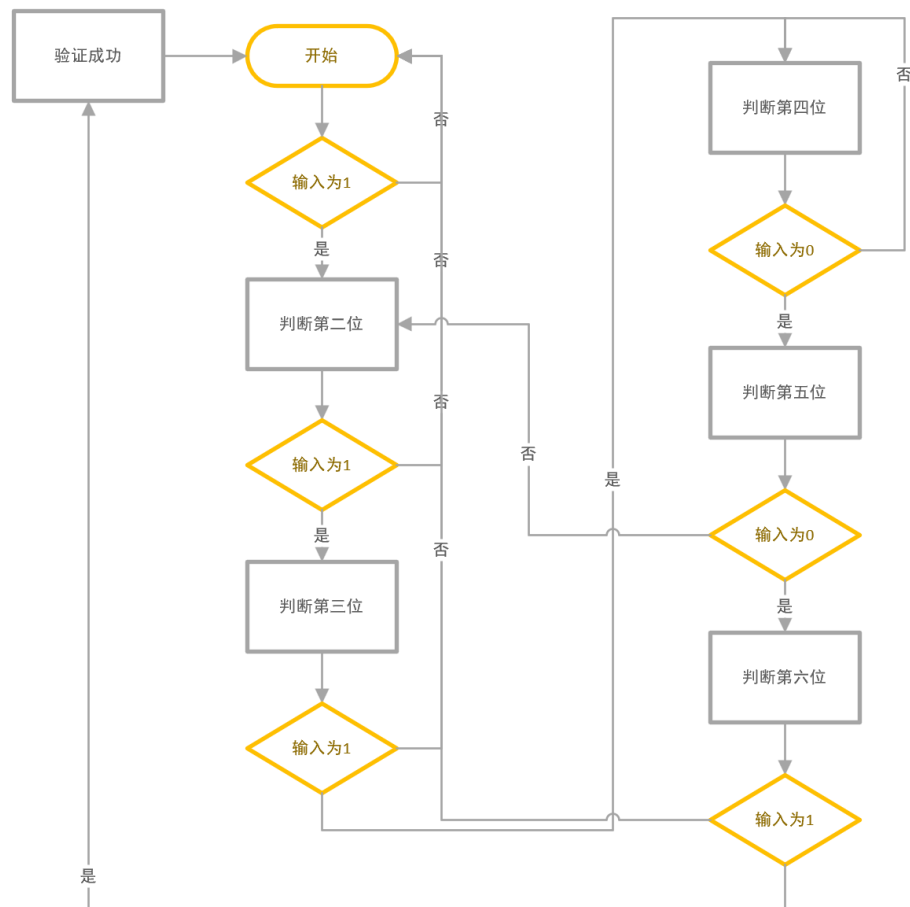
## 一、实验目的

- 1、 进一步学习时序逻辑电路的分析和设计方法，掌握状态机设计方法，
- 2、 了解可编程数字系统设计的流程，掌握 Quartus II 软件的使用方法
- 3、 掌握原理图输入方式设计时序逻辑电路的方法和流程

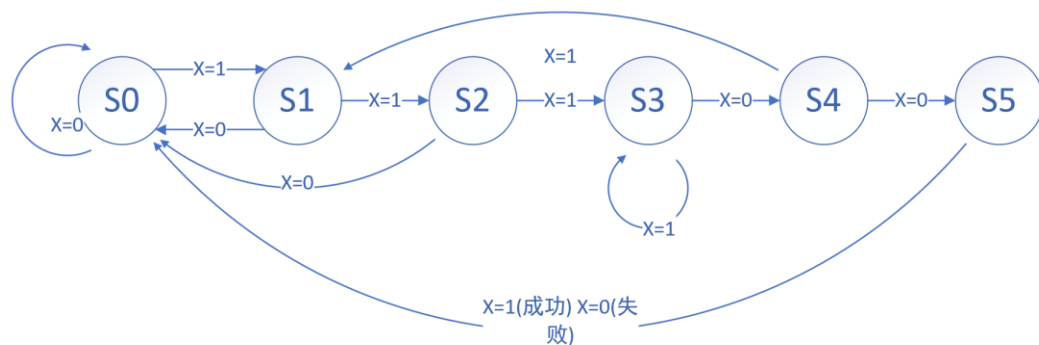
## 二、实验原理（预习报告内容，如无，则简述相关的理论知识点。）

要求：必做：用二进制编码设计一个“111001”序列检测器，对串行输入序列进行检测，当连续检测到 6 个码元符合检测码“111001”时，检测器输出为 1

1，根据题目要求画出流程图如下：



2，绘制出状态转移图如下：



### 3, 状态编码

状态名称	Q2	Q1	Q0
S0	0	0	0
S1	0	0	1
S2	0	1	0
S3	0	1	1
S4	1	0	0
S5	1	0	1

### 4, 列出状态转移表格(ET=1)

现态	次态	输入(S)	输出(Q)	现态	次态	功能	LD	EP	CBA
S0	S0	0	0	000	000	保持	1	0	Φ
	S1	1	0		001	计数	1	1	Φ
S1	S0	0	0	001	000	置数	0	Φ	000
	S2	1	0		010	计数	1	1	Φ
S2	S0	0	0	010	000	置数	0	Φ	000
	S3	1	0		011	计数	1	1	Φ
S3	S3	1	0	011	011	保持	1	0	Φ
	S4	0	0		100	计数	1	1	Φ
S4	S1	1	0	100	001	置数	0	Φ	001
	S5	0	0		101	计数	1	1	Φ
S5	S0	0	0	101	000	置数	0	Φ	000
	S0	1	1		000	置数	0	Φ	000

$$A = SQ2\overline{Q0} \quad Q = SQ2Q0 \quad C=0 \quad B=0$$

针对 LD

SQ2\Q1Q0	00	01	11	10
00	1	0	1	0
01	1	0	Φ	Φ
11	0	0	Φ	Φ
10	1	1	1	1

$$LD = SQ2 + Q1Q0 + \overline{Q1}\overline{Q0}\overline{S}$$

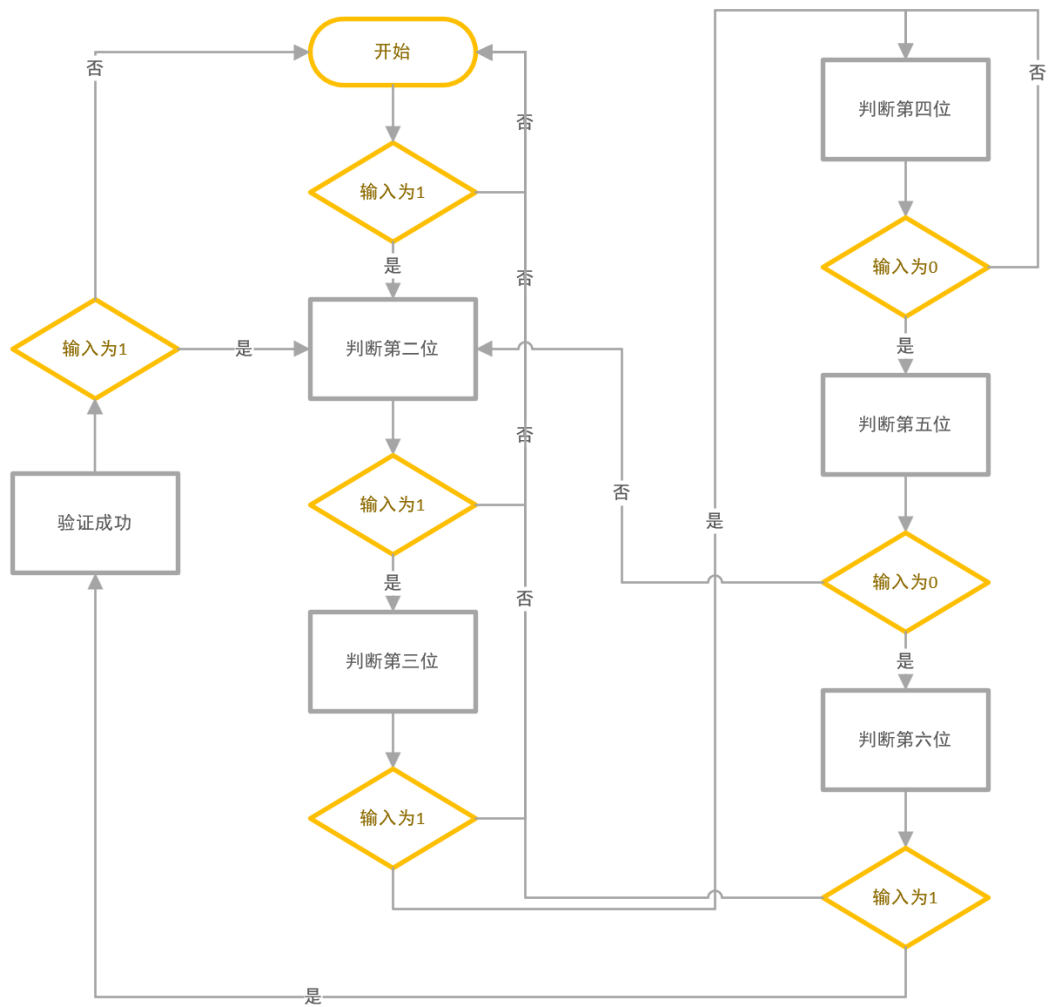
针对 EP

SQ2\Q1Q0	00	01	11	10
00	0	Φ	1	Φ
01	1	Φ	Φ	Φ
11	Φ	Φ	Φ	Φ
10	1	1	0	1

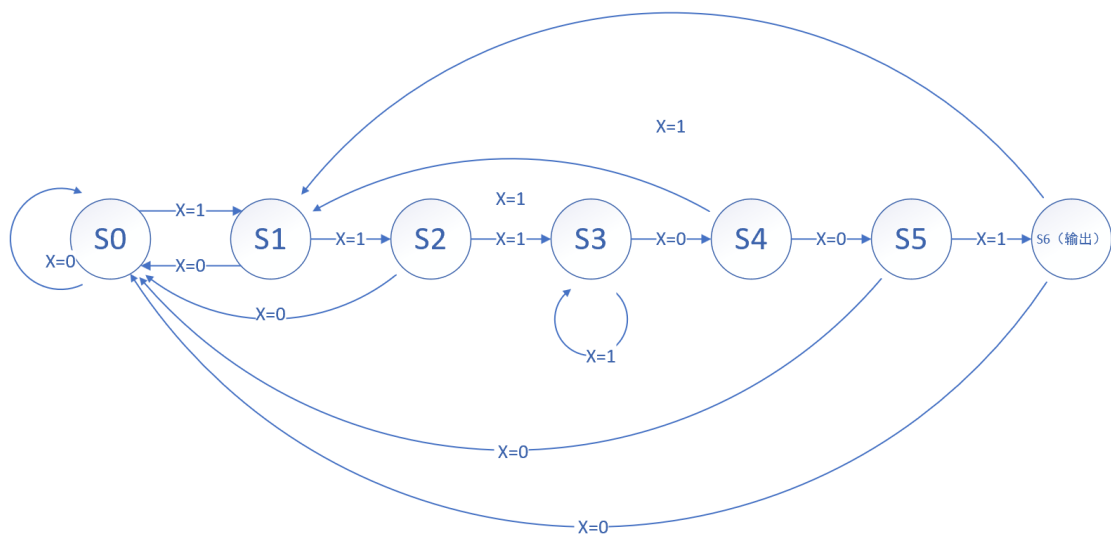
$$EP = Q1\overline{S} + Q1Q0 + Q2\overline{S} + SQ1 = Q1 \oplus S + Q1Q0 + Q2\overline{S}$$

所以可以画出电路图如下：





状态图：



状态编码

状态名称	Q2	Q1	Q0
S0	0	0	0
S1	0	0	1

S2	0	1	0
S3	0	1	1
S4	1	0	0
S5	1	0	1
S6	1	1	0

列出状态转移表格(ET=1)

现态	次态	输入(S)	输出(Q)	现态	次态	功能	LD	EP	CBA
S0	S0	0	0	000	000	保持	1	0	Φ
	S1	1	0		001	计数	1	1	Φ
S1	S0	0	0	001	000	置数	0	Φ	000
	S2	1	0		010	计数	1	1	Φ
S2	S0	0	0	010	000	置数	0	Φ	000
	S3	1	0		011	计数	1	1	Φ
S3	S3	1	0	011	011	保持	1	0	Φ
	S4	0	0		100	计数	1	1	Φ
S4	S1	1	0	100	001	置数	0	Φ	001
	S5	0	0		101	计数	1	1	Φ
S5	S0	0	0	101	000	置数	0	Φ	000
	S6	1	0		110	计数	1	1	Φ
S6	S0	0	1	110	000	置数	0	Φ	000
	S0	1	1		001	置数	0	Φ	001

$$A = SQ2\overline{Q0} \quad Q = Q2Q1 \quad C=0 \quad B=0$$

针对 LD

SQ2\Q1Q0	00	01	11	10
00	1	0	1	0
01	1	0	Φ	0
11	0	1	Φ	0
10	1	1	1	1

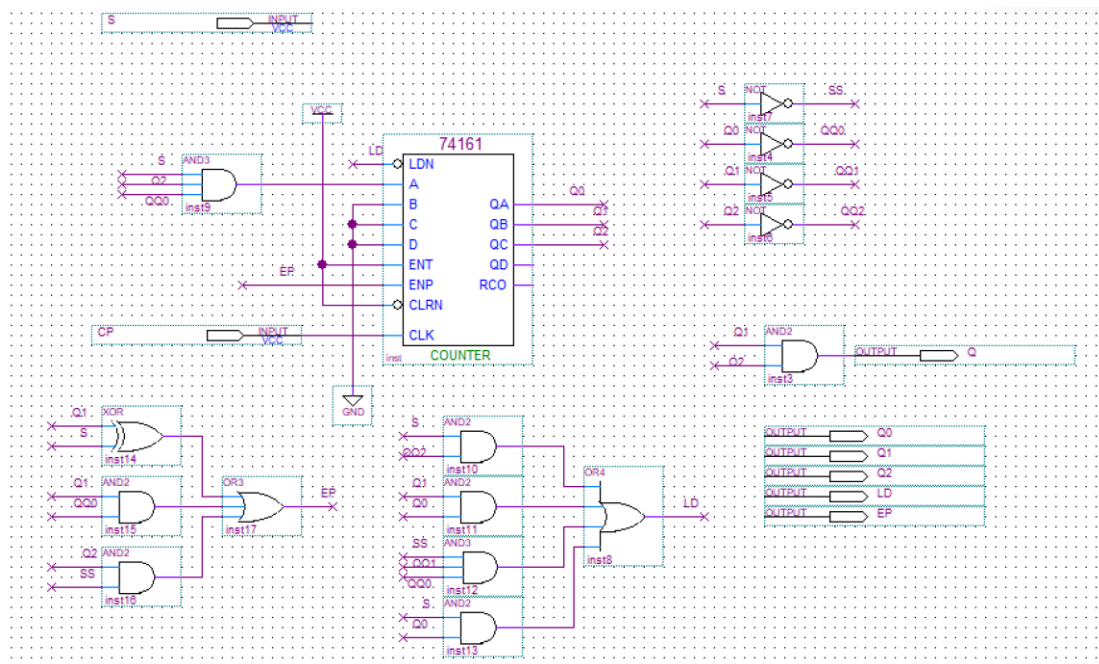
$$LD = \overline{SQ2} + Q1Q0 + \overline{Q1} \overline{Q0} \overline{S} + SQ0$$

针对 EP

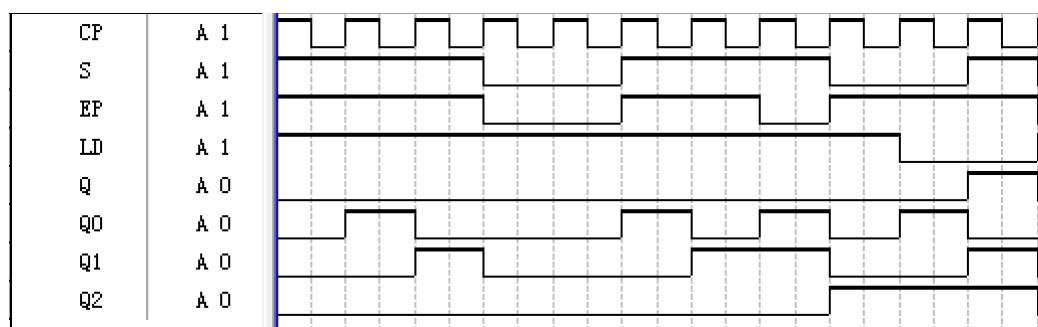
SQ2\Q1Q0	00	01	11	10
00	0	Φ	1	Φ
01	1	Φ	Φ	Φ
11	Φ	1	Φ	Φ
10	1	1	0	1

$$EP = Q1\overline{S} + Q1\overline{Q0} + Q2\overline{S} + \overline{SQ1} = Q1 \oplus S + Q1\overline{Q0} + Q2\overline{S}$$

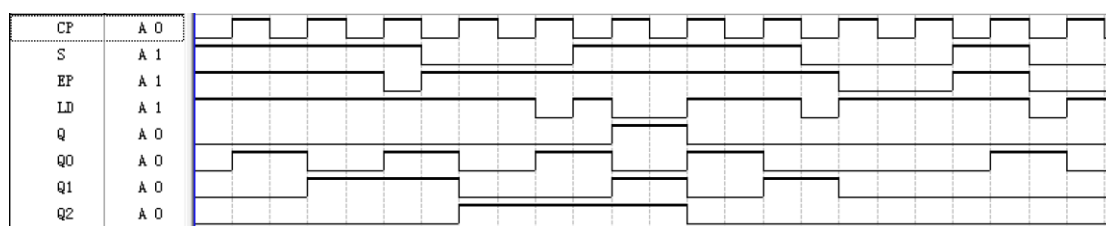
修改后的电路图如下：



仿真验证如下：



可以看见基本符合要求，输入的序列为 1100111001，在 111001 的最后一位输出了 1，验证成功。

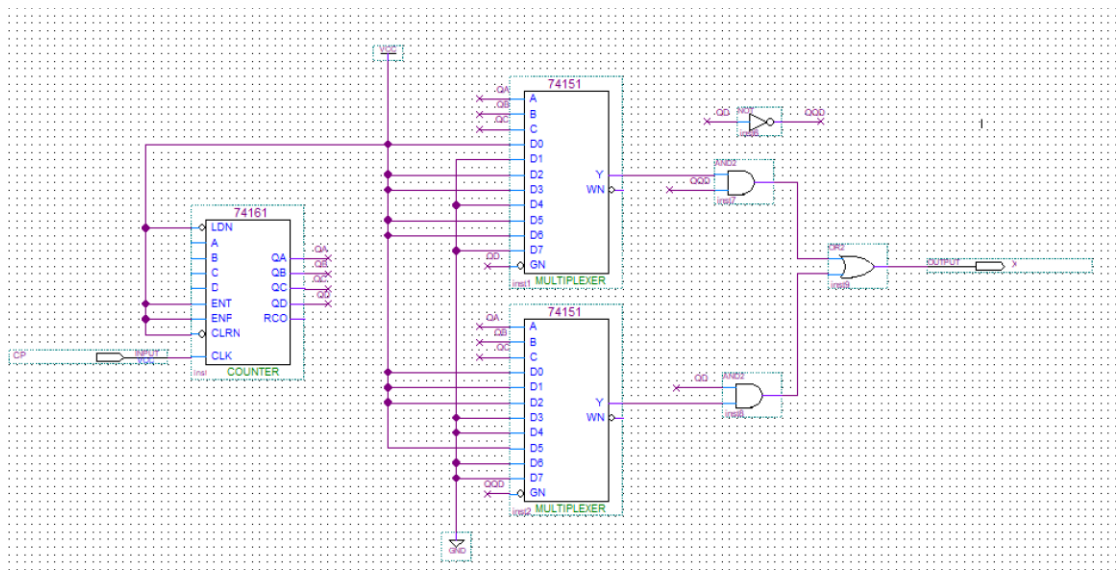


而这个序列的输入为 11100111001，在 111001 的最后一位输出了 1，但是 11001 不符合要求，没有输出 1。

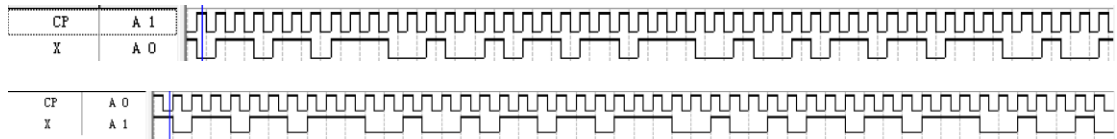
5，用两个 151 和一个 161 设计序列 1011011011100100 发生器

故当 D=0 时前一个 151 工作，当 D=1 时后一个 151 工作

设计出电路图如下：

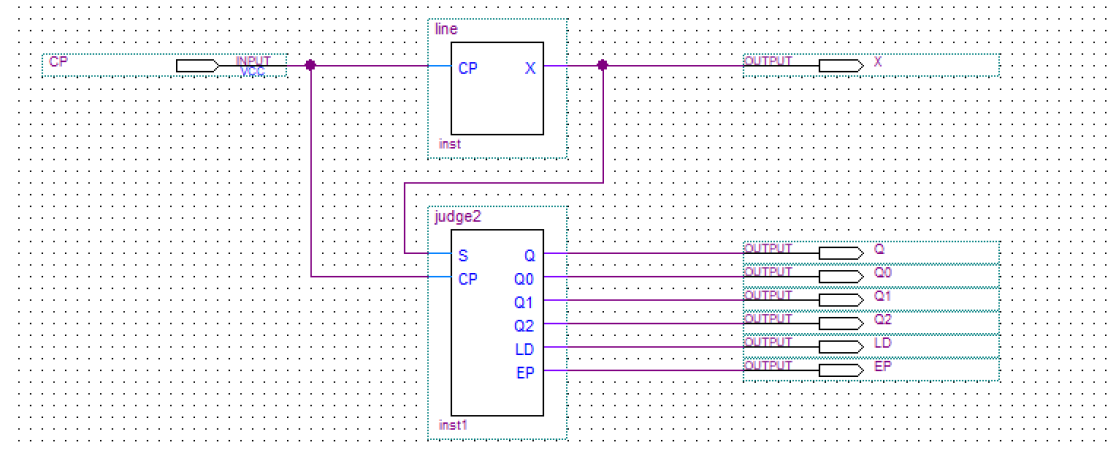


仿真结果如下：

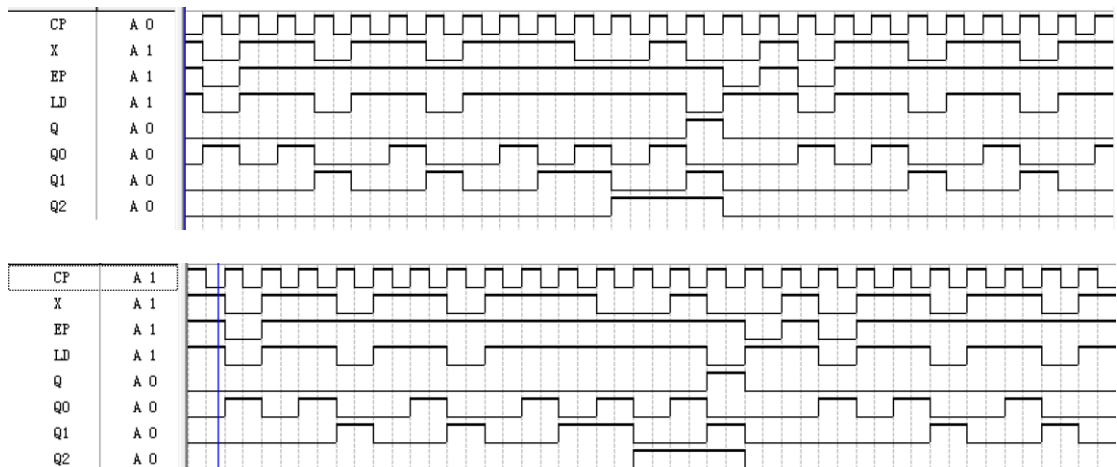


符合输出 1011011011100100 的要求

封装两个原件并画出电路图

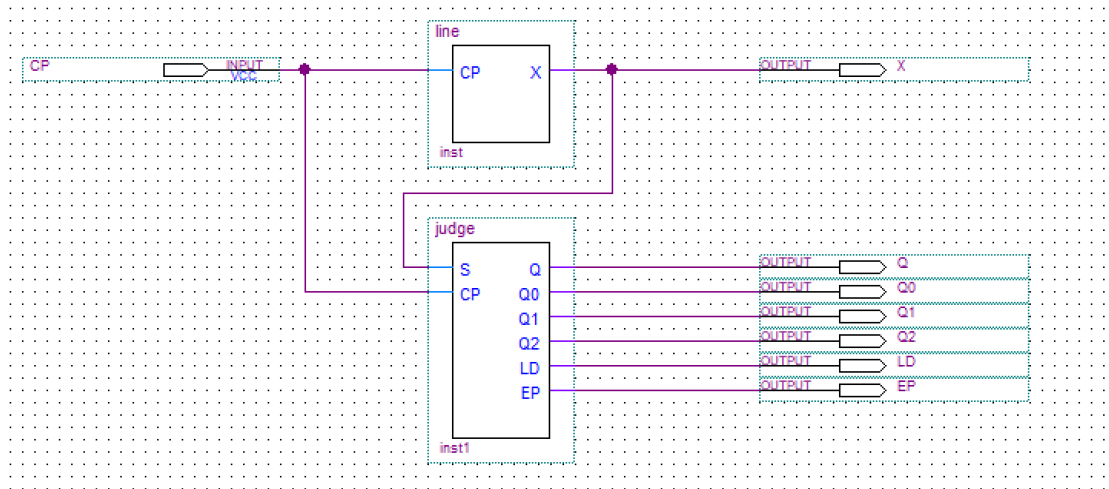


仿真结果如下：

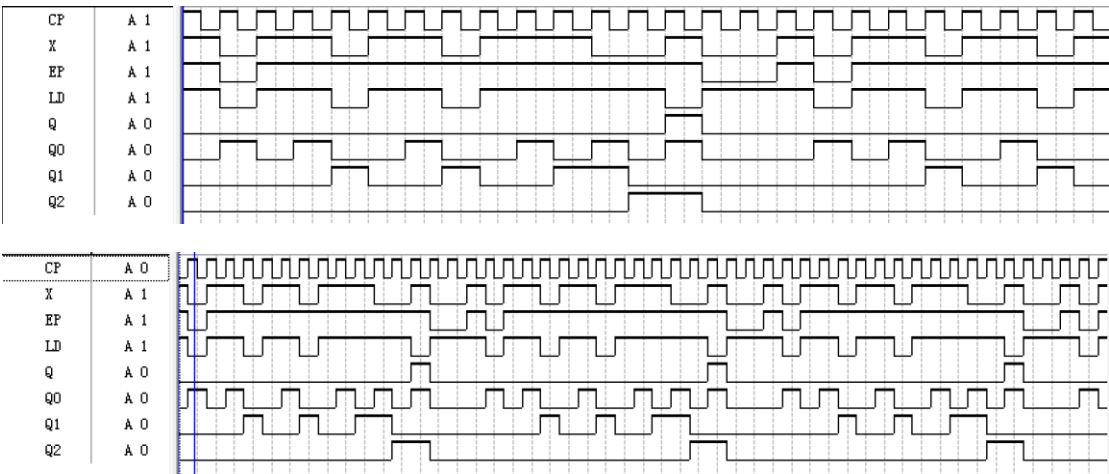




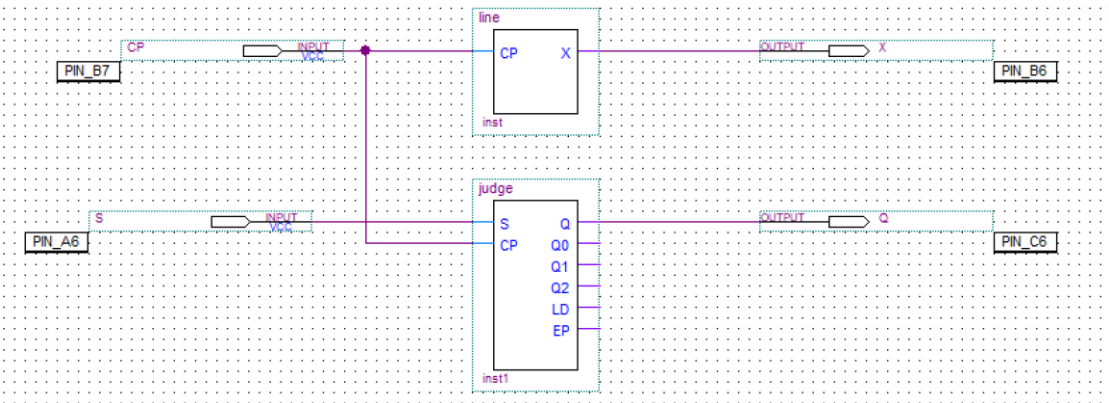
发现存在错位现象，因为 CP 上升沿时，x 的上升沿默认为 0，x 的下降沿默认为 1  
更改为原本 judge 的电路图：



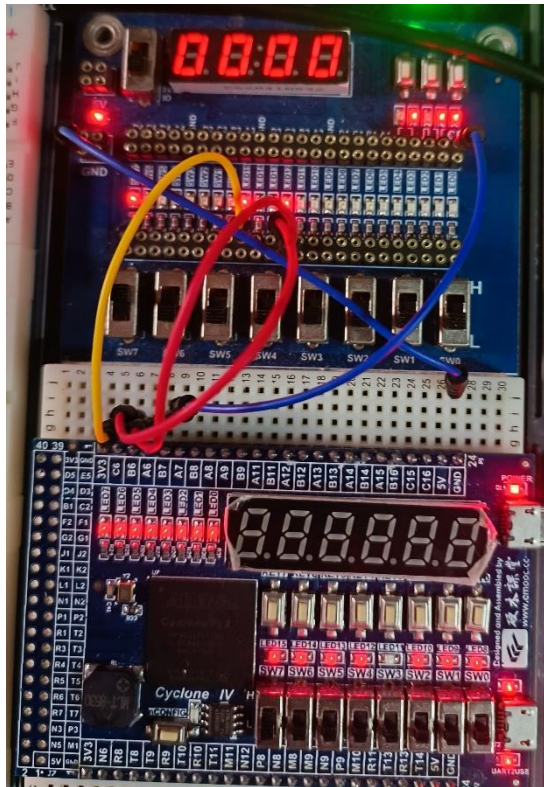
仿真结果如下



发现 judge 符合实际情况，所以采取第一种状态图设计  
重新分配引脚



下载仿真成功



### 三、实验内容

#### 1、实验内容：

(1) 必做：用二进制编码设计一个“111001”序列检测器，对串行输入序列进行检测，当连续检测到 6 个码元符合检测码“111001”时，检测器输出为 1

已完成（预习报告）

选做：用 One-Hot 编码设计一个“111001”序列检测器，对串行输入序列进行检测，当连续检测到 6 个码元符合检测码“111001”时，检测器输出为 1

注意：“111001”序列的最后一个码元不能作为当前待测序列的第一个码元

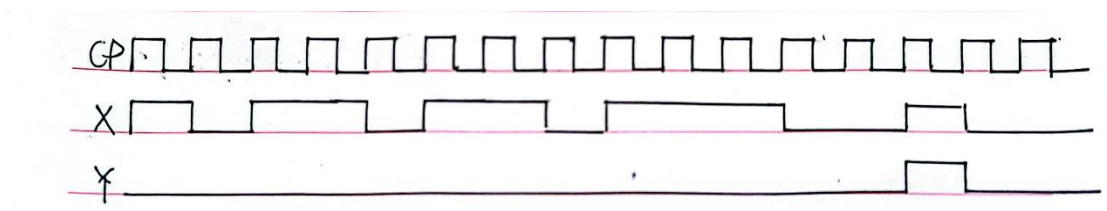
(2) 用静态（单步）的测试方法对实验结果进行验证

已完成（预习报告）

(3) 自行设计一个“1011011011100100”序列发生器用于对实验结果进行动态验证

已完成（预习报告）

(4) 用双踪示波器观察并记录动态验证结果。



### 四、实验使用仪器设备（名称、型号、规格、编号、使用状况）

FPGA 板 EP4CE6E22C8N

Quartus II

示波器

## 五、实验总结

本次实验遇到最关键的一个问题是当我把示波器检测端分别连接序列输出段和 CP 脉冲端时序列输出端会出错，但是我用检测端检测序列输出端和结果输出端时不会出现错误，经过和老师同学的交流和验证，我们发现这个问题源自于 FPGA 的引脚接入问题，我们出错的原因是输入输出这些引脚过于接近从而出现了错误，之后通过重新分配引脚把引脚调整为间隔一个后解决了这个问题。

本次实验的目的是用二进制编码设计一个“111001”序列检测器，对串行输入序列进行检测，当连续检测到 6 个码元符合检测码“111001”时，检测器输出为 1。通过实验，我成功地实现了这一目的，设计了一个基于状态机的序列检测器，用原理图输入方式在 Quartus II 软件中进行了仿真和下载，用示波器观察了动态验证结果，证明了序列检测器的正确性和可行性，掌握了时序逻辑电路的分析和设计方法，以及可编程数字系统设计的流程和技巧。

实验结果表明，序列检测器能够准确地识别出输入序列中的“111001”子序列，并在子序列的最后一个码元时输出 1，与理论预期一致。实验结果具有一定的意义和价值，因为序列检测器在通信、密码、编码等领域有着广泛的应用，可以用于检测信号的同步、错误、特征等，提高信号的质量和安全性。

通过本次实验，我进一步学习了时序逻辑电路的设计方法，掌握了状态机设计的流程。在使用 Quartus II 软件时，也加深了对其使用方法的理解。通过仿真验证，我对设计方案的正确性有了更深的认识。

总的来说，本次实验使我对数字电路设计有了更深入的理解，提高了我的设计能力和实践能力。同时，也加深了对 Quartus II 软件的掌握和应用经验。

## 六、参考资料（预习、实验中参考阅读的资料）

《数字集成电路数据手册》，国防工业出版社

《数字逻辑与数字系统》，王银城等编著，清华大学出版社

《数字逻辑与数字系统设计》，陈宏等编著，高等教育出版社