

东南大学电工电子实验中心

实 验 报 告

课程名称： 数字与逻辑电路实验 A

第二次实验

实验名称： 可编程数字逻辑设计基础

院（系）： 自动化 专 业： 自动化

姓 名： 邹滨阳 学 号： 08022305

实 验 室： 金智楼电子技术 4 室 105 实验组别： 无

同组人员： 无 实验时间： 2023 年 11 月 12 日

评定成绩： _____ 审阅教师： _____

一、实验目的

- 1、了解可编程数字系统设计的流程
- 2、掌握 Quartus 软件的使用方法
- 3、掌握自底向上数字电路设计方法
- 4、掌握竞争和冒险的基本概念和电路时延分析方法。

二、实验原理（预习报告内容）

1、访问 MOOC 平台第二章“竞争和冒险现象”和第五章，预习和本实验相关的内容

- 2、学习实验教材 2.9 节“竞争和冒险现象”；
- 3、学习实验教材第 7 章“可编程数字系统设计基础”；
- 4、了解二进制加减运算相关硬件算法
- 5、了解二进制码转 BCD 码相关硬件算法
- 6、参考附录“Quartus II 使用简介”，第 8 周课前完成必做实验内容 4 位全加器和 4 位全减器的设计方案，

用 Quartus 原理图输入法完成原理图绘制。

- 7、第 9 周课前完成必做实验内容 BCD 加减器的设计方案，并完成原理图绘制

1、竞争和冒险：

竞争和冒险现象是数字电路中的一种常见的问题，它们是由于信号在不同的路径上传输的时间不一致而导致的。竞争是指当一个逻辑门的两个输入端的信号同时向相反方向变化时，从变化开始到达稳定状态所需的时间不同的现象。冒险是指由于竞争而在电路的输出端可能产生不应有的尖峰干扰脉冲的现象。竞争不一定会导致冒险，但冒险一定是由竞争引起的

2、四位全加器设计：

（1）半加器

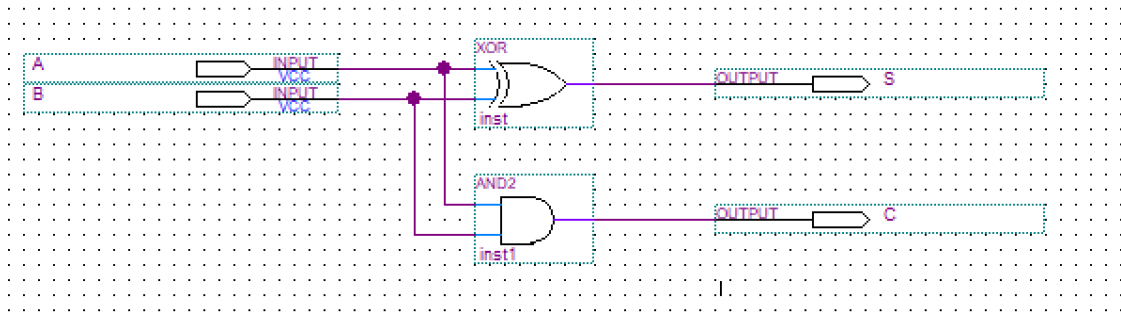
半加器真值表

A	B	C	S
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	0

所以 c 与 s 的逻辑表达式如下

$$S = \overline{A}B + A\overline{B} \quad C = AB$$

所以可以设计出半加器的电路图如下：



将半加器封装用于之后的实验

(2) 一位全加器

全加器真值表

A	B	C _{i-1}	S	C _i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

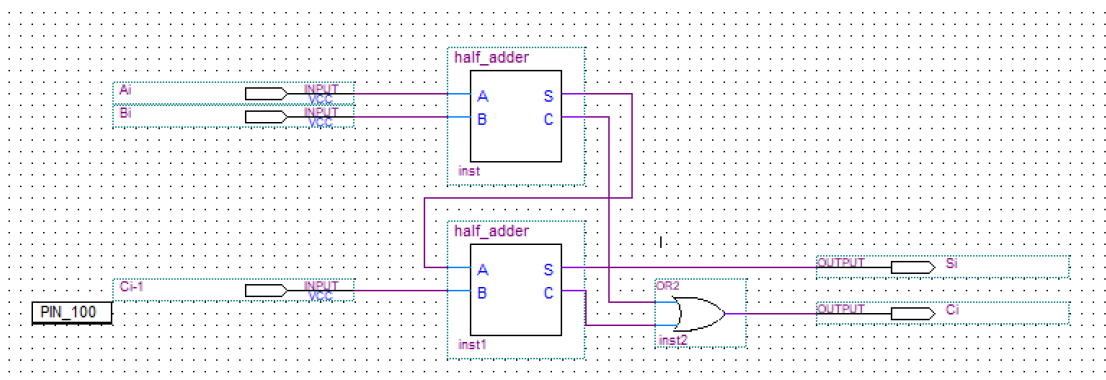
所以 S 和 C_i 的逻辑表达式如下：

$$S = (\overline{A}B + A\overline{B})\overline{C} + (\overline{A}\overline{B} + AB)C$$

$$C_{i+1} = A_iB_i + B_iC_i + C_iA_i$$

但实际上可以通过两个半加器进行简化设计，即半加器做两次，然后对进位 C 进行或运算，得到 C_{i+1}，同时通过两次半加器得到 S

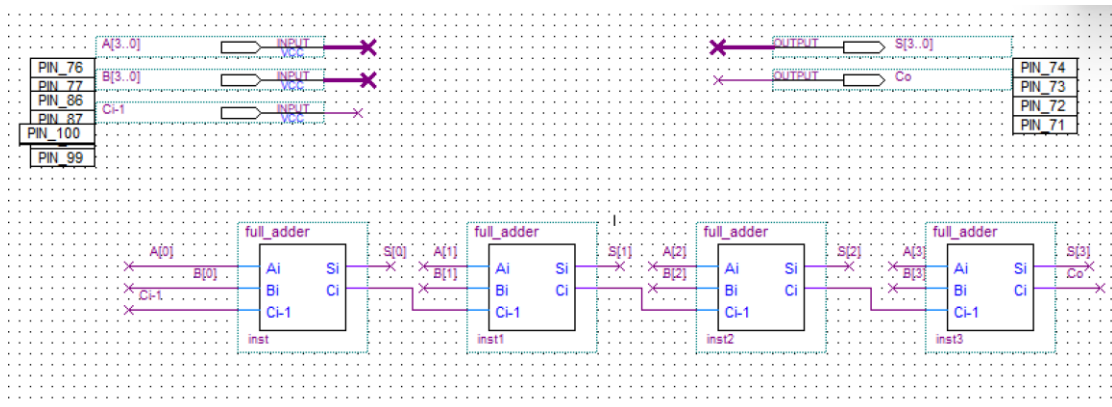
所以可以设计出全加器的电路图如下：



将全加器封装用于之后的实验

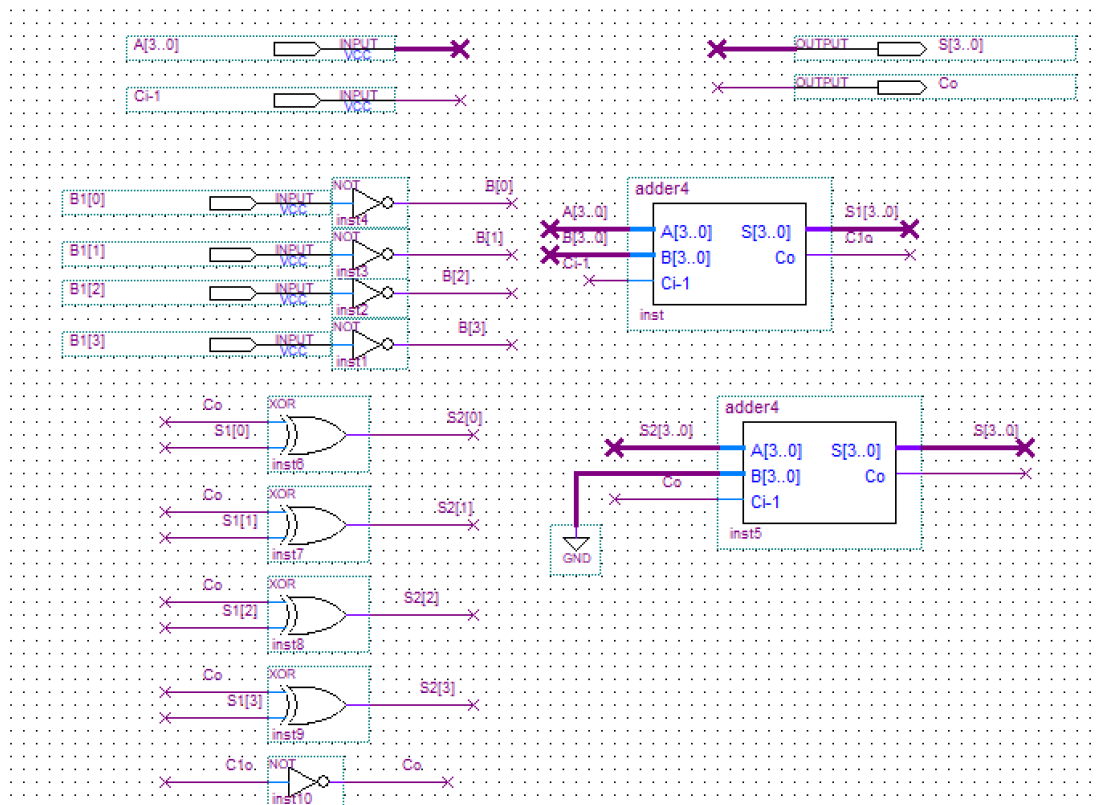
(3) 四位行波加法器

利用四个一位全加器并进行串联可以得到四位行波加法器，并用总线进行连接方便输入与输出，电路图如下



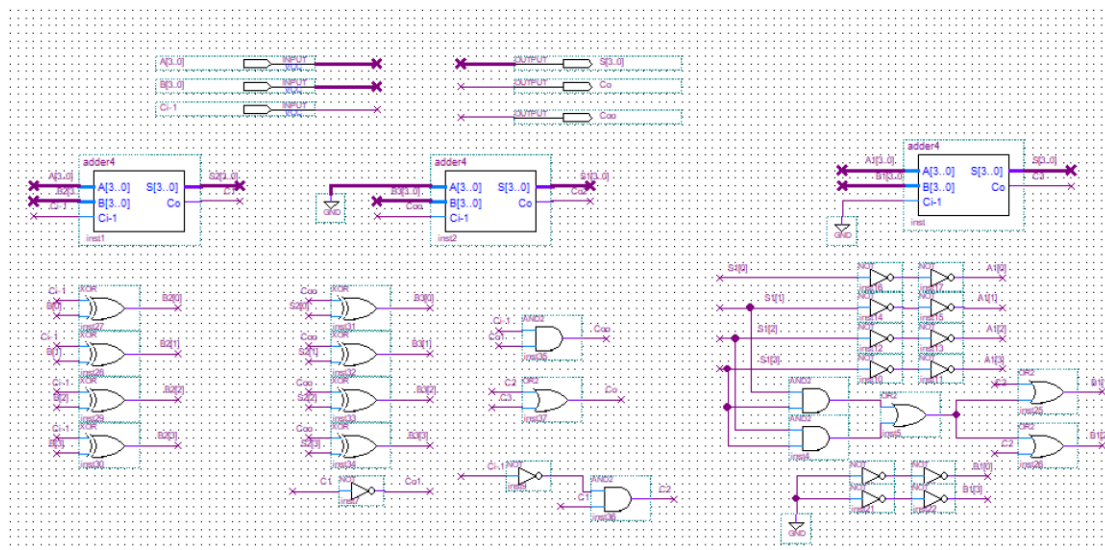
3. 四位全减器设计

可以通过减法器的性质得出，全减器实际上可以由全加器改装而来，具体来说就是通过两次加法器，第一个加法器用于把 A 与 B 的补码相加，然后根据实际情况，进位为 1，代表为正数，第二个加法器不进行操作，如果进位为 0，代表为负数，这时候就要用第二个加法器对结果进行补码到源码的转化，设计出的减法器原理图如下



4. BCD 加减器器设计

先设计 BCD 加法器，利用原本的四位全加器实现，即当若原本输出的结果大于 10 时，利用加法器自动加六，改进原本的全加器如下，可以先用一个全加器进行二进制加减，再用一次全加器转化为 BCD 码，其中 D0 的逻辑表达式为 $D0 = CO + B3B2 + B3B1$ 由此可以设计出 BCD 加法器



对于以上设计，我觉得最关键的地方在于符号位和进位的处理，对于符号位实际上是由最开始的逻辑变量和第一次加法的进位共同决定的，如下表格

逻辑变量 Ci-1	进位 C1	C1 取反	Coo 正数与否（0 正）
0	1	0	0
0	0	1	0
1	1	0	0
1	0	1	1

可见如果对 C1 取反符号位被简化成与运算 $Coo = (C1 \text{ 非}) \text{ 与 } Ci-1$

而进位有两个来源，一个是第一个的加法器运算，一个是 BCD 导致的进位，BCD 进位源自于最后一个加法器的进位 C3，而第一给加法器进位来自于 C1，显然要考虑减法时的情况，表格如下：

Ci-1	C1	C3	Co
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

所以可见 $Co = ((Ci-1 \text{ 非}) \text{ 与 } C1) \text{ 或 } C3$

三、 实验仪器（实验过程中用到的仪器设备型号，使用情况，使用软件）

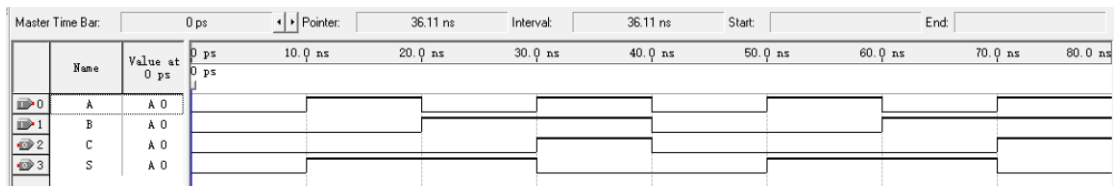
FPGA 板 EP4CE6E22C8N

Quartus II

四、 实验记录

1、 4 位全加器

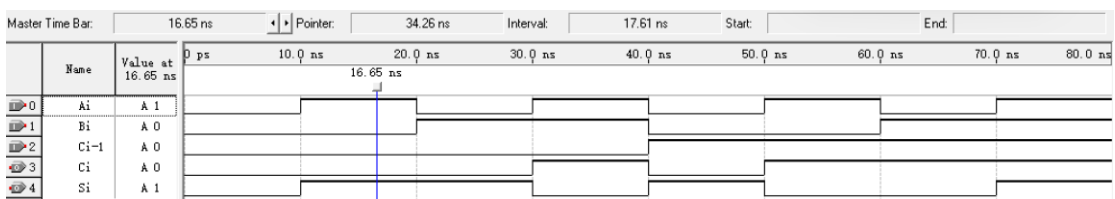
- 1) 观察并记录实验箱上的 FPGA 型号，新建一个 Project，器件选用实验箱上的 FPGA
- 2) 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证；



其中 A 和 B 是参加计算的数，而 C 是进位，S 是本位的结果

3) 点击“File” “Create/Update” “Create Symbol File for Current File” 菜单项，将 1 位半加器封装成元件。

新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证；

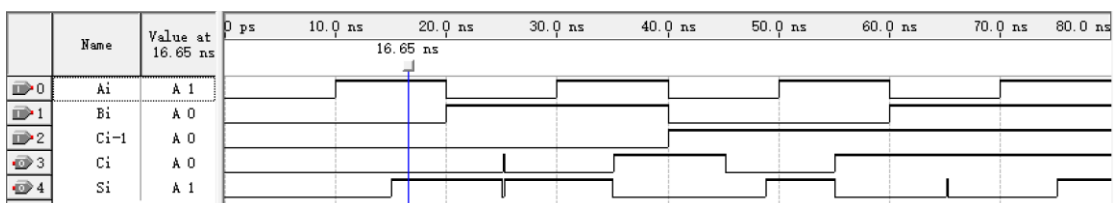


其中 A 和 B 是参加计算的数, Ci-1 是上一位进位，而 Ci 是本位进位，S 是本位的结果

4) (选做) 对 1 位全加器，进行时序仿真，并做时延分析，要求：

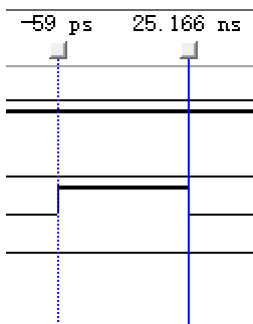
a) 测量 A 第 1~4 个上升沿到对应的 S 输出之间的延迟时间；

	Input Port	Output Port	RR	RF	FR	FF
1	Ai	Ci	5.095			5.166
2	Ai	Si	5.094	5.026	5.234	5.100
3	Bi	Ci	5.107			5.178
4	Bi	Si	5.107	5.035	5.234	5.114
5	Ci-1	Ci	8.870			9.011
6	Ci-1	Si	8.849	8.735	9.086	8.965



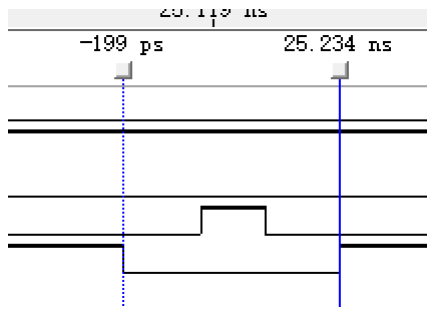
由表和图可见 A 到 S 输出之间的延迟时间为 5.166ns

b) 对输出 S 的毛刺进行测量和分析；



可见 S 毛刺为 59ns

c) 对输出 C 的毛刺进行测量和分析；



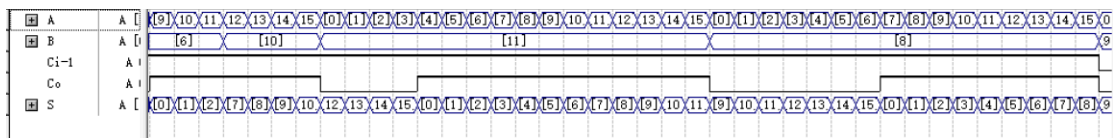
可见 C 毛刺为 199ns

d) 对测得的时延结果进行分析

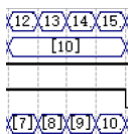
时延分析：由于全加器的电路结构较简单，所以其时延较小，但是由于电路中存在多个逻辑门的级联，所以会产生一定的毛刺，即瞬时的错误输出。毛刺的大小和持续时间与逻辑门的数量和类型有关，一般来说，毛刺越小越短越好，因为它们可能会影响后续电路的正确性。

5) 将 1 位全加器封装成元件，新建原理图文件，调用 4 个全加器实现一个 4 位行波加法器，用功能仿真进行验证，用“Tools” “Netlist Viewers” “RTL Viewer” 查看电路综合结果；

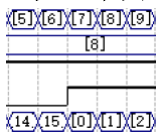
功能仿真结果：



其中 A 与 B 为加数，Ci-1 为 A0 上一位的进位，Co 为 A3 对下一位的进位，S 为 A+B 的结果

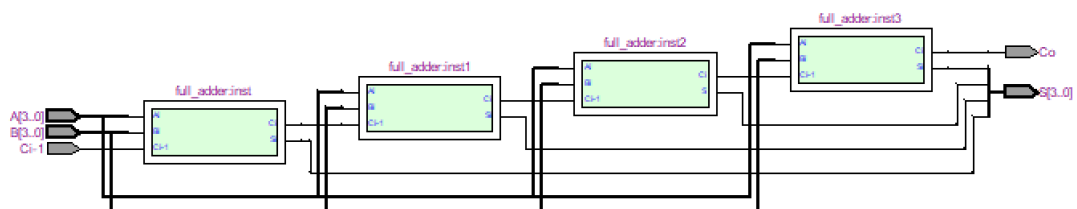


比如这个图中， $A+B+Ci-1 \geq 16$ ，所以 $Co=1$ ，而 $S=A+B+Ci-1-16=12+10+1-16=7$



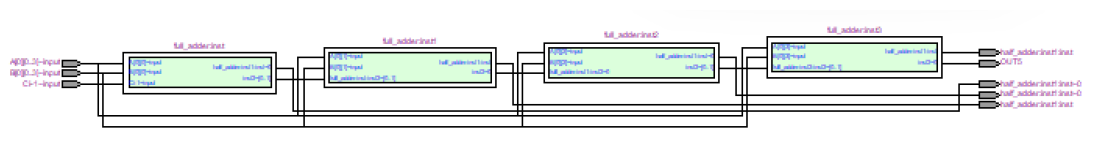
比如这个图中，当 $A+B+Ci-1 < 16$ ，所以 $Co=0$ ，而 $S=A+B+Ci-1=5+8+1=14$

电路综合结果：

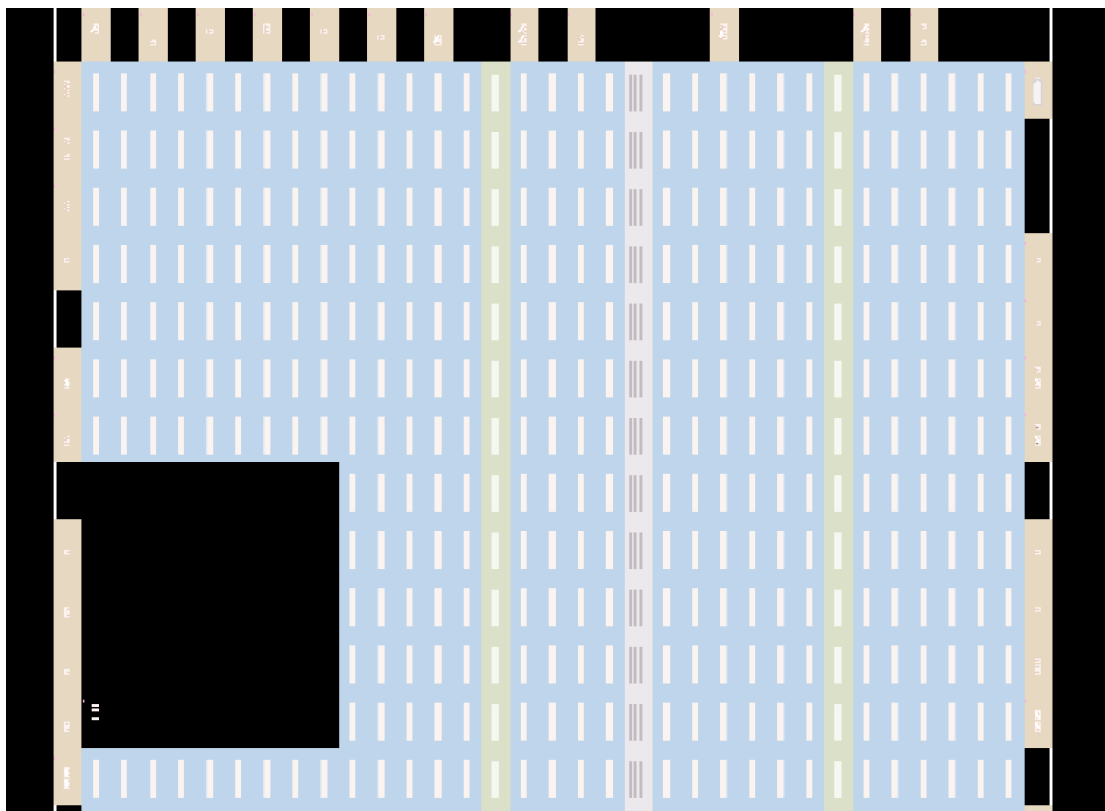


6) 适配编译，用“Tools” “Netlist Viewers” “Technology Map Viewer” 查看电路 Map 结果；

电路 Map 结果：



用“Tools” “Chip Planner” 查看器件适配结果；
原件适配器结果：



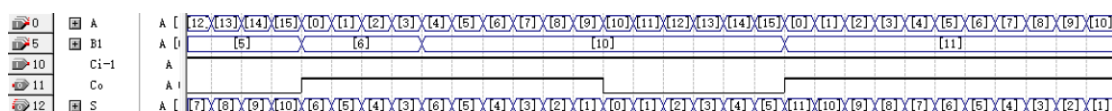
7) 将 4 位全加器下载到实验箱，连接逻辑电平开关进行功能验证；
已验证成功

2、 4 位全减器

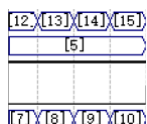
1) 参看 7.6 节“总线（Bus）功能”，将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件；

2) 利用封装好的 4 位全加器，实现 4 位全减器。其中输入为 4 位二进制无符号数，输出结果为 5 位二进制数，其中最高位为符号位。电路算法要求采用二进制求补相加方式。

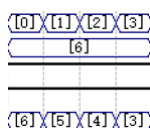
仿真结果：



其中 A 代表被减数，B 代表减数，Ci-1 代表逻辑判断是否是减法，Co 是符号位，当 Co=0 时为正数，当 Co=1 时为负数，S 是结果



在这个图里面，显然 $A-B>0$ ，所以 $Co=0$ ， $S=A-B=12-5=7$



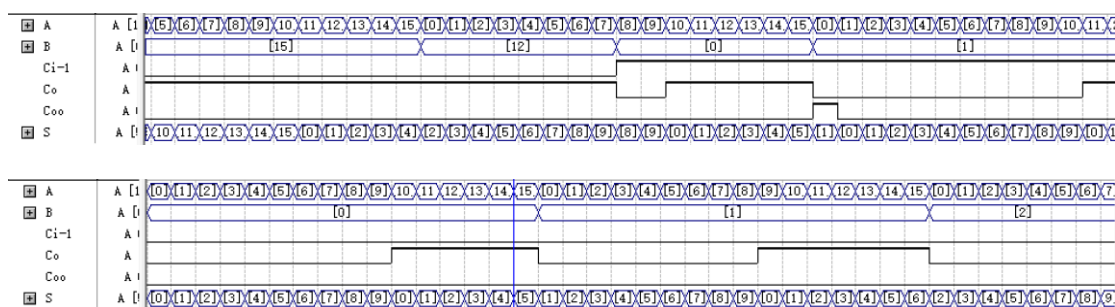
在这个图里面，显然 $A-B<0$ ，所以 $Co=1$ ， $S=A-B=0-6=-6$

3) 将 4 位全减器下载到实验箱，连接逻辑电平开关进行功能验证（第 8 周课内验收）；

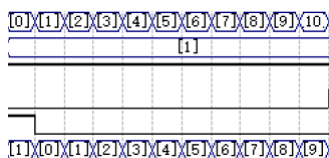
已验证成功

3、BCD 加减器

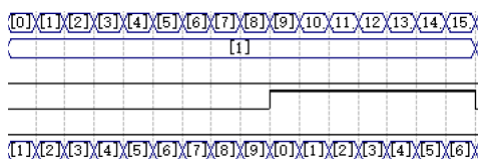
1) 在前面加法器和减法器的基础上，设计 BCD 校正电路，实现 1 位 BCD 加减器，通过一个逻辑电平开关，实现加法和减法的切换。



其中 A, B 代表加数与被减数和减数， $Ci-1$ 为判定条件，其中当 $Ci-1$ 等于 0 时为加法，当 $Ci-1=1$ 时为减法，而 Co 为进位， Coo 为符号其中等于 0 时为正，等于 1 时为负，S 是结果

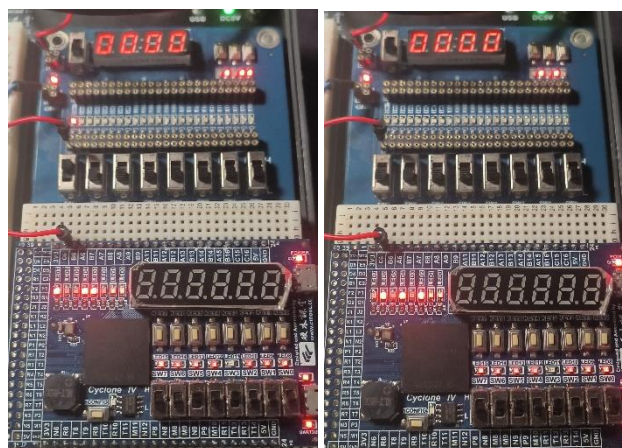
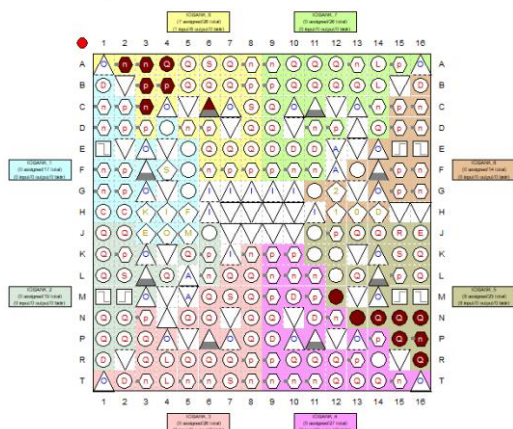


在这张图中， $Ci-1=1$ 是减法，根据 $A-B$ 来判断，比如当 $A=0$ $B=1$ 时， $A-B=-1$ ，这时 $S=1$ ， $Coo=1$ 。而 $A=1$ $B=1$ 时， $A-B=0$ ，这时 $S=0$ ， $Coo=0$



在这张图中， $Ci-1=0$ 是加法，根据 $A+B$ 来判断，比如当 $A=0$ $B=1$ 时， $A+B=1$ ，这时不需要进位， $S=1$ ， $Co=0$ ， $Coo=0$ 。而 $A=9$ $B=1$ 时， $A+B=10$ ，这时需要进位， $S=0$ ， $Coo=1$

2) 将 1 位 BCD 加减器下载到实验箱, 连接逻辑电平开关进行功能验证 (第 9 周课内验收);



已验证成功

五、实验分析 (根据实验记录分析描述各实验结果是否符合设计要求)

实验分析: 本实验设计了 4 位全加器、4 位全减器和 1 位 BCD 加减器, 用原理图的方式实现了电路的设计、仿真和下载。通过功能仿真和时序仿真, 验证了电路的正确性和性能。通过 RTL Viewer、Technology Map Viewer 和 Chip Planner, 观察了电路的综合、映射和适配的结果。通过实验箱上的逻辑电平开关, 测试了电路的实际运行效果。实验结果表明, 各电路均符合设计要求, 能够实现预期的功能。

六、实验小结 (总结实验完成情况, 对设计方案和实验结果做必要的讨论, 简述实验收获和体会)

实验小结: 本实验是数字逻辑与数字系统设计的第二个实验, 是对 FPGA 的初步认识和使用。通过本实验, 我掌握了 Quartus II 软件的基本操作和流程, 了解了 FPGA 的原理和特点, 熟悉了 EP4CE6E22C8N 的使用方法和注意事项。我还学习了半加器、全加器、行波加法器、全减器和 BCD 加减器的原理和设计方法, 以及时延和毛刺的分析方法。我感受到了数字逻辑与数字系统设计的魅力和挑战, 也体会到了实验的乐趣和收获。

七、参考资料 (记录实验过程阅读的有关资料, 包含资料名称、作者等)

《数字集成电路数据手册》, 国防工业出版社

《数字逻辑与数字系统》, 王银城等编著, 清华大学出版社

《数字逻辑与数字系统设计》, 陈宏等编著, 高等教育出版社