**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH**

**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**

**KHOA KỸ THUẬT MÁY TÍNH**

---o0o---



**<Tăng Hoàng Thức>**

**<Hà Tấn Thành>**

**ĐỒ ÁN 1**

**<HIỆN THỰC HỆ THỐNG SoC CHO CÁC BỘ LỌC**

**DÙNG TRONG TÍN HIỆU ĐIỆN TIM (ECG)>**

**<SoC Implementation for ECG Signal Filtering>**

**CỬ NHÂN <KỸ THUẬT MÁY TÍNH>**

**TP. HỒ CHÍ MINH, <2025>**

**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH**

**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**

**KHOA KỸ THUẬT MÁY TÍNH**

---o0o---



**<TĂNG HOÀNG THỨC > – <22521453>**

**<HÀ TẤN THÀNH> – <22521345>**

**ĐỒ ÁN 1**

**<HIỆN THỰC HỆ THỐNG SoC CHO CÁC BỘ LỌC**

**DÙNG TRONG TÍN HIỆU ĐIỆN TIM (ECG)>**

**<SoC Implementation for ECG Signal Filtering>**

**CỬ NHÂN <KỸ THUẬT MÁY TÍNH>**

**GIẢNG VIÊN HƯỚNG DẪN**

**<TS. TRẦN THỊ ĐIỂM>**

**TP. HỒ CHÍ MINH, <2025>**

# **LỜI CẢM ƠN**

Để hoàn thành đồ án này, chúng em xin chân thành gửi lời cảm ơn sâu sắc nhất tới giảng viên hướng dẫn, TS. Trần Thị Điểm, người đã tận tình hướng dẫn, động viên và hỗ trợ chúng em trong suốt quá trình thực hiện đề tài.

Chúng em cũng xin gửi lời cảm ơn đến quý thầy cô trong Khoa Kỹ thuật Máy tính, Trường Đại học Công nghệ Thông tin – Đại học Quốc gia TP. Hồ Chí Minh, những người đã trang bị cho chúng em kiến thức, kỹ năng chuyên môn và tạo điều kiện tốt nhất để chúng em có thể hoàn thành đồ án này.

Cuối cùng, chúng em xin chân thành cảm ơn gia đình, bạn bè đã luôn động viên, hỗ trợ và tạo mọi điều kiện thuận lợi nhất trong suốt quá trình học tập và thực hiện đồ án.

Trong quá trình thực hiện không thể tránh khỏi những thiếu sót, chúng em rất mong nhận được sự góp ý và chỉ dẫn từ quý thầy cô để đồ án được hoàn thiện hơn.

Xin chân thành cảm ơn!

*TP. Hồ Chí Minh, ngày 23 tháng 6 năm 2025*

*Tăng Hoàng Thức – Hà Tấn Thành*

**MỤC LỤC**

[**LỜI CẢM ƠN** 1](#_Toc201573229)

[**DANH MỤC HÌNH** 3](#_Toc201573230)

[**Chương 1. TỔNG QUAN** 4](#_Toc201573231)

[**1.1. Giới thiệu đề tài** 4](#_Toc201573232)

[**1.2. Tầm quan trọng của việc xử lý tín hiệu ECG** 4](#_Toc201573233)

[**1.3. Tổng quan về SoC** 4](#_Toc201573234)

[**1.4. Mục tiêu và phạm vi nghiên cứu** 4](#_Toc201573235)

[**Chương 2. TỔNG QUAN VÀ CƠ SỞ LÝ THUYẾT** 5](#_Toc201573236)

[**2.1. Tổng quan về tín hiệu điện tim (ECG)** 5](#_Toc201573237)

[**2.2. Các kỹ thuật xử lý tín hiệu ECG** 5](#_Toc201573238)

[**2.3. Khái niệm và kiến trúc của hệ thống SoC** 6](#_Toc201573239)

[**2.4. Công nghệ FPGA và ASIC trong hệ thống SoC** 6](#_Toc201573240)

[**CHƯƠNG 3. THIẾT KẾ VÀ HIỆN THỰC HỆ THỐNG SoC** 8](#_Toc201573241)

[**3.1. Phân tích yêu cầu chức năng và hiệu năng** 8](#_Toc201573242)

[**3.2. Lựa chọn nền tảng hiện thực và công cụ phát triển** 8](#_Toc201573243)

[**3.3. Thiết kế kiến trúc tổng thể** 9](#_Toc201573244)

[**3.3.1. Thiết kế khối lọc số FIR** 9](#_Toc201573245)

[**3.3.2. Thiết kế khối giao tiếp và điều khiển** 9](#_Toc201573246)

[**3.3.3. Thiết kế khối bộ nhớ và ngoại vi (tùy chọn)** 9](#_Toc201573247)

[**3.3.4. Sơ đồ kết nối IP của hệ thống SoC.** 10](#_Toc201573248)

[**3.4. Quy trình hiện thực trên FPGA** 10](#_Toc201573249)

[**3.5. Các kỹ thuật tối ưu hiệu suất và tài nguyên** 10](#_Toc201573250)

[**Chương 4. THỬ NGHIỆM VÀ ĐÁNH GIÁ KẾT QUẢ** 11](#_Toc201573251)

[**4.1. Kiểm thử mô hình bộ lọc** 11](#_Toc201573252)

[**4.1.1. Tín hiệu thử nghiệm (synthetic/MIT-BIH)** 11](#_Toc201573253)

[**4.1.2. Quy trình kiểm thử trên mô phỏng và DE2** 11](#_Toc201573254)

[**4.1.3. Hiển thị và phân tích đầu ra trên console** 11](#_Toc201573255)

[**4.2. Kết quả đạt được** 11](#_Toc201573256)

[**Chương 5. TỔNG KẾT** 15](#_Toc201573257)

[**5.1. Kết luận** 15](#_Toc201573258)

[**5.2. Hướng phát triển trong tương lai** 15](#_Toc201573259)

[**5.3. Tài liệu tham khảo** 15](#_Toc201573260)

# **DANH MỤC HÌNH**

Hình 2.1 Tín hiệu điện tim (ECG) 5

Hình 2.2 Kiến thúc bộ lọc FIR 6

Hình 2.3 Sơ đồ kết nối hệ thống SoC 6

Hình 2.4 FPGA và ASIC 7

Hình 3.1 DE2 board 8

Hình 3.2 Sơ đồ kết nối IP bộ lọc BPF trong hệ thống SoC 10

Hình 4.1 Waveform lọc tín hiệu ECG 11

Hình 4.2 Thống kê sử dụng tài nguyên FPGA 12

Hình 4.3 Thống kê công suất tiêu thụ của hệ thống trên FPGA 13

Hình 4.4 Timing Summary 13

Hình 4.5 Fmax 14

**Chương 1. TỔNG QUAN**

**1.1. Giới thiệu đề tài**

* Tín hiệu điện tim (ECG) đóng vai trò đặc biệt quan trọng trong chẩn đoán và theo dõi tình trạng sức khỏe tim mạch của con người. Việc thu nhận tín hiệu ECG thường gặp phải nhiều loại nhiễu khác nhau, ảnh hưởng trực tiếp đến chất lượng và độ tin cậy của thông tin y khoa.
* Để giải quyết vấn đề này, các hệ thống xử lý tín hiệu điện tim cần được cải tiến liên tục. Hệ thống SoC (System-on-Chip) được xem là giải pháp hiệu quả nhờ khả năng tích hợp cao, tiết kiệm năng lượng, nhỏ gọn và khả năng xử lý mạnh mẽ.

## **1.2. Tầm quan trọng của việc xử lý tín hiệu ECG**

* Xử lý tín hiệu ECG là bước quan trọng giúp loại bỏ nhiễu, tăng cường độ chính xác, giúp bác sĩ đưa ra chẩn đoán kịp thời và chính xác. Với sự phát triển của công nghệ IoT và thiết bị di động, nhu cầu về các thiết bị nhỏ gọn, hiệu quả và tiết kiệm năng lượng ngày càng cao.
* Việc áp dụng công nghệ SoC vào xử lý tín hiệu ECG mang lại lợi ích vượt trội, đáp ứng được những yêu cầu khắt khe về cả hiệu năng và kích thước thiết bị.

## **1.3. Tổng quan về SoC**

* SoC là hệ thống tích hợp toàn bộ các thành phần của máy tính hoặc hệ thống điện tử trên một chip đơn lẻ, bao gồm vi xử lý, bộ nhớ, khối xử lý tín hiệu, và các giao diện ngoại vi.
* Ưu điểm của SoC là giảm kích thước, giảm công suất tiêu thụ, tăng độ tin cậy và khả năng xử lý hiệu quả. SoC đã và đang được ứng dụng rộng rãi trong nhiều lĩnh vực như viễn thông, y tế, điều khiển tự động, và đặc biệt trong xử lý tín hiệu y sinh.

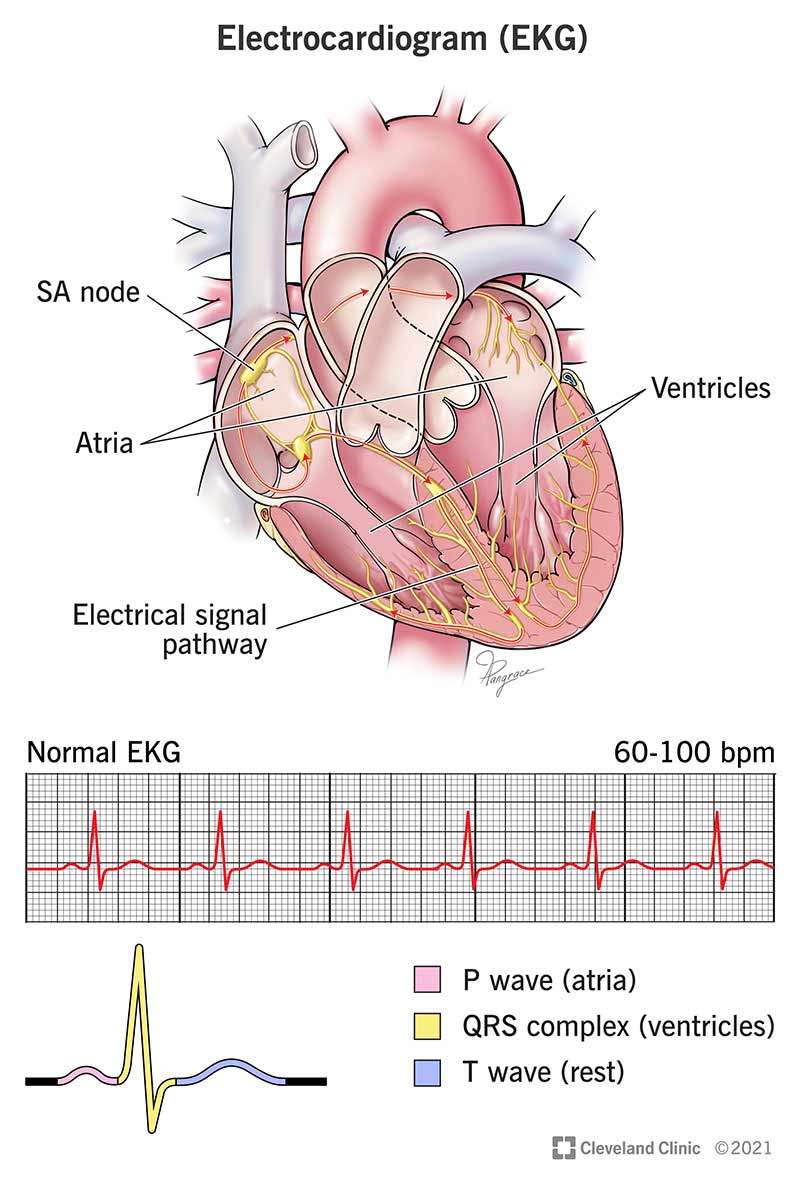
## **1.4. Mục tiêu và phạm vi nghiên cứu**

* Mục tiêu chính của đề tài là thiết kế, hiện thực và đánh giá hiệu quả của một hệ thống SoC chuyên dụng cho các bộ lọc xử lý tín hiệu ECG. Cụ thể, nghiên cứu tập trung vào:
* Thiết kế các bộ lọc tín hiệu điện tim trên nền tảng SoC.
* Đánh giá khả năng lọc nhiễu và độ chính xác của hệ thống.
* Thực hiện hiện thực hóa hệ thống trên nền FPGA để minh chứng khả năng ứng dụng thực tế.
* Phạm vi nghiên cứu giới hạn ở việc sử dụng FPGA để hiện thực các bộ lọc số FIR, đánh giá qua các mô phỏng và kết quả thực nghiệm.

# **Chương 2. TỔNG QUAN VÀ CƠ SỞ LÝ THUYẾT**

## **2.1. Tổng quan về tín hiệu điện tim (ECG)**

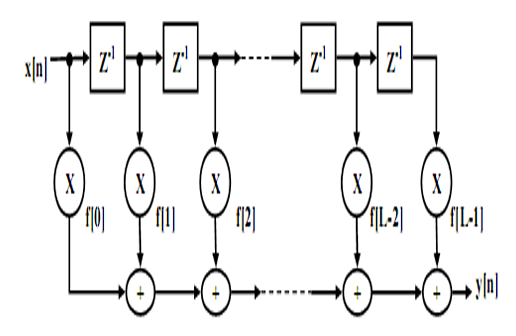
* Đặc điểm tín hiệu ECG Tín hiệu điện tim (ECG) là tín hiệu sinh lý quan trọng, thể hiện hoạt động điện của tim. ECG bao gồm các đặc điểm chính như sóng P, phức hợp QRS, và sóng T, mỗi đặc điểm này liên quan đến các giai đoạn co bóp của tim. Các đặc trưng này giúp xác định và chẩn đoán nhiều bệnh lý tim mạch.
* Các loại nhiễu thường gặp trong tín hiệu ECG Tín hiệu ECG thường gặp các loại nhiễu phổ biến như nhiễu đường dây điện (50Hz/60Hz), nhiễu cơ do chuyển động của bệnh nhân, nhiễu điện cực và nhiễu nền. Việc loại bỏ những nhiễu này là cần thiết để đảm bảo chất lượng tín hiệu phục vụ chẩn đoán y khoa.

****

Hình 2.1 Tín hiệu điện tim (ECG)

## **2.2. Các kỹ thuật xử lý tín hiệu ECG**

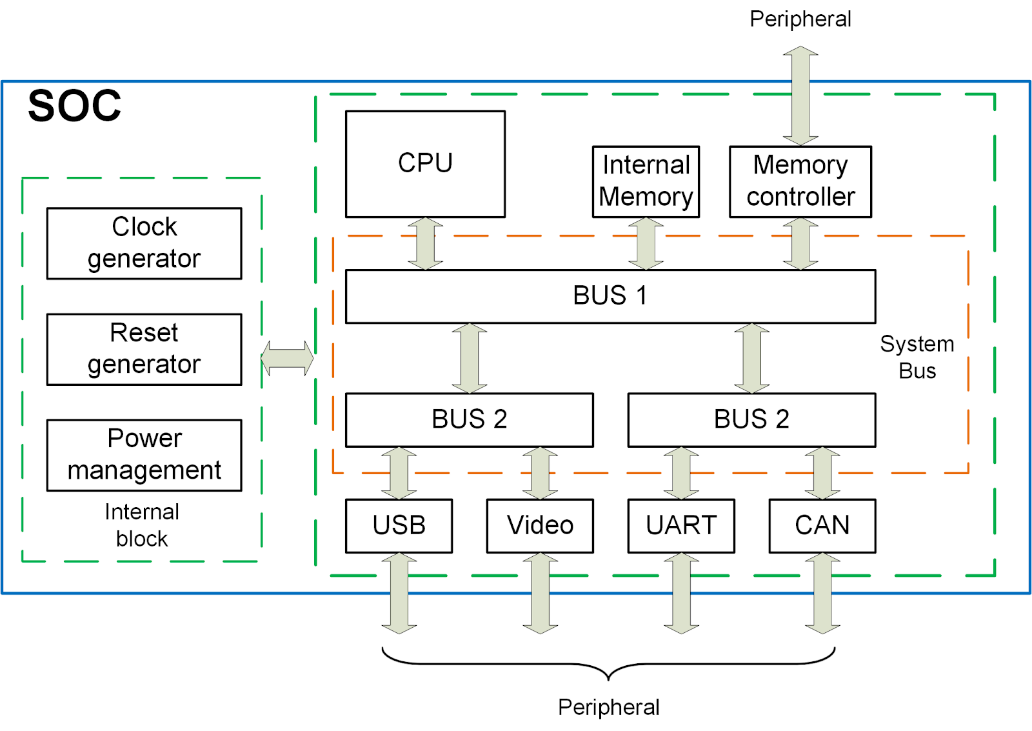
* Bộ lọc FIR (Finite Impulse Response) là bộ lọc tuyến tính có đáp ứng xung hữu hạn. Ưu điểm của bộ lọc FIR là tính ổn định cao, pha tuyến tính, và dễ dàng kiểm soát đáp ứng tần số. FIR được sử dụng rộng rãi trong xử lý tín hiệu ECG để loại bỏ nhiễu và làm rõ các đặc trưng cần phân tích.
* Bộ lọc IIR (Infinite Impulse Response) là bộ lọc có đáp ứng xung vô hạn. Bộ lọc IIR có ưu điểm là cần ít tài nguyên phần cứng hơn FIR, phù hợp cho các ứng dụng yêu cầu tiết kiệm tài nguyên và năng lượng, đặc biệt là khi hiện thực trên nền tảng SoC.



Hình 2.2 Kiến thúc bộ lọc FIR

## **2.3. Khái niệm và kiến trúc của hệ thống SoC**

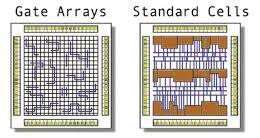
Hệ thống SoC (System-on-Chip) tích hợp đầy đủ các thành phần điện tử như vi xử lý, bộ nhớ, bộ xử lý tín hiệu và các giao diện ngoại vi vào một chip duy nhất. SoC có ưu điểm nổi bật như kích thước nhỏ gọn, công suất tiêu thụ thấp và hiệu suất xử lý cao, rất phù hợp cho ứng dụng trong lĩnh vực y tế và đặc biệt là xử lý tín hiệu điện tim.



Hình 2.3 Sơ đồ kết nối hệ thống SoC

## **2.4. Công nghệ FPGA và ASIC trong hệ thống SoC**

* Trong thế giới mạch tích hợp, mạch tích hợp chuyên dụng (ASIC - Application Specific Integrated Circuit) và mảng cổng có thể lập trình (FPGA - Field-Programmable Gate Array) là hai loại phổ biến nhất. ASIC là loại mạch được thiết kế đặc biệt cho một ứng dụng cụ thể và không thể chỉnh sửa sau khi đã được sản xuất thành chip.
* Điều này giúp ASIC đạt hiệu suất tối ưu và tiết kiệm năng lượng tối đa cho các tác vụ chuyên biệt. Ngược lại, FPGA có thể được lập trình lại nhiều lần sau khi sản xuất, cho phép linh hoạt tùy chỉnh để phù hợp với nhiều ứng dụng khác nhau. Cả hai loại IC này đều đóng vai trò quan trọng trong ngành công nghiệp điện tử, từ việc phát triển các thiết bị thông minh cho đến tối ưu hóa các hệ thống tự động hóa, đáp ứng nhu cầu ngày càng cao về hiệu suất và tính linh hoạt.
* FPGA được ưu tiên lựa chọn trong nghiên cứu này nhờ khả năng linh hoạt và tính thử nghiệm nhanh chóng cho việc hiện thực và đánh giá các bộ lọc tín hiệu ECG.



Hình 2.4 FPGA và ASIC

# **CHƯƠNG 3. THIẾT KẾ VÀ HIỆN THỰC HỆ THỐNG SoC**

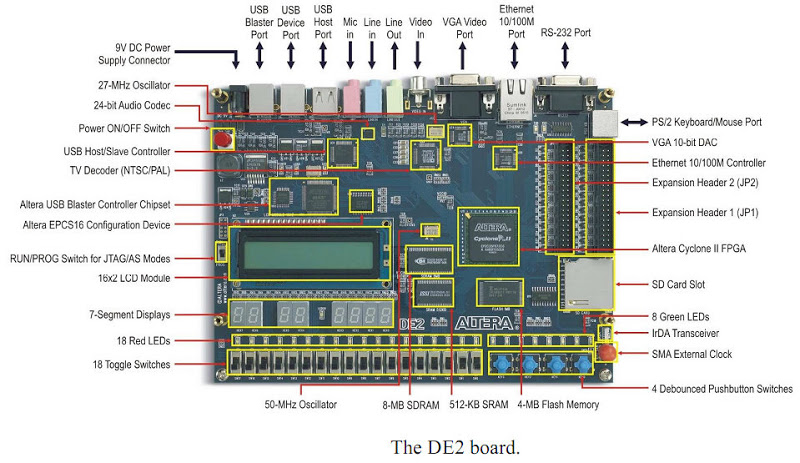
## **3.1. Phân tích yêu cầu chức năng và hiệu năng**

**Hệ thống SoC xử lý tín hiệu ECG phải đảm bảo:**

* Khả năng lọc nhiễu hiệu quả, đặc biệt là nhiễu EMG, thường xuất hiện trong khoảng tần số từ 20 Hz trở lên và có biên độ lớn.
* Giữ nguyên đặc trưng sinh lý quan trọng của ECG như sóng P, QRS, T, chủ yếu nằm trong dải 0.5 Hz – 40 Hz.
* Đảm bảo xử lý thời gian thực, không gây trễ trong giám sát tín hiệu sống.
* Tiêu thụ năng lượng thấp để phù hợp với các thiết bị y tế di động.
* Tối ưu tài nguyên phần cứng, tận dụng các khối nhân DSP và LUT có trên FPGA.

## **3.2. Lựa chọn nền tảng hiện thực và công cụ phát triển**

* **Nền tảng phần cứng:** Sử dụng kit DE2 với chip Altera Cyclone II EP2C35F672C6:
* Có sẵn bộ nhân phần cứng (DSP blocks), nhiều logic element (LEs).
* Có bộ nhớ RAM nhúng và giao tiếp ngoài (SDRAM, VGA, UART).
* Hỗ trợ ngôn ngữ Verilog HDL, Quartus II, và tích hợp mô phỏng trên ModelSim.



Hình 3.1 DE2 board

* **Công cụ phát triển:**
* Pycharm: Thiết kế và kiểm thử bộ lọc, sinh hệ số FIR.
* Quartus II: Tổng hợp (synthesize), phân tích thời gian, ánh xạ chân.
* ModelSim: Mô phỏng logic RTL.
* Verilog HDL: Mô tả hành vi phần cứng, bao gồm bộ lọc và điều khiển.

## **3.3. Thiết kế kiến trúc tổng thể**

### **3.3.1. Thiết kế khối lọc số FIR**

Loại lọc: Bộ lọc số FIR thông dải (bandpass) từ 0.5 Hz đến 40 Hz.

Cấu trúc: FIR song song sử dụng kiến trúc cộng nhánh cây (branched adder tree), giúp giảm độ trễ tới hạn (critical delay) so với cấu trúc nối tiếp.

Hệ số lọc: Sinh bằng code Python, định dạng Q15 hoặc Q16.14 để phù hợp với phần cứng cố định điểm.

Độ dài bộ lọc: Tùy vào yêu cầu suy hao ngoài dải (Rs) và độ gợn trong dải thông (Rp), ví dụ:

* Order: 36
* Sampling rate: 256 Hz

Cách song song hóa:

* Sử dụng nhiều khối nhân cộng chạy đồng thời.
* Các đầu ra cộng dồn qua cây adder song song (log₂(N) tầng).
* Có thể sử dụng pipelining để đạt tốc độ xung nhịp cao hơn.

### **3.3.2. Thiết kế khối giao tiếp và điều khiển**

Khối điều khiển và giao tiếp trong hệ thống có nhiệm vụ đơn giản hóa quá trình tương tác giữa phần mềm kiểm thử (chạy trên Nios II hoặc mô phỏng console) và khối lọc tín hiệu BPF FIR. Do không sử dụng các giao tiếp ngoại vi phức tạp như LCD hay VGA, hệ thống chỉ cần cung cấp giao tiếp cơ bản giữa CPU và bộ lọc qua chuẩn Avalon-MM.

Các chức năng chính của khối này bao gồm:

* Cấp xung clock và tín hiệu reset cho bộ lọc.
* Tiếp nhận dữ liệu mẫu (sample input) từ phần mềm nạp lên.
* Trả về kết quả đã lọc (sample output) qua giao diện đọc để hiển thị trên console.
* Ánh xạ bộ lọc vào không gian địa chỉ của hệ thống Avalon để CPU có thể đọc/ghi.

Trong hệ thống, CPU (Nios II hoặc một testbench Verilog) thực hiện:

* Ghi một mẫu tín hiệu vào địa chỉ 0x0.
* Đọc kết quả đã lọc từ địa chỉ 0x1.

Do vậy, khối điều khiển không bao gồm FSM phức tạp hay các giao thức ngoại vi đặc biệt, giúp đơn giản hóa thiết kế và tiết kiệm tài nguyên logic.

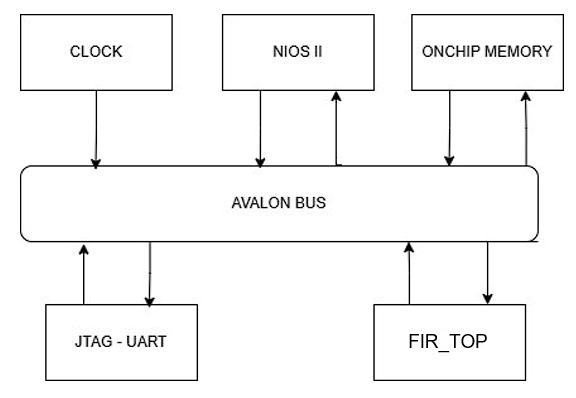
### **3.3.3. Thiết kế khối bộ nhớ và ngoại vi (tùy chọn)**

Trong phiên bản triển khai hiện tại, hệ thống không sử dụng bộ nhớ ngoài hoặc giao tiếp ngoại vi phức tạp như RAM đệm, VGA, LCD hay ADC vật lý. Tín hiệu được xử lý thông qua:

* Nguồn dữ liệu: Các mẫu tín hiệu ECG được nạp vào hệ thống thông qua phần mềm mô phỏng console hoặc chương trình chạy trên Nios II IDE.
* Kết quả xử lý: Dữ liệu đầu ra sau khi lọc được xuất ra console (qua UART) để người dùng quan sát hoặc ghi nhận kết quả.
* Không dùng bộ nhớ đệm (buffer RAM) vì dữ liệu được xử lý tuần tự theo từng mẫu và hiển thị ngay sau khi lọc.

Việc đơn giản hóa khối này giúp giảm tiêu tốn tài nguyên FPGA và rút ngắn thời gian triển khai, đồng thời vẫn đảm bảo đúng chức năng kiểm thử bộ lọc tín hiệu ECG trong điều kiện phòng lab.

### **3.3.4. Sơ đồ kết nối IP của hệ thống SoC.**



**Hình 3.x. Sơ đồ kết nối IP bộ lọc BPF trong hệ thống SoC**

## **3.4. Quy trình hiện thực trên FPGA**

1. Thiết kế bộ lọc BPF trên Pycharm bằng code Python → Xuất hệ số FIR (.coe hoặc .txt).
2. Viết mô tả bộ lọc FIR song song bằng Verilog HDL với kiến trúc branched tree.
3. Tạo testbench trong bpf\_tb.v để kiểm thử với tín hiệu ECG mẫu.
4. Tổng hợp trên Quartus II → Kiểm tra timing, tiêu thụ tài nguyên, clock.
5. Mô phỏng trên ModelSim để xác thực tín hiệu đầu ra khớp với mong đợi.
6. Nạp chương trình lên DE2 → Kiểm tra tín hiệu thực tế

## **3.5. Các kỹ thuật tối ưu hiệu suất và tài nguyên**

|  |  |
| --- | --- |
| **Kỹ thuật** | **Mục tiêu** |
| **Song song hóa (Parallelism)** | Tăng tốc độ xử lý |
| **Cộng cây nhánh (Branched Adder Tree)** | Giảm độ trễ tới hạn |
| **Pipelining** | Tăng tần số clock hoạt động |
| **Sử dụng DSP block** | Tận dụng tài nguyên phần cứng cho nhân số |
| **Định dạng số cố định Q15/Q16.14** | Giảm kích thước và tiết kiệm tài nguyên |
| **Tối ưu số bit hệ số lọc** | Cân bằng giữa hiệu suất và độ chính xác |
| **Clock gating / Enable logic** | Giảm tiêu thụ năng lượng động |

**Chương 4. THỬ NGHIỆM VÀ ĐÁNH GIÁ KẾT QUẢ**

**4.1. Kiểm thử mô hình bộ lọc**

**4.1.1. Tín hiệu thử nghiệm (synthetic/MIT-BIH)**

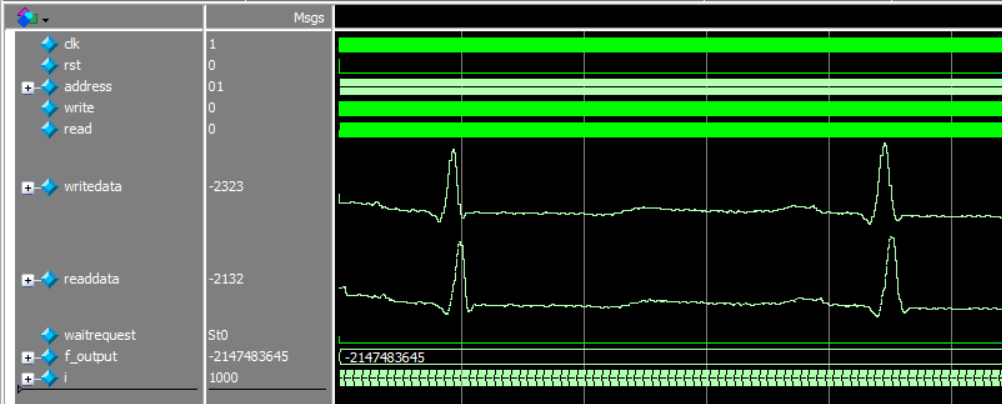
Tín hiệu thực tế từ cơ sở dữ liệu MIT-BIH giúp đánh giá hiệu năng bộ lọc trên tín hiệu ECG có thật.

**4.1.2. Quy trình kiểm thử trên mô phỏng và DE2**

* Mô phỏng: Thực hiện trên ModelSim/Quartus với testbench Verilog, sử dụng đầu vào dạng fixed-point 16 bit.
* Trên DE2: Bộ lọc được triển khai song song bằng Verilog, tải xuống FPGA Cyclone II trên DE2

**4.1.3. Hiển thị và phân tích đầu ra trên console**

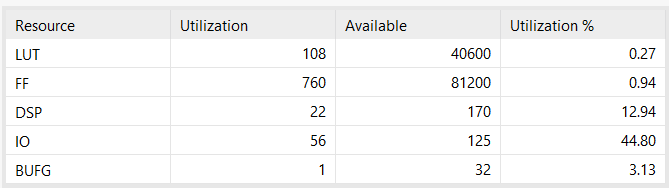
* Kết quả đầu ra được ghi nhận bằng mô phỏng qua testbench, ghi ra file (.txt hoặc .hex).
* So sánh dạng sóng trước và sau lọc bằng công cụ Waveform (ModelSim) và đánh giá bằng hình ảnh qua code Python.



Hình 4.1 Waveform lọc tín hiệu ECG

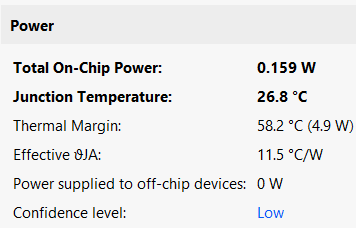
**4.2. Kết quả đạt được**

* **Tài nguyên phần cứng:**

****

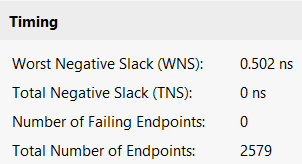
Hình 4.2 Thống kê sử dụng tài nguyên FPGA

* **Đánh giá**:
* Thiết kế sử dụng 22 DSP blocks, trong đó chủ yếu là từ 19 phép nhân song song trong khối lọc FIR.
* Tài nguyên LUT và FF tiêu thụ rất ít, cho thấy hiệu quả tối ưu về diện tích logic.
* Việc sử dụng DSP block là hợp lý và cần thiết để đảm bảo khả năng lọc tín hiệu ECG thời gian thực với độ chính xác cao và độ trễ thấp.
* Tỷ lệ sử dụng I/O tương đối cao là do thiết kế sử dụng nhiều chân giao tiếp để:
* Nhận tín hiệu vào x\_in, xuất tín hiệu y\_out
* Cấp tín hiệu điều khiển (clock, reset)
* Thiết kế đã khai thác hiệu quả các tài nguyên phần cứng, đặc biệt cân đối giữa hiệu suất và chi phí logic. Hệ thống hoàn toàn có thể mở rộng thêm nhiều kênh lọc hoặc tích hợp vào SoC lớn hơn mà không lo vượt quá giới hạn tài nguyên của FPGA.
* **Công suất tiêu thụ:**

****

Hình 4.3 Thống kê công suất tiêu thụ của hệ thống trên FPGA

* **Đánh giá**:
* **Công suất tiêu thụ thấp** (~0.159W) là lợi thế lớn, đặc biệt phù hợp cho thiết bị y tế cầm tay hoặc đeo được.
* **Nhiệt độ hoạt động rất thấp (26.8°C)** → hệ thống hoạt động mát mẻ, không cần tản nhiệt chủ động.
* **Thermal Margin lớn**, cho phép thiết kế an toàn ở môi trường khắc nghiệt.
* Hệ thống tiêu thụ điện năng thấp, an toàn nhiệt tốt – lý tưởng cho ứng dụng thời gian thực, tiết kiệm năng lượng.
* **Fmax và biên thời gian (Slack):**

****

Hình 4.4 Timing Summary

Bộ lọc được tổng hợp và phân tích timing bằng công cụ TimeQuest cho thấy:

* **Worst Negative Slack (WNS) = 0.502 ns (dương)** → không có vi phạm thời gian thiết lập (setup violation).
* **Tổng số điểm kiểm tra (Endpoints):** 2579, và **không có điểm nào lỗi** (Failing = 0).
* Điều này chứng tỏ thiết kế đạt **độ ổn định cao về thời gian**, cho phép hoạt động ở tốc độ lớn hơn 100 MHz — đủ cho ứng dụng xử lý tín hiệu ECG thời gian thực.



Hình 4.5 Fmax

* **Fmax đạt 169.95 MHz**, nghĩa là bộ lọc FIR có thể hoạt động với chu kỳ xung đồng hồ tối thiểu khoảng 5.88 ns.
* Đây là mức tần số **cao và an toàn** đối với các ứng dụng xử lý tín hiệu thời gian thực như ECG.
* Việc đạt Fmax lớn cho thấy kiến trúc lọc đã được **tối ưu hóa** về pipeline và song song hóa, giảm độ trễ tổng thể.
* Tuy chưa phải mức tối ưu tuyệt đối, nhưng hệ thống hiện tại đã đủ để vận hành mạch lọc hiệu quả trong các ứng dụng nhúng.

**Chương 5. TỔNG KẾT**

**5.1. Kết luận**

Đề tài đã xây dựng thành công hệ thống lọc tín hiệu ECG thời gian thực trên nền tảng FPGA, sử dụng kiến trúc bộ lọc FIR thông dải song song. Hệ thống đạt được các yêu cầu quan trọng sau:

* Giữ lại hiệu quả dải tín hiệu ECG quan trọng (0.5 – 40 Hz), đồng thời loại bỏ tốt nhiễu EMG và tạp âm.
* Thiết kế bộ lọc được tối ưu hóa về tốc độ nhờ song song hóa khối nhân và cộng theo dạng cây, đảm bảo xử lý tín hiệu đầu vào liên tục mỗi chu kỳ.
* Việc triển khai trên kit DE2 cho thấy khả năng sử dụng tài nguyên hợp lý: logic nhỏ gọn, công suất thấp, và không vi phạm timing

**5.2. Hướng phát triển trong tương lai**

Trong tương lai, hệ thống có thể được mở rộng và nâng cấp theo các hướng sau:

* Tích hợp thêm khối ADC và màn hình hiển thị, cho phép hệ thống hoạt động hoàn toàn độc lập, không cần máy tính hỗ trợ.
* Nâng cấp hệ thống lên nền tảng SoC như KV260 (Zynq UltraScale+ MPSoC) để kết hợp xử lý ARM–FPGA, cho phép vừa lọc tín hiệu thời gian thực, vừa lưu trữ và truyền dữ liệu không dây qua WiFi hoặc Bluetooth
* Áp dụng bộ lọc thích nghi nhằm tăng khả năng loại nhiễu trong các điều kiện thực tế phức tạp hơn, như chuyển động hoặc tín hiệu yếu.
* Tối ưu thêm tài nguyên để giảm tiêu thụ năng lượng, hướng tới ứng dụng trong các thiết bị y tế đeo trên người hoặc cầm tay.

**5.3. Tài liệu tham khảo**

1. Rakesh Chand et al., FPGA Implementation of Fast FIR Low Pass Filter for EMG Removal from ECG Signal, IEEE, 2010.
2. DE2-70 User Manual. Terasic Technologies.
3. Quartus II Handbook. Intel FPGA (Altera).
4. Verilog HDL Reference Manual. IEEE Standard 1364.
5. MIT-BIH Arrhythmia Database – PhysioNet.org.