



## Présentation QUARTUS V.H.D.L

Michel Inizan 14.03.2013

# Flot de conception



## Prise en main du logiciel Quartus d'ALTERA

Ce logiciel permet à partir d'une saisie graphique ou textuelle :

- de coder les spécifications
- de valider le bon fonctionnement après simulation
- de programmer le composant qui permettra de le tester.



### 1) Étape: créer un projet:

Après avoir créé un répertoire sous votre compte,

1.1) cliquer file => New project Wizard.

1.2) Cliquer next puis choisir la directory de travail ainsi que le nom du projet (nom du fichier .vhd)

1.3) Cliquer next à chaque étape si ce n'est au moment du choix du composant ou l'on va imposer la cible: un composant Cyclone.

New Project Wizard: Directory, Name

What is the working directory for this project?  
c:\altera\91\quartus

What is the name of this project?  
mux1

What is the name of the top-level design entity exactly match the entity name in the design file  
mux1

New Project Wizard: Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.

Device family:  
Family: Cyclone II

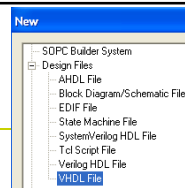
Target device:  
☐ Auto device selected by the Filter  
☒ Specific device selected in 'Available devices' list

Available devices:

Name	Core v...	LEs	User I/O	Memor.	Embed.	PLL
EP2K10K10-10	1.2V	33216	475	483840	70	4
EP2K10K10-15	1.2V	69536	490	594432	172	4
EP2K10K10-20	1.2V	68416	422	1152000	300	4

choix →

## Flot



### 2) Etape: écrire le code VHDL désiré:

2.1) cliquer file => New puis choisir VHDL file

2.2) Cliquer sur ok, un éditeur de texte s'ouvre, le sauver par la commande

File => save as (prendre le nom par défaut soit le nom du fichier choisi précédemment).

2.3) Saisir le texte on s'appuiera sur l'exemple suivant:

```
Library IEEE ;
Use IEEE.STD_LOGIC_1164.ALL ;
Entity mux1 is
Port(
a,b      :in std_logic_vector (3 downto 0) ;
sel      :in std_logic ;
sort     :out std_logic_vector (3 downto 0)
);
end mux1;

architecture archi of mux1 is
begin
with sel select
sort <= a when '1',
      b when others ; --prend en compte tous les autres cas
end archi ;
```

2.4) le sauvegarder (commande file save).

## Flot



### 3) Etape: Compiler le code VHDL :

3.1) cliquer sur Processing => start compilation ou sur le raccourci (icône violet)  
=> Corriger les erreurs si besoin.

Il est à noter que l'entité et l'architecture sont définies dans le même fichier.  
on peut aussi faire la remarque que l'on peut faire une compilation structurelle ou fonctionnelle.

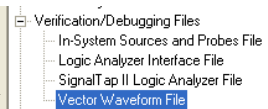
### 4) Simuler l'ensemble et vérifier que le fonctionnement correspond à ce qui est attendu

4.1) créer un fichier vwf par la commande file=> new => Vector Waveform File

4.2) Déterminer l'instant de fin de simulation en activant la commande file/ End time

4.3) Choisir les signaux à visualiser en cliquant node/ enter nodes from snf  
(list puis => et enfin OK) (radix: unsigned).

Entrer les waveform. (Options : invalider le snap to grid)



### 5) Lancer la simulation : vérifier le bon fonctionnement.