

# FIPA3 Systèmes Embarqués

## VHDL2

### Exercices de révision

Octobre 2023

Ces exercices visent à balayer les connaissances requises pour la bonne conduite du cours VHDL2. Les notions requises figurent dans le cours VHDL1.

#### Exercice 1 : Descriptions structurelles et hiérarchiques

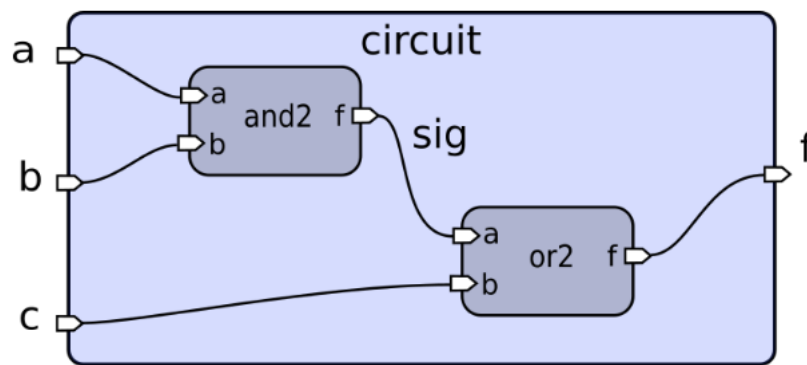


Figure 1: Exo 1

On donne le circuit de la figure 1. Chaque signal en présence représente 4 bits. On suppose que l'on dispose de composants pré-décrits (and2, or2) dont on possède la couple entité-architecture. Décrire ce circuit de manière structurelle, puis à l'aide d'une unique assignation concurrente.

#### Exercice 2 : Inférence d'un circuit simple

On cherche à concevoir un décompteur, initialisé à 255 lors de la phase de reset asynchrone, et se décrémentant à chaque occurrence d'une valeur '1' sur un signal entrant appelé 'tick'. Lorsque le circuit atteint la valeur 0, le décomptage continue à partir de la valeur 255. On souhaite également avoir la possibilité de refixer sa valeur à 42, lors de l'appui une bouton appelé 'force'. Par ailleurs, une sortie appelée 'level' donne une indication à l'utilisateur sur le niveau atteint par le décomptage : bas, moyen, élevé.

**Question 1 :** Dessiner soigneusement le circuit.

**Question 2 :** Concevoir ce circuit en VHDL, en utilisant le principe d'inférence.

#### Exercice 3 : Différents styles d'inférence

Soit le circuit de la figure 2. On s'intéresse uniquement à l'architecture du circuit.

**Question 1 :** Coder ce circuit en VHDL, à l'aide de deux processus : l'un synchrone et l'autre combinatoire.

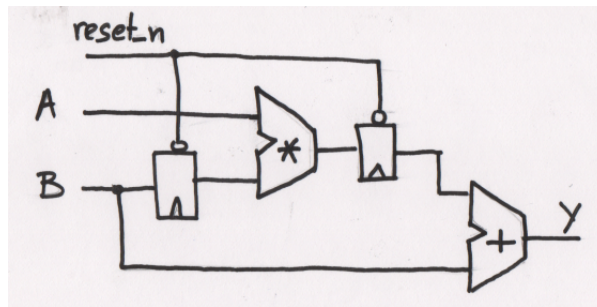


Figure 2: Exo 3

**Question 2 :** Coder ce circuit en VHDL, à l'aide de trois processus.

**Question 3 :** Est-il possible de coder ce circuit à l'aide d'un seul processus ? Justifier votre réponse.

## Exercice 4 : Description d'un automate

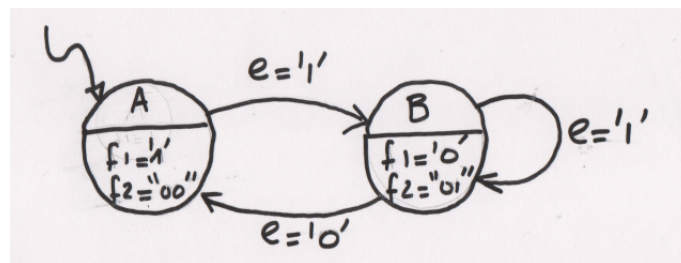


Figure 3: Exo 4

Soit le diagramme états-transitions de la figure 3.

**Question 1 :** Est-ce un automate de Moore ou de Mealy ? Pourquoi ?

**Question 2 :** Coder le couple entité-architecture de cet machine d'états finis.

## Exercice 5 : Banc de test

**Question 1 :** Décrire un banc de test de l'automate précédent. On pourra notamment chercher à vérifier que l'envoi d'une valeur '1' sur l'entrée 'e' provoque la mise à '1' du bit LSB de  $f_2$ .

**Question 2 :** Indiquez les commandes GHDL permettant de simuler l'ensemble.