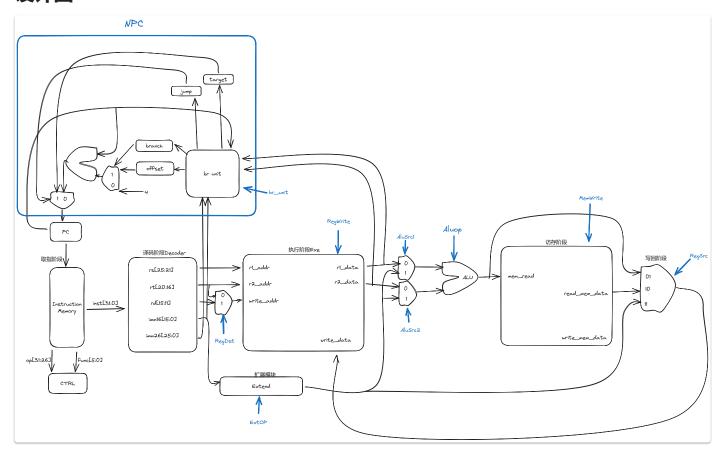
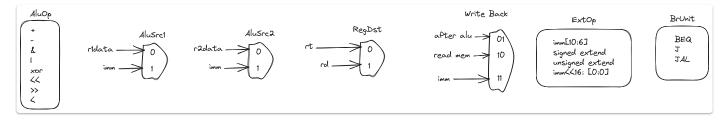
## 设计图

## 设计图



## 各个控制模块



## 控制模块信息

OP	RegWrite	MemWrite	RegDst	AluSrc1	AluSrc2	AluOp	ExtOp	RegSrc	BrUnit
ADD	1	x	1	0	0	ADD	x	01	х
SUB	1	x	1	0	0	SUB	x	01	х
AND	1	x	1	0	0	AND	x	01	х
OR	1	x	1	0	0	OR	x	01	x
SLT	1	x	1	0	0	<	x	01	х
ADDU	1	x	1	0	0	ADDU	x	01	х
XOR	1	x	1	0	0	XOR	x	01	х
SRL	1	х	0	1	0	>>	imm(10:6)	01	х
SLL	1	х	0	1	0	<<	imm(10:6)	01	х
SW	x	1	0	1	0	ADD	符号扩展	х	x

OP	RegWrite	MemWrite	RegDst	AluSrc1	AluSrc2	AluOp	ExtOp	RegSrc	BrUnit
LW	1	х	0	0	1	ADD	符号扩展	10	х
BEQ	x	х	х	х	х	ADD	x	х	BEQ
ADDI	1	х	1	0	1	ADD	符号扩展	01	х
ADDIU	1	х	1	0	1	ADDU	无符号扩展	01	х
ORI	1	х	1	0	1	OR	符号扩展	01	х
LUI	1	х	0	х	х	х	imm左移16位到高位,其余0	11	х
J	x	х	х	х	х	х	x	х	J
JAL	1	х	\$31	х	х	х	х	x	JAL