

E85F003C

1T 8051 内核 ADC 型微控制器

Part No.	Core	FLASH	SRAM	EE	I/O	Timer	PWM	ADC	IIC	UART	Package
E85F003CTF	1T51	8K	512	128	18	3 x 8bit 1 x 16bit	3 x 2Ch	18 x 12bit	1	1	TSSOP20
E85F003CUNF											QFN20

1 产品特性

➤ 内核

- 1T51 内核，兼容标准 8051 指令集
- 内核最高工作频率 14MHz

➤ 存储

- 8K 字节 FLASH 程序存储器
- 128 字节 EEPROM 数据存储器
- IRAM 256 字节，XRAM 256 字节

➤ 复位与启动

- 内置上电复位 POR
- 内置掉电复位 BOR，支持 8 档掉电复位 1.6V~4.4V，步进 0.4V

➤ 时钟

- 外部 32K-20MHz 晶体振荡器 XOSC
- 内部 16M/28MHz 高精度振荡器 HRC（出厂校准精度 $\leq \pm 1\%$ ，全温工作精度 $\leq \pm 2\%$ ）
- 内部 16KHz 低功耗振荡器 LRC，精度 $\leq \pm 10\%$

➤ 调试和编程

- 单线调试，单线编程

➤ 工作条件

- VDD=3.0V~5.5V@14M
- VDD=2.5V~5.5V@8M
- VDD=1.8V~5.5V@2M
- 工作温度范围 -40~85°C

➤ 功耗

- 待机睡眠功耗典型功耗 3uA@3.3V
- 8MHz@3.3V 运行功耗典型 5mA

➤ 端口

- 最多支持 18 个 I/O 端口，所有端口支持独立弱上拉和弱下拉控制，可同时开启上拉和下拉

- P10-P15 支持最大灌电流 80mA，P00-P07 支持拉电流 4 档可配置

- 支持 8 个外部中断唤醒，可复用到 18 端口

➤ 外设

- 2 路 8 位定时器 TMR0/TMR1，可级联
- 1 路 8 位定时器/计数器 TMR2
- 1 路 16 位定时/计数器 TMR3
- 3 组独立 12+3 位 PWM，每组支持 2 路互补或同相输出(TMR3 和 PWM 可运行在 28M 下).其中 PWM2 可配置成 CAP 捕捉模式

- 支持一路模拟比较器

- 18 通道 12 位 SAR ADC，其中 1 路通道为 VDD/4 检测

- 内置多档参考电压，校准精度 $\leq \pm 1.5\%$

- LVD 低电压检测，支持对 VDD 8 档低电压检测，步进电压为 0.4V；支持外部管脚输入 LVD 检测，比较电压 0.5V

- 1 路 IIC，支持 7 位地址主从模式

- 1 路 UART

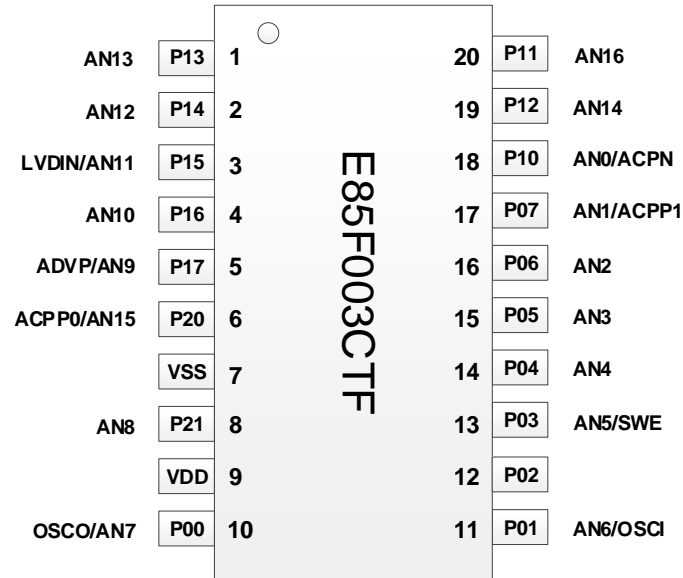
➤ 封装类型

- TSSOP20/QFN20

2 管脚配置

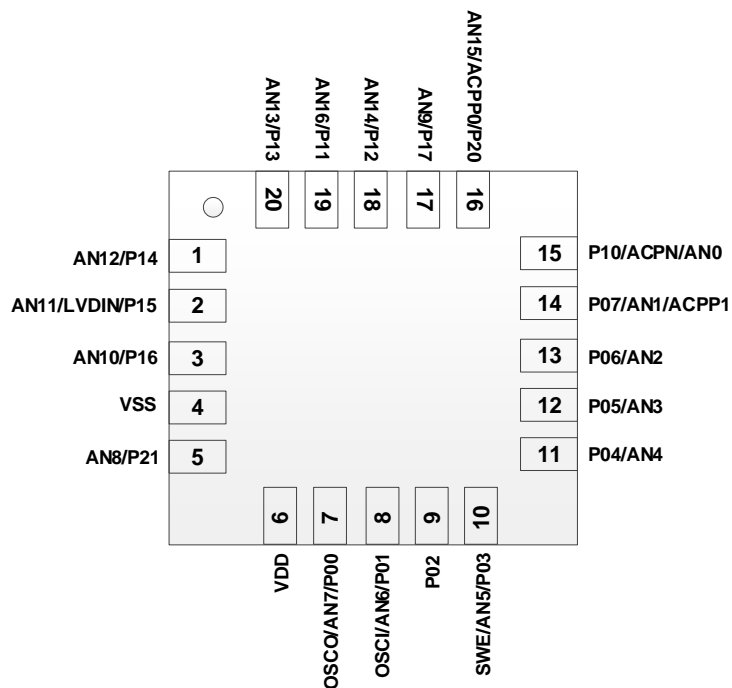
2.1 管脚顶视图

E85F003CTF(TSSOP20)



图表 1 E85F003CTF 封装顶视图

E85F003CUNF (QFN20 3X3)



图表 2 E85F003CUNF 封装顶视图

注：E85F003C 系列产品实现逻辑复用功能管脚映射，参见章节 2.2 管脚复用表

2.2 管脚复用表

Pin	FUN0	FUN1	FUN2	FUN3	FUN4	FUN5	FUN6	FUN7	AD	IOINT0	其他	驱动配置
P00	IO	PWM00	TX0	SCL	CAP2	T2IN/T2O	T3G	CKO	AN7	IOINT00	OSCO	4 档拉电流
P01	IO	PWM01	RX0	SDA	STP	T3IN/T3O	T3G	SCL	AN6	IOINT01	OSCI	4 档拉电流
P02	IO	PWM10	TX0	SCL	STP	T0O	CKO	SDA		IOINT02	—	4 档拉电流
P03	IO	PWM11	RX0	SCL	CAP2	T3IN/T1O	T3G	—	AN5	IOINT03	SWE	4 档拉电流
P04	IO	PWM20	TX0	SDA	RX0	T2IN/T2O	T3G	—	AN4	IOINT04	—	4 档拉电流
P05	IO	PWM21	RX0	SCL	T0O	T3IN/T3O	T3G	—	AN3	IOINT05	—	4 档拉电流
P06	IO	PWM00	TX0	SDA	T1O	T2IN/T2O	T3G/ACPO	—	AN2	IOINT06	—	4 档拉电流
P07	IO	PWM01	RX0	SCL	CAP2	T3IN/T0O	T3G	—	AN1	IOINT07	ACPP1	4 档拉电流
P10	IO	PWM10	TX0	SDA	CAP2	T3IN/T3O	T3G	—	AN0	IOINT00	ACPN	2 档灌电流
P11	IO	PWM11	RX0	SCL	CAP2	T2IN/T2O	T3G	—	AN16	IOINT01	—	2 档灌电流
P12	IO	PWM20	TX0	SDA	CAP2	T3IN/T1O	T3G	—	AN14	IOINT02	—	2 档灌电流
P13	IO	PWM21	RX0	SCL	CAP2	T3IN/T3O	T3G	—	AN13	IOINT03	—	2 档灌电流
P14	IO	PWM00	TX0	SDA	STP	T1O	ACPO	—	AN12	IOINT04	—	2 档灌电流
P15	IO	PWM01	RX0	SCL	—	—	—	—	AN11	IOINT05	LVDIN	2 档灌电流
P16	IO	PWM10	TX0	SDA	—	—	—	—	AN10	IOINT06	—	—
P17	IO	PWM11	RX0	SCL	—	—	—	—	AN9/ADVP	IOINT07	—	—
P20	IO	PWM20	RX0	SDA	—	—	—	—	AN15	IOINT00	ACPP0	—
P21	IO	PWM21	TX0	SCL	STP	T1O	ACPO	CKO	AN17	IOINT01	—	—

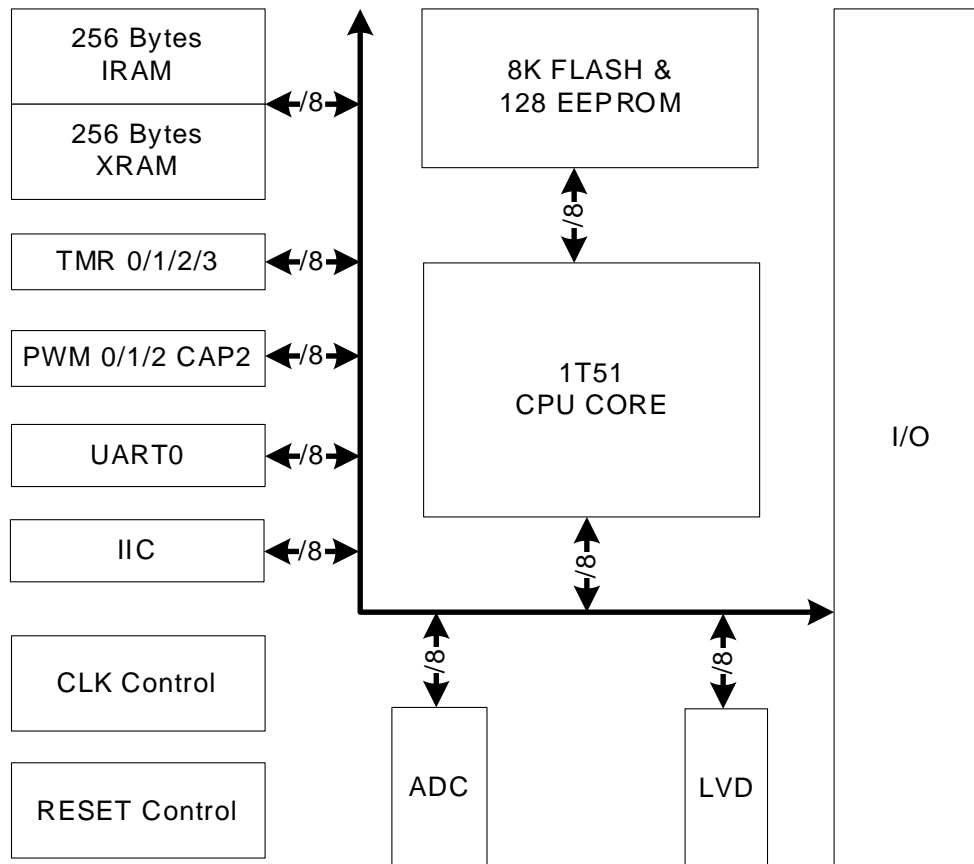
图表 3 端口逻辑复用表

2.3 管脚复用功能说明

符 号	类 型	描 述	备 注
Pn0~Pn7	IO	8 位双向 IO 端口	支持上下拉电阻，支持中断唤醒
PWMn0/1	O	PWM 输出端口	支持同相或互补输出
TnO	O	TIMER 计数溢出翻转	每次计数溢出翻转
TnG	I	TIMER 计数门控管脚	
TnIN	I	TIMER 外部时钟输入	
CAP2	I	捕捉模式下为捕捉输入	
TX0	O	UART 发送端口	
RX0	I	UART 接收端口	
SCL	IO	IIC 时钟线	
SDA	IO	IIC 数据线	
ACPO	O	模拟比较器输出	
CKO	O	系统时钟输出	
IOINT0n	I	外部中断输入端口	支持睡眠唤醒
SWE	IO	单线仿真烧录端口	
AN0~AN17	A	ADC 模拟输入通道	
ADVP	A	ADC 外部正端参考电压输入	
LVDIN	A	LVD 模拟检测端口	比较电压 0.5V
OSCI	A	外部振荡器输入	
OSCO	A	外部振荡器输出	

图表 4 端口描述表

3 功能框图



图表 5 功能框图

4 电气特性

4.1 极限参数

存储温度 T_{STG}-55°C ~ 125°C
 供电极限电压 $V_{DD}-V_{SS}$-0.3V ~ 6.5V
 输入极限电压 V_{IN} $V_{SS}-0.3V \sim V_{DD}+0.3V$
 VDD 最大承载电流 I_{VDD}100mA
 VSS 最大承载电流 I_{VSS}100mA

4.2 工作条件

符号	描述	最小值	最大值	单位
F_{SYS_CLK}	3.0~5.5V 系统工作频率	—	14M	Hz
	2.5~5.5V 系统工作频率	—	8M	Hz
	1.8~5.5V 系统工作频率	—	2M	Hz
VDD	工作电压	1.8	5.5	V
T_A	工作温度	-40	85	°C
t_{VDD}	VDD 上电斜率			us/V

4.3 DC 特性

* 以下参数均为设计值,

典型值测试基本条件： $T_A=25^{\circ}\text{C}$ ， $V_{DD}=3\text{V}$ ，电流测试时 I/O 输出无负载，I/O 输入不浮空

符号	描述	最小值	典型值	最大值	单位	条件
VDD	供电电压	1.8	—	5.5	V	—
I _{DDH}	高速工作电流	—	10	—	mA	F _{SYS_CLK} =14MHz @5V
I _{DDM}	中频工作电流	—	5	—	mA	F _{SYS_CLK} =8MHz @5V
I _{DDS1}	待机电流	—	1	10	uA	进入 SLEEP 模式，功能关闭，BOR 关闭，WDT 关闭
I _{DDS2}	待机电流 2	—	3	10	uA	进入 SLEEP 模式，功能关闭，BOR 使能，WDT 使能
I _{DDS3}	待机电流 3	—	3.3	10	uA	进入 SLEEP 模式，功能关闭，BOR 使能，WDT 使能,TMR2 LRC 计数唤醒
I _{DDS4}	待机电流 4	—	12	20	uA	进入 SLEEP 模式，功能关闭，BOR 使能，WDT 使能,TMR2 32k 外部时钟计数唤醒
V _{IL}	输入低电压	0	—	0.8	V	I/O 均为 SCHMITT 输入特性
V _{IH}	输入高电压	1.8	—	VDD	V	I/O 均为 SCHMITT 输入特性
I _{LK}	输入漏电流	—	—	±1	uA	内部上/下拉电阻关闭
V _{OL}	输出低电压	VSS+0.7	—	—	V	I _{OL} =15mA
V _{OL} *	大电流口输出低电压	VSS+1.0	—	—	V	I _{OL} =80mA
V _{OH}	输出高电压	—	—	VDD-0.7	V	I _{OH} =15mA
R _{PU}	内部上拉电阻	—	10K	—	Ω	—
R _{PD}	内部下拉电阻	—	10K	—	Ω	—

4.4 存储器特性

存储	操作	最小值	最大值	单位	条件
FLASH	编程次数	1000	—	—	—
	数据保持时间	10	—	year	85°C
	编程时间	—	1.0	ms	4.5~5.5V
EEPROM	编程次数	10K	—	—	—
	数据保持时间	10	—	year	85°C
	编程时间	—	1.5	ms	2.5~5.5V
SRAM	最低数据保持电压	0.6	—	V	—

目录

1	产品特性.....	- 1 -
2	管脚配置.....	- 2 -
2.1	管脚顶视图	- 2 -
2.2	管脚复用表	- 3 -
2.3	管脚复用功能说明	- 4 -
3	功能框图.....	- 5 -
4	电气特性.....	- 6 -
4.1	极限参数	- 6 -
4.2	工作条件	- 6 -
4.3	DC 特性.....	- 7 -
4.4	存储器特性	- 8 -
5	内核	- 14 -
5.1	描述	- 14 -
5.2	内核寄存器	- 14 -
6	存储	- 16 -
6.1	程序寻址空间映射	- 16 -
6.2	FLASH+EEPROM 存储器	- 16 -
6.3	用户配置信息	- 17 -
6.4	IAP 操作	- 20 -
6.5	数据寻址空间	- 23 -
6.6	SFR 映射	- 24 -
7	复位	- 30 -
7.1	描述	- 30 -
7.2	复位寄存器	- 31 -
8	时钟	- 32 -
8.1	描述	- 32 -
8.2	最大工作频率说明	- 33 -
8.3	时钟寄存器	- 33 -
9	低功耗	- 36 -
9.1	描述	- 36 -
9.2	低功耗寄存器	- 36 -
10	看门狗定时器 WDT	- 37 -
10.1	描述	- 37 -
10.2	WDT 寄存器	- 37 -

11	中断	- 38 -
11.1	中断向量	- 38 -
11.2	中断优先级	- 39 -
11.3	中断寄存器	- 39 -
11.4	外部端口中断 IOINT	- 40 -
11.5	定时器/计数器 TMR 中断	- 42 -
11.6	边沿捕捉器 CAP 中断	- 43 -
11.7	脉宽调制器 PWM 中断	- 44 -
11.8	异步收发器 UART 中断	- 46 -
11.9	IIC 总线控制器中断	- 47 -
11.10	模拟模块中断	- 48 -
12	I/O 端口	- 49 -
12.1	描述	- 49 -
12.2	I/O 寄存器 (寄存器中出现的 N 表示 0~2)	- 49 -
12.3	I/O 功能复用功能寄存器	- 53 -
13	8 位定时器 TMR0	- 57 -
13.1	描述	- 57 -
13.2	TMR0 寄存器	- 57 -
14	8 位定时器 TMR1 (支持级联 TMR0)	- 59 -
14.1	描述	- 59 -
14.2	TMR1 寄存器	- 59 -
15	8 位定时器/计数器 TMR2	- 61 -
15.1	描述	- 61 -
15.1	TMR2 寄存器	- 61 -
16	16 位定时/计数器 TMR3	- 63 -
16.1	描述	- 63 -
16.2	TMR3 操作流程	- 64 -
16.3	TMR3 寄存器	- 65 -
17	边沿捕捉器 CAP2 (不能与 PWM2 同时使用)	- 67 -
17.1	描述	- 67 -
17.2	CAP 操作流程 (以 CAP2 为例)	- 68 -
17.3	CAP 寄存器	- 69 -
18	脉宽调制器 PWM	- 71 -
18.1	描述	- 71 -
18.2	PWM 操作流程 (以 PWM0 为例)	- 73 -
18.3	PWM 寄存器	- 74 -

19	IIC 总线控制器	- 77 -
19.1	描述	- 77 -
19.2	IIC 通讯流程	- 78 -
19.3	IIC 寄存器	- 80 -
20	UART 异步收发器	- 83 -
20.1	描述	- 83 -
20.2	UART 操作流程图	- 84 -
20.3	UART 寄存器	- 86 -
21	模数转换器 ADC	- 89 -
21.1	描述	- 89 -
21.2	ADC 操作流程	- 89 -
21.3	ADC 寄存器	- 90 -
22	模拟比较器	- 92 -
22.1	描述	- 92 -
22.2	ACP 寄存器	- 93 -
23	内部参考电压 VREF	- 95 -
23.1	描述	- 95 -
23.2	VREF 寄存器	- 95 -
24	低电压检测 LVD	- 96 -
24.1	描述	- 96 -
24.2	LVD 寄存器	- 96 -
25	指令集	- 98 -
25.1	算术运算指令	- 98 -
25.2	逻辑操作指令	- 99 -
25.3	数据传送指令	- 100 -
25.4	位操作指令	- 101 -
25.5	程序转移指令	- 101 -
26	封装信息	- 102 -

图表目录

图表 1 E85F003CTF 封装顶视图	- 2 -
图表 2 E85F003CUNF 封装顶视图	- 2 -
图表 2 端口逻辑复用表	- 3 -
图表 3 端口描述表	- 4 -
图表 4 功能框图	- 5 -
图表 5 程序存储空间映射图	- 16 -
图表 6 INFO FLASH 映射图	- 17 -
图表 7 IAP 操作流程图中	- 20 -
图表 8 数据寻址空间映射图	- 23 -
图表 9 系统时钟源功能框图	- 32 -
图表 10 外部振荡器 XOSC 连接示意图	- 32 -
图表 11 中断向量图	- 38 -
图表 12 中断向量表	- 38 -
图表 13 I/O 功能框图	- 49 -
图表 14 TMR0 功能框图	- 57 -
图表 15 TMR1 功能框图	- 59 -
图表 16 TMR2 功能框图	- 61 -
图表 17 TMR3 功能框图	- 63 -
图表 18 TMR3 操作流程图中	- 64 -
图表 19 捕捉清零模式示例波形图	- 67 -
图表 20 捕捉累加模式示例波形图	- 67 -
图表 21 CAP 操作流程图中	- 68 -
图表 22 PWM 边沿对齐工作示例波形图	- 71 -

图表 23 PWM 中心对齐工作示例波形图	- 72 -
图表 24 PWM 边沿对齐死区工作示例波形图.....	- 72 -
图表 25 PWM 操作流程图中.....	- 73 -
图表 26 IIC 通讯中断机制图	- 77 -
图表 27 IIC 通信等待波形示意图.....	- 77 -
图表 28 IIC 主控通讯流程图	- 78 -
图表 29 IIC 从机通讯流程图	- 79 -
图表 30 UART 通讯中断机制 1	- 83 -
图表 31 UART 通讯中断机制 2	- 83 -
图表 32 UART 发送操作流程图中.....	- 84 -
图表 33 UART 接收操作流程图中.....	- 85 -
图表 34 ADC 转换时序图	- 89 -
图表 35 ADC 操作流程图中.....	- 89 -
图表 36 模拟比较器功能框图.....	- 92 -

5 内核

5.1 描述

芯片采用 1T51 架构 8 位 CPU 内核，兼容标准 8051 指令集。

5.2 内核寄存器

ACC 累加器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
A<7:0>							

Bit7-0 A<7:0> : 累加器

B B 寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
B<7:0>							

Bit7-0 B<7:0> : B 寄存器

SP 堆栈指针

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
SP<7:0>							

Bit7-0 SP<7:0> : 堆栈指针

DPL 数据指针低 8 位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
DPTR<7:0>							

Bit7-0 DPTR<7:0> : 数据指针低 8 位

DPH 数据指针高 8 位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
DPTR<15:8>							

Bit7-0 DPTR<15:8> : 数据指针高 8 位

PSW

状态寄存器

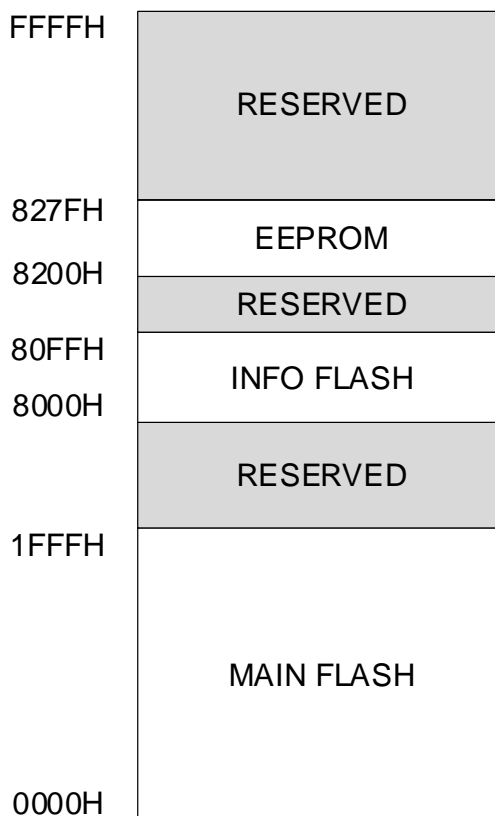
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-00		RW-0	—	RW-0
CY	AC	F0	RS<1:0>		OV	—	P

- Bit7 **CY**：进位标志位
 1：算数或逻辑运算无进/借位
 0：算数或逻辑运算有进/借位
- Bit6 **AC**：辅助进位标志位（用于 BCD 操作）
 1：算数或逻辑运算无辅助进/借位
 0：算数或逻辑运算有辅助进/借位
- Bit5 **F0**：用户自定义标志位 0
- Bit4-3 **RS<1:0>**：工作寄存器 R0-R7 bank 选择位
 11：bank3（18H~1FH）
 10：bank2（10H~17H）
 01：bank1（08H~0FH）
 00：bank0（00H~07H）
- Bit2 **OV**：溢出标志位
 1：有符号数运算无溢出
 0：有符号数运算有溢出
- Bit1 保留
- Bit0 **P**：奇偶标志位
 1：累加器中“1”的个数为奇数
 0：累加器中“1”的个数为偶数

6 存储

芯片存储采用 Harvard 架构，即程序寻址空间与数据寻址空间独立。

6.1 程序寻址空间映射



图表 6 程序存储空间映射图

6.2 FLASH+EEPROM 存储器

数据区 EEPROM

芯片内置 128 字节 EEPROM 存储器用于存储数据。

EEPROM 支持以下操作：

- MOV C 指令读取
- 应用中自编程 IAP 操作
- 烧录器编程 ISP 操作

信息区 INFO FLASH

芯片内置 INFO FLASH 存储器用于存储用户 ID 和用户配置选项。

INFO FLASH 支持以下操作：

- MOV C 指令读取
- 烧录器编程 ISP 操作

程序区 MAIN FLASH

芯片内置 8K 字节 MAIN FLASH 存储器用于存储程序代码。

MAIN FLASH 支持以下操作：

- 程序取指
- MOVN 指令读取（操作权限受 **CFG_WD3.IAP_PRn** 限制）
- 应用中自编程 IAP 操作（操作权限受 **CFG_WD3.IAP_PRn** 限制）
- 烧录器编程 ISP 操作（支持硬件代码加密）

6.3 用户配置信息

802FH	序列号(ID)
802CH	0X802F~0X802C
	reserved
801DH	用户识别码(USER_ID)
801AH	0X801D~0X801A
8019H	CHECKSUM
8016H	0x8016~0X8019
8015H	0XED
	reserved
8011H	CFG_WORD4
	reserved
800DH	CFG_WORD3
	reserved
8009H	CFG_WORD2
	reserved
8005H	CFG_WORD1
	reserved
8001H	CFG_WORD0
	0XAC

图表 7 INFO FLASH 映射图

用户 ID 和用户配置选项存储于 INFO FLASH。INFO FLASH 通过用户在烧录器界面配置烧录。

序列号 ID 和用户识别码 USER_ID

序列号 ID 共 4 字节，存储于程序程序存储空间 802FH~802CH。用户识别码 USER_ID 存储于程序存储空间 801DH~801AH,具体的信息由用户在量产烧录器中自行定义。

用户配置选项 CFG_WDn

用户配置选项共 4 字节 **CFG_WD0~CFG_WD3**。

CFG_WORD0 配置字 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OSCS <1:0>		PWRC <1:0>		WDT_EN	BOR_EN	BORS <1:0>	

Bit7-6 **OSCS**<1:0> : 系统时钟选择位

- 10 : 固定选择 HRC 11 : 上电默认选择 HRC , 软件可配置
00 : 保留 01 : 固定选择 XOSC

Bit5-4 **PWRC**<1:0> : 上电延时选择位

- 10 : 约 64ms 11 : 约 128ms
00 : 无上电延时 01 : 约 16ms

Bit3 **WDT_EN** : WDT 使能位

- 1 : 使能
0 : 关闭

Bit2 **BOR_EN** : BOR 使能位

- 1 : 使能
0 : 关闭

Bit1-0 **BORS**<1:0> : BOR 复位电压选择位

- 11 : 4.0V 10 : 3.7V
01 : 2.5V 00 : 1.6V (选择为该档位 BOR 可通过 SOFT_BOR 软件配置)

CFG_WORD1 配置字 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
XOSC_MD <7:0>							

Bit7-0 **XOSC_MD**<7:0> : XOSC 工作模式选择位

- HS 模式 : 1011_1111 (外接 16MHz 晶振推荐值)
LP 模式 : 0010_0000 (外接 32K 晶振推荐值)

CFG_WORD2 配置字 2

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DBG_N	—	—	—	POR_FLTS <1:0>		BOR_FLTS <1:0>	

Bit7 **DBG_N** : 调试模式使能位

- 1 : 正常工作模式
0 : 使能调试模式

Bit6 **保留**

Bit5 **保持 0**

Bit4 **保留**

Bit3-2 **POR_FLTS**<1:0> : POR 滤波时间选择位

- 11 : 约 200us 10 : 约 150us
01 : 约 100us 00 : 无滤波

Bit1-0 **BOR_FLTS**<1:0> : BOR 滤波时间选择位

- 11 : 约 200us 10 : 约 150us
01 : 约 100us 00 : 无滤波

CFG_WORD3 配置字 3

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IAP_PR3<1:0>		IAP_PR2<1:0>		IAP_PR1<1:0>		IAP_PR0<1:0>	

Bit7-6 **IAP_PR3<1:0>** : MAIN FLASH 地址 1800H~1FFFH 操作权限配置位

- 11 : IAP 擦写允许, MOVC 指令读取允许
- 10 : IAP 擦写禁止, MOVC 指令读取允许
- 0x : IAP 擦写禁止, MOVC 指令读取禁止

Bit5-4 **IAP_PR2<1:0>** : MAIN FLASH 地址 1000H~17FFH 操作权限配置位

- 11 : IAP 擦写允许, MOVC 指令读取允许
- 10 : IAP 擦写禁止, MOVC 指令读取允许
- 0x : IAP 擦写禁止, MOVC 指令读取禁止

Bit3-2 **IAP_PR1<1:0>** : MAIN FLASH 地址 0800H~0FFFH 操作权限配置位

- 11 : IAP 擦写允许, MOVC 指令读取允许
- 10 : IAP 擦写禁止, MOVC 指令读取允许
- 0x : IAP 擦写禁止, MOVC 指令读取禁止

Bit1-0 **IAP_PR0<1:0>** : MAIN FLASH 地址 0000H~07FFH 操作权限配置位

- 11 : IAP 擦写允许, MOVC 指令读取允许
- 10 : IAP 擦写禁止, MOVC 指令读取允许
- 0x : IAP 擦写禁止, MOVC 指令读取禁止

CFG_WORD4 配置字 3

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	CLKFLT<2:0>			—	—	—	—

Bit7 配置为 1

Bit6-4 **CLKFLT<2:0>** : 主时钟滤波

- 100 : 推荐使用
- 其他 : 保留

Bit3-0 配置为 1

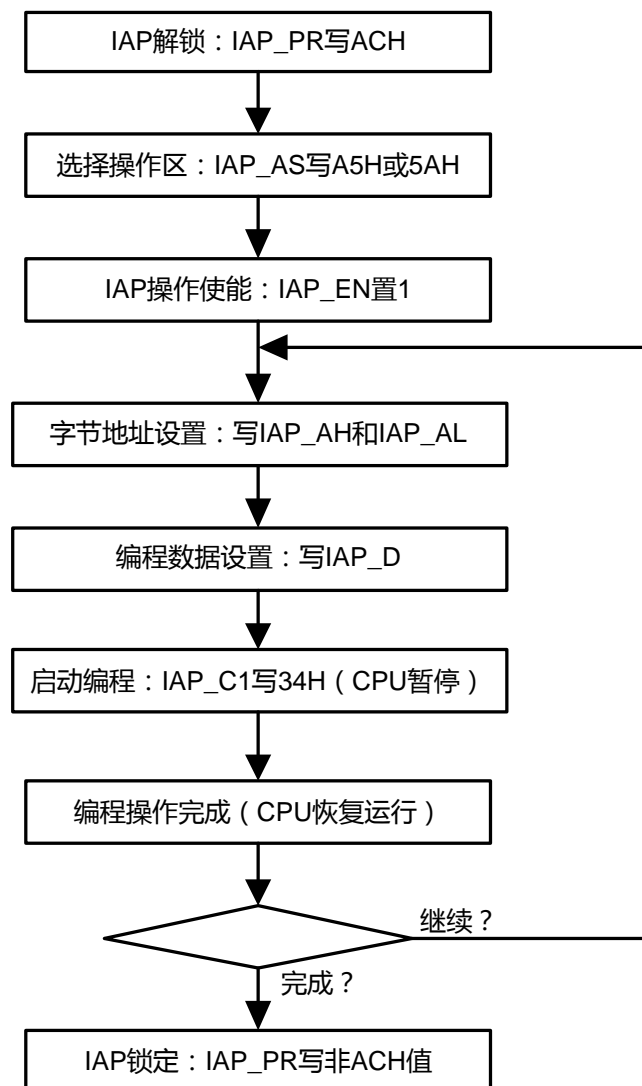
6.4 IAP 操作

MAIN FLASH 和 EEPROM 都支持应用中自编程 IAP 操作。地址由 IAP_AH.IAP_AL 指定,支持字节改写,无需擦除操作。

IAP 操作包括字节编程,读取校验通过 MOVC 指令完成。编程操作启动时,CPU 自动进入暂停运行状态,直到编程操作完成,CPU 才恢复运行。在此过程中,外设保持当前运行状态,产生的中断请求会置位相应中断标志,但不响应中断服务程序。编程操作完成后,恢复对中断的正常响应。

需注意的是 MAIN FLASH 编程时间为 1ms,EEPROM 编程时间为 1.5ms。

IAP 操作流程



图表 8 IAP 操作流程

IAP 寄存器

为保护 MAIN FLASH 存储器不被异常的程序执行误改动，用户可通过 **CFG_WD3** 分区设置 IAP 操作权限，同时所有 IAP 寄存器默认是锁定状态。如果要对 IAP 寄存器进行写操作，必须通过 **IAP_PR** 寄存器进行解锁。

IAP_PR IAP 解锁寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_PR<7:0>							

Bit7-0 **IAP_PR<7:0>** : IAP 操作解锁字
W : 写入 ACH 解锁，写入其他值锁定
R : 锁定状态读入为 00H，解锁状态读入为 01H

IAP_AS IAP 区域选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_AS<7:0>							

Bit7-0 **IAP_AS<7:0>** : IAP 区域选择字
W : 写入 A5H 选择程序区 MAIN FLASH，写入 5AH 选择数据区 EEPROM
R : 选择程序区读入为 00H，选择数据区读入为 01H

IAP_AL IAP 地址寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_A<7:0>							

Bit7-0 **IAP_A<7:0>** : IAP 操作地址低 8 位

IAP_AH IAP 地址寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_A<15:8>							

Bit7-0 **IAP_A<15:8>** : IAP 操作地址高 8 位

IAP_D IAP 数据寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_D<7:0>							

Bit7-0 **IAP_D<7:0>** : IAP 操作数据
需要写入 FLASH 的数据

IAP_C0 IAP 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	IAP_EN

Bit7-1 保留

Bit0 **IAP_EN** : IAP 使能位

1 : 使能

0 : 关闭

IAP_C1 IAP 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
W-0000_0000							
IAP_OPS<7:0>							

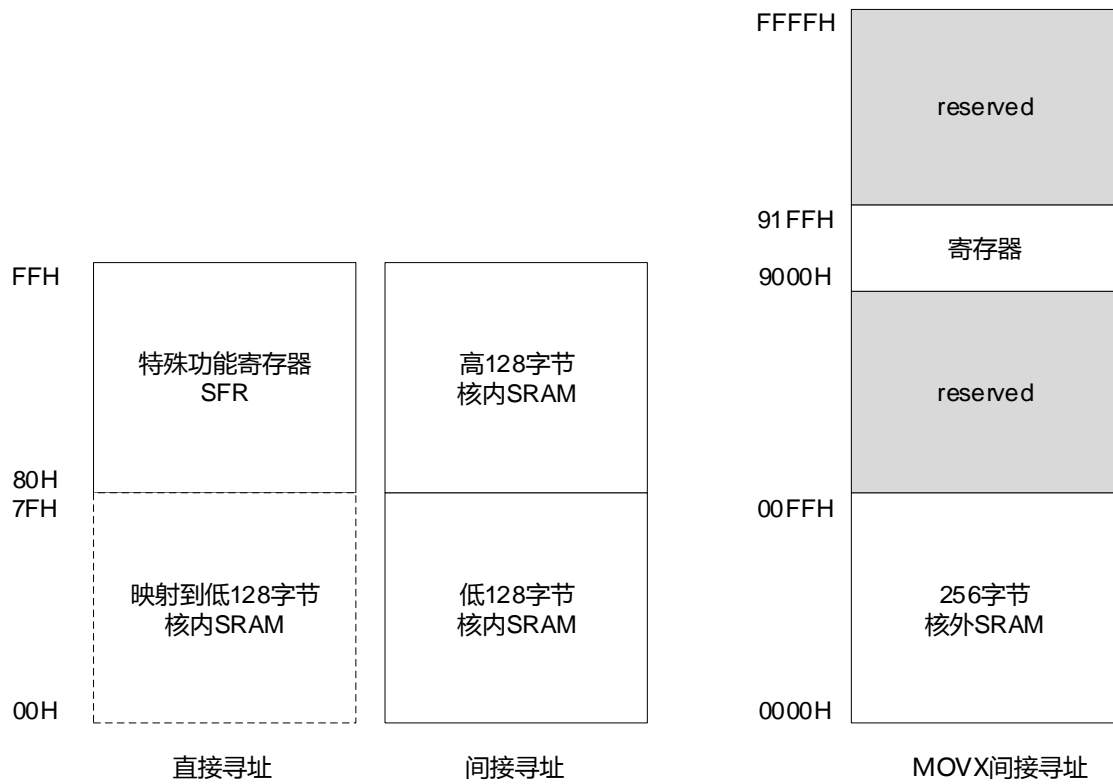
Bit7-0 **IAP_OPS<7:0>** : IAP 操作触发控制字

写 34H : 触发 IAP 编程

写其他值 : 无操作

6.5 数据寻址空间

数据寻址空间映射



图表 9 数据寻址空间映射图

6.6 SFR 映射

SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
ACC	E0H	A<7:0>							
B	F0H	B<7:0>							
SP	81H	SP<7:0>							
DPL	82H	DPTR<7:0>							
DPH	83H	DPTR<15:8>							
PSW	D0H	CY	AC	F0	RS<1:0>		OV	—	P
PCON	87H	PCON_PR<3:0>				—	—	IDLE	SLEEP
RST_FLAG	B7H	—	—	—	ROM_OV	—	SRST_F	WDTR_F	POR_F
INT_IE	E8H	GIE	INT_IE<6:0>						
INT_IF	88H	—	INT_IF<6:0>						
INT_IP	F8H	—	INT_IP<6:0>						
WDT_C	84H	—	—	WDT_PD	WDT_CKS	WDT_CY<3:0>			
WDT_OP	85H	WDT_OP							
HRC_TRML	89H	HRC_TRM<7:0>							
HRC_TRMH	8AH	HRC_PR<3:0>				—	—	HRC_TRM<9:8>	
PORT_C0	86H	—	—	—	—	PT_RDS<1:0>		—	—
P0_OE	8BH	P0_OE<7:0>							
P1_OE	8CH	P1_OE<7:0>							
P2_OE	8DH	—	—	—	—	—	—	P2_OE<1:0>	
P0_DAT	80H	P0_DAT <7:0>							
P1_DAT	90H	P1_DAT <7:0>							
P2_DAT	A0H	—	—	—	—	—	—	P2_DAT <1:0>	
P0_PUE	8EH	P0_PUE<7:0>							
P1_PUE	8FH	P1_PUE<7:0>							
P2_PUE	91H	—	—	—	—	—	—	P2_PUE<1:0>	
P0_PDE	92H	P0_PDE<7:0>							
P1_PDE	93H	P1_PDE<7:0>							
P2_PDE	94H	—	—	—	—	—	—	P2_PDE<1:0>	
P1_SMITE	FBH	P1_SMITE<7:0>							
P0_ODE	95H	P0_ODE<7:0>							

SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P1_ODE	96H	P1_ODE<7:0>							
P2_ODE	97H	P2_ODE<7:0>							
P0_IE	9100H	P0_IE<7:0>							
P1_IE	9101H	P1_IE<7:0>							
P2_IE	9102H	P2_IE<7:0>							
P0_FUN0	9130H	P01_FUN				P00_FUN			
P0_FUN1	9131H	P03_FUN				P02_FUN			
P0_FUN2	9132H	P05_FUN				P04_FUN			
P0_FUN3	9133H	P07_FUN				P06_FUN			
P1_FUN0	9134H	P11_FUN				P10_FUN			
P1_FUN1	9135H	P13_FUN				P12_FUN			
P1_FUN2	9136H	P15_FUN				P14_FUN			
P1_FUN3	9137H	P17_FUN				P16_FUN			
P2_FUN0	9138H	P21_FUN				P20_FUN			
P1_IOL_CL	9152H	P13_IOL		P12_IOL		P11_IOL		P10_IOL	
P1_IOL_CH	9153H	P17_IOL		P16_IOL		P15_IOL		P14_IOL	
P0_IOH_CL	9160H	P03_IOH		P02_IOH		P01_IOH		P00_IOH	
P0_IOH_CH	9161H	P07_IOH		P06_IOH		P05_IOH		P04_IOH	
IOINT0_IF	98H	IOINT0_IF<7:0>							
IOINT0_IE	9180H	IOINT0_IE<7:0>							
IOINT0_MD	9182H	IOINT0_MD <7:0>							
IOINT0_S0	9184H	IOINT0_S0<7:0>							
IOINT0_S1	9185H	IOINT0_S1<7:0>							
TMR_IE	9DH	—	—	—	—	TMR3_IE	TMR2_IE	TMR1_IE	TMR0_IE
TMR_IF	A8H	—	—	—	—	TMR3_IF	TMR2_IF	TMR1_IF	TMR0_IF
PWM_IE	9EH	—	—	—	—	—	PWM2_IE	PWM1_IE	PWM0_IE
CAP_IE		—	—	—	—	—	CAP2_IE	—	—
PWM_IF	C8H	—	STP2_IF	STP1_IF	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF
CAP_IF		—	—	—	—	—	CAP2_IF	—	—
UART_IE	9FH	—	—	—	—	—	—	TX0_IE	RX0_IE
IIC_IE		—	—	—	IIC_IE	—	—	—	—
UART_IF	B8H	—	—	—	—	—	—	TX0_IF	RX0_IF
IIC_IF		—	—	—	IIC_IF	—	—	—	—
AN_IE	A1H	—	—	—	—	—	LVD_IE	ACP_IE	ADC_IE

SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
AN_IF	C0H	—	—	—	—	—	LVD_IF	ACP_IF	ADC_IF
TMR0_C0	A2H	TMR0_EN	TMR0_PRE	—	—	TMR0_PST<3:0>			
TMR0	A4H	TMR0<7:0>							
TMR0_CY	A6H	TMR0_CY<7:0>							
TMR1_C0	A9H	TMR1_EN	TMR1_PRE	TMR1_LINK	—	TMR1_PST<3:0>			
TMR1	ABH	TMR1<7:0>							
TMR1_CY	ADH	TMR1_CY<7:0>							
TMR2_C0	A5H	TMR2_EN	TMR2_PRE	TMR2_CKS<1:0>		TMR2_PST<3:0>			
TMR2	A7H	TMR2<7:0>							
TMR2_CY	ABH	TMR2_CY<7:0>							
TMR3_C0	AEH	TMR3_EN	TMR3_PRE	TMR3_CKS<1:0>		TMR3_PST<3:0>			
TMR3_C1	A3H			TMR3_GS	TMR3_GE	—	—	—	—
TMR3L	B1H	TMR3<7:0>							
TMR3H	B2H	TMR3<15:8>							
TMR3_CYL	B3H	TMR3_CY<7:0>							
TMR3_C1H	B4H	TMR3_CY<15:8>							
PWM0_C0	BBH	PWM0_SPS<1:0>		—	—	PWM0_TBS<1:0>		PWM0_MOD<1:0>	
PWM0_C1	BCH	—	—	—	—	PWM01_T	PWM00_T	PWM01_P	PWM00_P
PWM0_R0L	BDH	PWM0_R0<7:0>							
PWM0_R0H	BEH	—	PWM0_REX			PWM0_R0<11:8>			
PWM0_R1L	C1H	PWM0_R1<7:0>							
PWM0_R1H	C2H	—	—	—	—	PWM0_R1<11:8>			
PWM0_DL	BFH	PWM0_DL<7:0>							
PWM1_C0	C3H	PWM1_SPS<1:0>		—		PWM1_TBS<1:0>		PWM1_MOD<1:0>	
PWM1_C1	C4H	—	—	—	—	PWM11_T	PWM10_T	PWM11_P	PWM10_P
PWM1_R0L	C5H	PWM1_R0<7:0>							
PWM1_R0H	C6H	—	PWM1_REX			PWM1_R0<11:8>			
PWM1_R1L	C9H	PWM1_R1<7:0>							
PWM1_R1H	CAH	—	—	—	—	PWM1_R1<11:8>			
PWM1_DL	C7H	PWM1_DL<7:0>							
PWM2_C0	CBH	PWM2_SPS<1:0>		—		PWM2_TBS<1:0>		PWM2_MOD<1:0>	
PWM2_C1	CCH	—	PWM2_REX			PWM21_T	PWM20_T	PWM21_P	PWM20_P
PWM2_R0L	CDH	PWM2_R0<7:0>							
PWM2_R0H	CEH	PWM2_R0<15:8>							

SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
PWM2_R1L	D1H	PWM1_R1<7:0>							
PWM2_R1H	D2H	PWM2_R1<15:8>							
PWM2_DL	CFH	PWM2_DL<7:0>							
UART0_BRL	D3H	UART_BRR<7:0>							
UART0_BRH	D4H	UART_BRR<15:8>							
UART0_RXC	D5H	FERR	OERR	PERR	RX9D	PARS	—	RXEN<1:0>	
UART0_RXB	D6H	RXB<7:0>							
UART0_TXC	D7H	TXST	TXBF	TX9S<1:0>		STPS	TXDM	TXEN<1:0>	
UART0_TXB	D9H	TXB<7:0>							
IIC_C0	DAH	IIC_SMPF<3:0>				IIC_IM	WTEN	IIC_MD	IIC_EN
IIC_C1	DBH	—	—	—	MTAI_MK	STOP	START	WAIT	ACK
IIC_STA	DCH	SLV_ADF	SLV_RWF	STOP_F	START_F	ACK_F	BUF_ST	OVT_F	BFOV_F
IIC_ADDR	DDH	—	IIC_ADDR<6:0>						
IIC_BRR		—	IIC_BRR<6:0>						
IIC_DATA	DEH	IIC_DATA							
ADC_C0	E1H	ADC_EN	S_TRG	—	CH_SEL<4:0>				
ADC_C1	E2H	VREFP_S<3:0>				—	ADC_DM	ADC_CKS<1:0>	
ADC_C2	E3H	TRG_S<1:0>		ADC_CNT<1:0>		—	SMP_T<2:0>		
ADC_DL	E4H	ADC_DL<7:0>							
ADC_DH	E5H	ADC_DH<7:0>							
ACP_C0	E7H	ACP_EN	—	HYS_EN	ACP_INV	—	—	ACP_NS	ACP_O
ACP_C1	E9H	ACP_FLT<3:0>				—	ACP_VRFS<2:0>		
ACP_C2	EBH	—	—	—	—	—	—	FTL_CKS<1:0>	
VREF_C0	EFH	VREF_EN	—	—	—	—	—	—	—
LVD_C0	F3H	LVD_EN	LVD_IM	LVD_FLT	LVD_CKS	LVD_INS	LVD_VS<2:0>		

系统寄存器映射

SYS_SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
IAP_PR	9000H	IAP_PR<7:0>							
IAP_AL	9002H	IAP_A<7:0>							
IAP_AH	9003H	IAP_A<15:8>							
IAP_D	9004H	IAP_D<7:0>							
IAP_C0	9005H	—	—	—	—	—	—	—	IAP_EN

IAP_C1	9006H	EE_OPS<7:0>							
CLK_PR	9020H	CLK_PR<7:0>							
CLK_C0	9021H	MEM_MD<1:0>		CLK_S<1:0>		—	CLK_DIV<2:0>		
CLK_C1	9022H	OSC_F<1:0>		XOSC_ST	HRC_ST	SRAM_SEL<1:0>		XOSC_EN	HRC_EN
PCK_GTC0	9023H	COMM_G	—	ANA_G	PWM_G	TMR3_G	TMR2_G	—	TMR0_G
CLK_LP	9026H	—	—	—	CLK_LEN	—	—	—	FLT_BPS
WKUP_T	9027H	—	—	—	—	WKUP_T<3:0>			
TMR_HRC_C	9028H	—	—	—	—	—	—	—	CLK_S
SOFT_BOR	90F1H	—	—	—	—	—	SOFT_BOR<2:0>		
SOFT_RST	90FFH	SOFT_RST<7:0>							

位操作映射

寄存器		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P0_DAT	80H	P0_DAT<7:0>							
INT_IF	88H	—	INT_IF<6:0>						
P1_DAT	90H	P1_DAT<7:0>							
IOINT0_IF	98H	IOINT0_IF<7:0>							
P2_DAT	A0H	—	—	—	—	—	—	P2_DAT<1:0>	
TMR_IF	A8H	—	—	—	—	TMR3_IF	TMR2_IF	TMR1_IF	TMR0_IF
UART_IF	B8H	—	—	—	—	—	—	TX0_IF	RX0_IF
IIC_IF		—	—	—	IIC_IF	—	—	—	—
AN_IF	C0H	—	—	—	—	—	LVD_IF	ACP_IF	ADC_IF
PWM_IF	C8H	—	STP2_IF	STP1_IF	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF
CAP_IF							CAP2_IF		
PSW	D0H	CY	AC	F0	RS<1:0>		OV	—	P
ACC	E0H	A<7:0>							
INT_IE	E8H	GIE	INT_IE<6:0>						
B	F0H	B<7:0>							
INT_IP	F8H	—	INT_IP<6:0>						

7 复位

7.1 描述

程序溢出复位

由于程序执行异常，程序计数器 PC 指向合法程序空间之外取指时，产生程序溢出复位。程序溢出复位同时，将 **RST_FLAG.ROM_OV** 标志位置 1，该标志可通过软件清 0。

SRST 软件复位

对软件复位寄存器 **SOFT_RST** 写入 5AH，再写入 A5H 产生软件复位。软件复位同时，将 **RST_FLAG.SRST_F** 标志位置 1，该标志可通过软件清 0。

WDT 复位

芯片内置硬件看门狗电路 WDT。在 WDT 溢出标志存在的情况下（WDT_OP 读出不为 00H），再次产生 WDT 溢出，会产生 WDT 复位。WDT 复位同时，将 **RST_FLAG.WDTR_F** 标志置 1，该标志可通过软件清 0。

POR 和 BOR 复位

POR 复位是芯片的内部复位，复位自动发生于芯片初始上电或芯片电源发生极端异常波动后的上电恢复。POR 硬件强制使能。

BOR 复位是芯片的内部复位，主要用于芯片电源 VDD 跌落至用户设定的 BOR 复位门限电压以下时产生芯片复位。用户可根据系统需要，使能或关闭 BOR 功能，并可选择不同的 BOR 的复位门限电压。

POR 或者 BOR 复位发生时，将 **RST_FLAG.POR_F** 标志置 1，并将 **RST_FLAG** 寄存器的其他标志位复位清 0，POR_F 标志位可通过软件清 0。

7.2 复位寄存器

RST_FLAG 复位标志寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	—	RW-0	RW-0	RW-0
—	—	—	ROM_OV	—	SRST_F	WDTR_F	POR_F

Bit7-5 保留

Bit4 ROM_OV：程序溢出复位标志位

1：程序执行溢出产生芯片复位

0：未发生程序执行溢出

Bit3 保留

Bit2 SRST_F：软件复位标志位

1：通过写 SOFT_RST 寄存器产生软件复位

0：未发生软件复位

Bit1 WDTR_F：WDT 复位标志位

1：WDT 溢出产生复位

0：未发生 WDT 溢出复位

Bit0 POR_F：POR 上电复位标志位

1：发生 POR 上电复位（系统初次上电或系统电源的异常跌落恢复产生的重新上电）

0：未发生 POR 上电复位

SOFT_RST 软件复位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
W-0000_0000							
SOFT_RST<7:0>							

Bit7-0 SOFT_RST<7:0>：软件复位字

W：先写 5AH,再写入 A5H 产生软件复位

产生复位后，RST_FLAG<2>将被置 1，需软件清零

SOFT_BOR 软件复位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-000		
—	—	—	—	—	SOFT_BOR<2:0>		

Bit7-3 保留

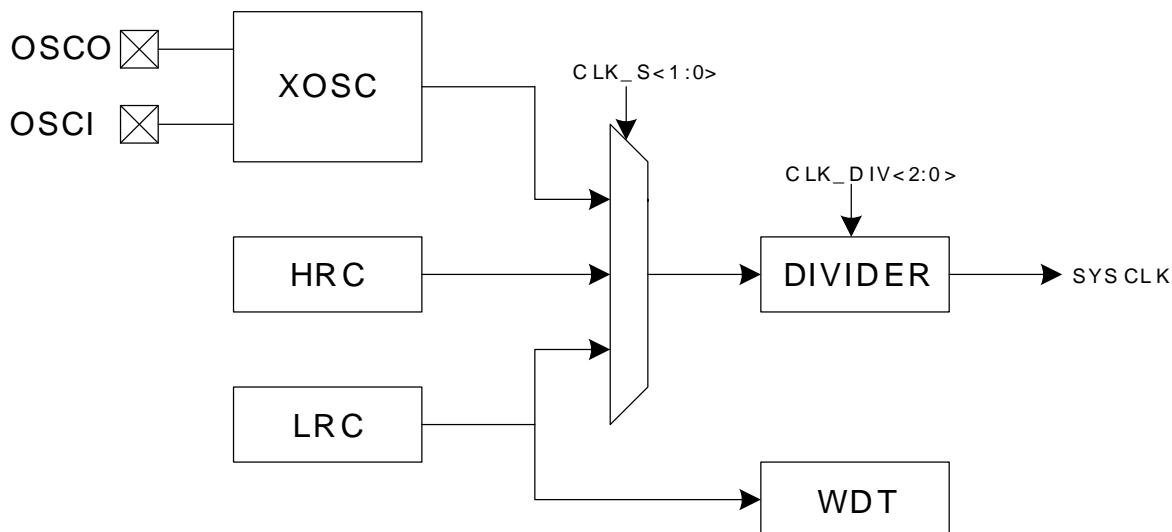
Bit2-0 SOFT_BOR<2:0>：软件 BOR(当配置字 BORS 设置为最低档位时,可软件进行配置)

111：4.4V 110：4.0V 101：3.6V 100：3.2V

011：2.8V 010：2.4V 001：2.0V 000：1.6V

8 时钟

8.1 描述



图表 10 系统时钟源功能框图

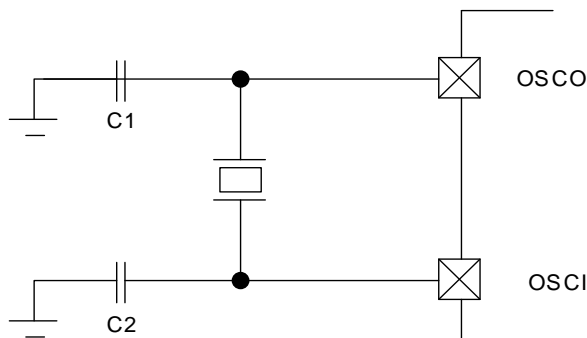
外部振荡器 XOSC

外部振荡器 XOSC 支持 2 种振荡模式，LP 模式和 HS 模式。晶振连接请靠近芯片管脚端。

通过用户配置选项 **CFG_WD1.XOSC_MD<7:0>** 配置。

LP 模式适用于外接 32KHz 低频晶振(C1=33PF，C2=33PF)。

HS 模式适用于外接 1~20MHz 高频晶振(C1=15PF，C2=15PF)。



图表 11 外部振荡器 XOSC 连接示意图

内部高频 RC 时钟 HRC

芯片内置一个高频 RC 时钟，有 28M 或者 16M 两个频点可以设置，读取校准区为 0x8027 和 0x8026 写入 HRC_TRMH 和 HRC_TRML 时钟 HRC 为 16M，读取校准区为 0x8023 和 0x8022 写入 HRC_TRMH 和 HRC_TRML 时钟 HRC 为 28M，本时钟用于系统和外设时钟源。HRC 出厂校准精度 $\pm 1\%$ ($T=25^{\circ}\text{C}$)。

内部低频 RC 时钟 LRC

芯片内置 16KHz 低频 RC 时钟，用于系统和外设时钟源，同时用于 WDT 时钟源。

8.2 最大工作频率说明

工作条件	VDD	最大工作频率 (MHz)
芯片运行时钟不分频	3.0~5.5V	14M
	2.5~5.5V	8M
	1.8~5.5V	2M

8.3 时钟寄存器

为保护时钟相关寄存器不被异常的程序执行误改动，所有时钟寄存器默认是锁定状态。如果要对时钟寄存器进行改写，必须通过 **CLK_PR** 寄存器进行解锁。

CLK_PR 时钟解锁寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
CLK_PR<7:0>							

Bit7-0 **CLK_PR<7:0>**：时钟寄存器解锁字
W：写入 A5H 解锁，写入其他值锁定
R：锁定状态读出的 00H，解锁状态读出的 01H

CLK_C0 时钟控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		—	RW-011		
MEM_MD<1:0>		CLK_S<1:0>		—	CLK_DIV<2:0>		

Bit7-6 **MEM_MD<1:0>**（不关注低速运行功耗，请保持 MEM_MD 为 00）
11：低速 500K
10：中速 (2V 可运行 1M，2.5V 可运行 4M，3.0V 以上可运行 14M)
0X：高速（建议使用）

Bit5-4 **CLK_S<1:0>**：系统时钟源选择位
11：保留
10：选择 LRC
01：选择 XOSC
00：选择 HRC（默认使能）

Bit3 保留

Bit2-0 **CLK_DIV<2:0>**：系统时钟分频位
系统时钟频率 $F_{SYSCLK} = \frac{F_{SOURCE}}{2^{CLK_DIV<2:0>}}$

CLK_C1 时钟控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-00		R-0	R-0	RW-00		RW-0	RW-0
OSC_F<1:0>		XOSC_ST	HRC_ST	SRAM_SEL		OSC_EN	HRC_EN

Bit7-6 **OSC_F<1:0>**：系统时钟源状态位

11：保留

10：当前系统时钟源为 LRC

01：当前系统时钟源为 XOSC

00：当前系统时钟源为 HRC

Bit5 **XOSC_ST**：外部振荡器 XOSC 工作状态位

1：XOSC 已进入稳定工作状态

0：XOSC 启动中

Bit4 **HRC_ST**：内部高速振荡器 HRC 工作状态位

1：HRC 已进入稳定工作状态

0：HRC 启动中

Bit3-2 **SRAM_SEL<1:0>**SRAM 操作电压选择（保持 00）

11：1.8V

10：5.0V

01：3.3V

00：3.3V

Bit1 **XOSC_EN**：外部振荡器 XOSC 使能位

1：使能

0：关闭

Bit0 **HRC_EN**：内部高速振荡器 HRC 使能位

1：使能

0：关闭

PCK_GTC0 外设时钟控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1	—	RW-1	RW-1	RW-1	RW-1	—	RW-1
COMM_G	—	ANA_G	CP0_G	TMR3_G	TMR2_G	—	TMR0_G

Bit7 **COMM_G**：UART 和 IIC 外设时钟使能位

1：使能

0：关闭

Bit6 保留

Bit5 **ANA_G**：ADC 和 ACP 外设时钟使能位

1：使能

0：关闭

Bit4 **CP0_G**：CAP2 和 PWM0~PWM2 外设时钟使能位

1：使能

0：关闭

Bit3 **TMR3_G**：TMR3 外设时钟使能位

1：使能

0：关闭

Bit2 **TMR2_G**：TMR2 外设时钟使能位

1：使能

0：关闭

Bit1 保留

Bit0 **TMR0_G**：TMR0~TMR1 外设时钟使能位

1：使能

0：关闭

WKUP_T SLEEP 唤醒等待时间寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-1111			
—	—	—	—	WKUP_T<3:0>			

Bit7-4 保留

Bit3-0 **WKUP_T<3:0>**：SLEEP 唤醒等待时间控制位

唤醒等待时间 $T_{WKUP} = (WKUP_T<3:0> + 1) \times 16 \times T_{SYS_CLK}$

TMR_HRC_C TMR 计数 HRC 时钟选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	CLK_S

Bit7-1 保留

Bit0 **CLK_S**：TMR 用的 HRC 是否使能 2 分频

1：使能

0：禁止

HRC_TRML HRC 调校寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1000_0000							
HRC_TRM<7:0>							

Bit7-0 **HRC_TRM<7:0>**：HRC 频率调校位低 8 位。校准数据低位写完成后生效。

HRC_TRMH HRC 调校寄存器高 2 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000				—	—	RW-00	
HRC_PR<3:0>				—	—	HRC_TRM<9:8>	

Bit7-4 **HRC_PR<3:0>**：HRC 调校位写保护

W：写入 5H 锁定，写入 AH 解锁

R：锁定状态读为 0H，解锁状态读为 1H

Bit3-2 保留

Bit1-0 **HRC_TRM<9:8>**：HRC 频率调校位高 2 位

注：HRC_TRML 和 HRC_TRMH 寄存器不受 CLK_PR 控制。

9 低功耗

9.1 描述

芯片支持 2 种低功耗模式，IDLE 模式和 SLEEP 模式。

IDLE 模式

在 IDLE 模式下，CPU 暂停执行指令，系统时钟和外设均保持当前的工作状态。

用户可关闭不需要运行模块的使能位，并通过 PCK_GTC0 寄存器关闭相应模块的时钟，以节省不必要的功率消耗。

保持运行的外设产生的中断，如果相应的中断使能位为 1（GIE 不需使能），可将芯片从 IDLE 状态唤醒。如果 GIE 使能，唤醒芯片后，会进行中断服务程序。IDLE 唤醒无等待时间，唤醒后 CPU 继续运行。

SLEEP 模式

在 SLEEP 模式下，系统时钟自动关闭，CPU 和所有采用系统时钟工作的外设模块均暂停工作。

采用非系统时钟工作的外设可在 SLEEP 模式下保持工作，并且产生的中断，如果相应的中断使能位为 1（GIE 不需使能），可将芯片从 SLEEP 状态唤醒。如果 GIE 使能，唤醒芯片后，会进行中断服务程序。SLEEP 唤醒需要一定的等待时间，用户可通过 WKUP_T 寄存器设定，等待时间用以确保芯片恢复运行前内部的部分模块已达到稳定工作状态，唤醒后系统时钟恢复运行，CPU 和经系统时钟同步的外设继续运行。

9.2 低功耗寄存器

PCON 低功耗控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000				—	—	RW-0	RW-0
PCON_PR<3:0>				—	—	IDLE	SLEEP

Bit7-4 **PCON_PR<3:0>**：PCON 解锁字

W：写入 5H 解锁，写入其他值锁定

R：锁定状态读为 0H，解锁状态读为 1H

Bit3-2 保留

Bit1 **IDLE**：IDLE 模式使能位

1：进入 IDLE 模式（仅在 PCON_PR 解锁状态下，对 PCON 寄存器写 02H 可置 1）

0：退出 IDLE 模式（写 0 无效，唤醒后硬件自动清 0）

Bit0 **SLEEP**：SLEEP 模式使能位

1：进入 SLEEP 模式（仅在 PCON_PR 解锁状态下，对 PCON 寄存器写 01H 可置 1）

0：退出 SLEEP 模式（写 0 无效，唤醒后硬件自动清 0）

10 看门狗定时器 WDT

10.1 描述

芯片内置 16 位硬件看门狗定时器 WDT。支持 2 种时钟源可选，支持溢出周期可配置。

WDT 溢出唤醒

当 16 位 WDT 计数器累加到与 **WDT_CYC** 位所选择的值相等时，WDT 计数器溢出。溢出后 WDT 计数器从 0 开始累加。在 SLEEP 或 IDLE 下，WDT 一次溢出可将 CPU 从低功耗模式下唤醒。读 **WDT_OP** 寄存器可判断溢出标志。

WDT 溢出复位

当 16 位 WDT 计数器累加到与 **WDT_CYC** 位所选择的值相等时，WDT 计数器溢出。溢出后 WDT 计数器从 0 开始累加。在 MCU 运行状态选，WDT 两次溢出芯片将产生复位。WDT 复位同时将 WDT 复位标志 **RST_FLAG.WDTF** 置 1。

喂狗操作

对 WDT_OP 寄存器写 5AH 即可进行喂狗操作，喂狗操作将 WDT 计数器清 0，同时清除 WDT 溢出标志。另外操作芯片进入 SLEEP 或者 IDLE 时，同时产生喂狗动作。

10.2 WDT 寄存器

WDT_C WDT 控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-0	RW-0	RW-0			
—	—	WDT_PD	WDT_CKS	WDT_CYC<3:0>			

Bit7-6 保留

Bit5 **WDT_PD** : 软件 WDT 关断位 (仅在配置字关闭后生效)

1 : 关闭 WDT

0 : 使能 WDT

Bit4 **WDT_CKS** : WDT 时钟源选择位

1 : 内部低频时钟 LRC

0 : 系统时钟 SYS_CLK

Bit3-0 **WDT_CYC<3:0>** : WDT 溢出周期寄存器(下表时间为 LRC 16K 工作时间)

0000 : 2560ms	0001 : 2000ms	0010 : 1500ms	0011 : 1000ms
0100 : 900ms	0101 : 800ms	0110 : 700ms	0111 : 600ms
1000 : 500ms	1001 : 400ms	1010 : 300ms	1011 : 200ms
1100 : 100ms	1101 : 60ms	1110 : 30ms	1111 : 20ms

WDT_OP WDT 操作寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
WDT_OP<7:0>							

Bit7-0 **WDT_OP<7:0>** : WDT 操作字

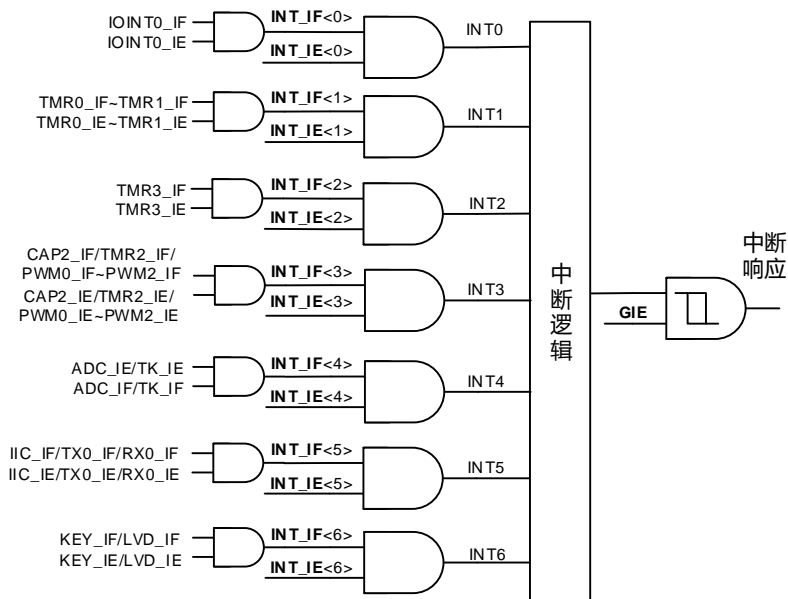
W : 写入 5AH 将 WDT 计数器清 0，且清除 WDT 溢出标志

R : WDT 未溢出读为 00H，WDT 溢出读为 01H，WDT 溢出唤醒读为 03H

11 中断

11.1 中断向量

芯片共支持 7 个中断向量，每个中断向量对应单独的入口地址。如下表所示，芯片的所有中断源都有各自的中断标志和中断使能位，这些中断源被分组对应到 7 个中断向量。同时，每个中断向量也有一个向量使能位 $INT_IE<n>$ ，并且所有的中断向量还共用 1 个总的使能位 $INT_IE.GIE$ 。GIE 禁止时所有中断不响应，但向量和中断源使能的中断仍支持低功耗模式唤醒功能。



图表 12 中断向量图

向量编号	对应 Interrupt	入口地址	向量使能	向量标志	中断源使能	中断源标志
INT0	0	0003H	INT0_IE	INT0_IF	IOINT0_IE	IOINT0_IF
INT1	2	0013H	INT1_IE	INT1_IF	TMR0_IE TMR1_IE	TMR0_IF TMR1_IF
INT2	7	003BH	INT2_IE	INT2_IF	TMR3_IE	TMR3_IF
INT3	8	0043H	INT3_IE	INT3_IF	TMR2_IE CAP2_IE PWMn_IE STPn_IE	TMR2_IF CAP2_IF PWMn_IF STPn_IF
INT4	9	004BH	INT4_IE	INT4_IF	ACP_IE ADC_IE	ACP_IF ADC_IF
INT5	10	0053H	INT5_IE	INT5_IF	TX0_IE RX0_IE IIC_IE	TX0_IF RX0_IF IIC_IF
INT6	11	005BH	INT6_IE	INT6_IF	LVD_IE	LVD_IF

图表 13 中断向量表

11.2 中断优先级

中断系统分为 2 个优先级阶，即高阶优先级和低阶优先级，每个中断向量可通过相应的 INTn_IP 位单独设置优先级阶。在同阶优先级中，中断向量号越小的中断向量优先级越高。同一中断向量对应的多个中断源不分优先级，用户需在对应于该向量入口地址的中断服务程序中进行软件判别。

高优先级的中断可嵌套低优先级中断。反之，低优先级中断只能等待高优先级或同级中断完成中断处理并退出中断服务程序后才可得到响应。

11.3 中断寄存器

INT_IE 中断使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-000_0000						
GIE	INT_IE<6:0>						

- Bit7 **GIE**：中断总使能位
1：使能
0：禁止（仅禁止中断响应，不禁止中断唤醒）
- Bit6-0 **INT_IE<6:0>**：中断向量 INT0~6 使能位
1：使能
0：禁止（禁止中断响应和中断唤醒）

INT_IF 中断标志寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000_0000						
—	INT_IF<6:0>						

- Bit7 保留
- Bit6-0 **INT_IF<6:0>**：中断向量 INT0~6 标志位
1：有中断请求
0：无中断请求

INT_IP 中断向量优先级寄存器

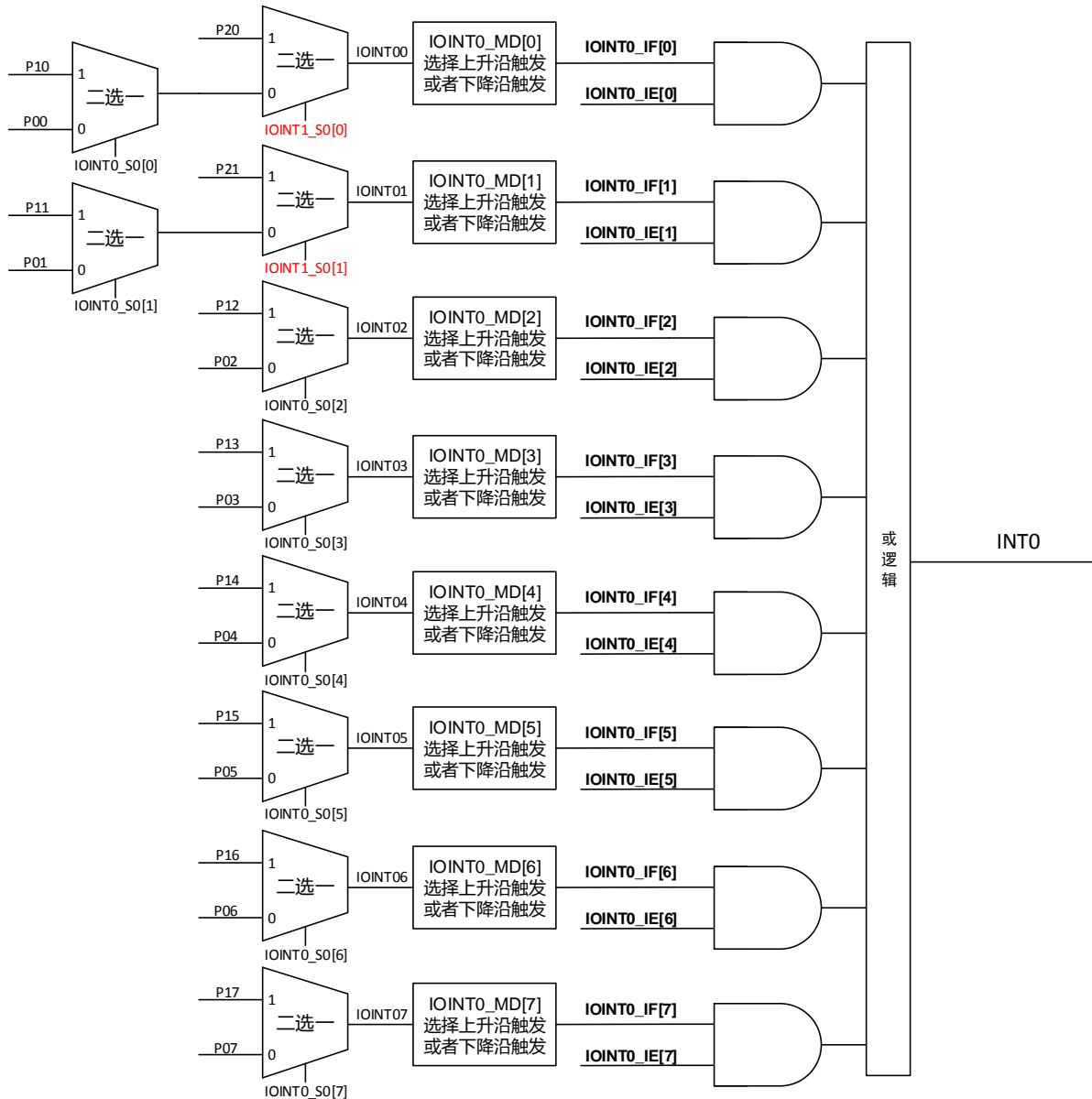
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000_0000						
—	INT_IP<6:0>						

- Bit7 保留
- Bit6-0 **INT_IP<6:0>**：中断向量 INT0~6 优先级选择位
1：高阶优先级
0：低阶优先级

11.4 外部端口中断 IOINT

芯片支持 8 个外部端口中断源 IOINT00~7，每个 IOINT 中断源可独立设置中断触发方式。最终可触发 INTO 中断。

下图为 IO 中断映射图：



IOINT0_IE IOINT0 使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT07_IE~ IOINT00_IE							

Bit7-0 IOINT0_IE<7:0> : 外部端口中断使能位

1 : 使能

0 : 禁止

IOINT0_IF IOINT0 标志寄存器 (本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT07_IF ~ IOINT00_IF							

Bit7-0 IOINT0_IF<7:0> : 外部端口中断标志位

1 : 有中断请求

0 : 无中断请求

IOINT0_MD IOINT0 触发选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT0_MD<7:0>							

Bit7-0 IOINT0_MD<7:0> : IOINT0 触发方式选择位

1 : 下降沿触发

0 : 上升沿触发

IOINT0_S0 IOINT0 端口选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT0_S0<7:0>							

Bit7-0 IOINT0_S0<7:0> : IOINT00~7 端口选择位

IOINT0_S0	IOINT07	IOINT06	IOINT05	IOINT04	IOINT03	IOINT02	IOINT01	IOINT00
1	P17	P16	P15	P14	P13	P12	P11	P10
0	P07	P06	P05	P04	P03	P02	P01	P00

IOINT0_S1 IOINT0 端口选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—						RW-00	
—						IOINT0_S1<1:0>	

Bit7-2 保留

Bit1-0 IOINT0_S1<1:0> : IOINT00~1 端口选择位

IOINT0_S1

1

0

IOINT01

P21

根据 IOINT0_S0 选择

IOINT00

P20

根据 IOINT0_S0 选择

11.5 定时器/计数器 TMR 中断

芯片的 4 个定时器 TMR0~3 都支持中断。当 TMRn 计数器累加到与周期寄存器 **TMRn_CY** 相等时，TMRn 产生 1 次溢出，当溢出次数达到后分频位 **TMRn_C0.TMRn_PST<3:0>** 所设定的次数时，即产生 TMRn 中断。（其中 n 表示 0~3）

TMR_IE TMR 中断使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0	RW-0	RW-0	RW-0
—	—	—	—	TMR3_IE	TMR2_IE	TMR1_IE	TMR0_IE

Bit7-4 保留

Bit3 **TMR3_IE** : TMR3 中断使能位

1 : TMR3 中断使能

0 : TMR3 中断禁止

Bit2 **TMR2_IE** : TMR2 中断使能位

1 : TMR2 中断使能

0 : TMR2 中断禁止

Bit1 **TMR1_IE** : TMR1 中断使能位

1 : TMR1 中断使能

0 : TMR1 中断禁止

Bit0 **TMR0_IE** : TMR0 中断使能位

1 : TMR0 中断使能

0 : TMR0 中断禁止

TMR_IF TMR 中断标志寄存器（本寄存器支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0	RW-0	RW-0	RW-0
—	—	—	—	TMR3_IF	TMR2_IF	TMR1_IF	TMR0_IF

Bit7-4 保留

Bit0 **TMR3_IF** : TMR3 中断标志位

1 : 有 TMR3 中断请求

0 : 无 TMR3 中断请求

Bit0 **TMR2_IF** : TMR2 中断标志位

1 : 有 TMR2 中断请求

0 : 无 TMR2 中断请求

Bit0 **TMR1_IF** : TMR1 中断标志位

1 : 有 TMR1 中断请求

0 : 无 TMR1 中断请求

Bit0 **TMR0_IF** : TMR0 中断标志位

1 : 有 TMR0 中断请求

0 : 无 TMR0 中断请求

11.6 边沿捕捉器 CAP 中断

芯片的 1 个边沿捕捉器 CAP 都支持中断。当满足用户设定的捕捉条件的捕捉事件发生时，即产生捕捉中断。

CAP_IE CAP 中断使能寄存器（与 PWM_IE 寄存器复用）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IE	—	—

Bit7-3 保留

Bit2 **CAP2_IE** : CAP 中断使能位

1 : 使能

0 : 禁止

Bit1-0 保留

CAP_IF CAP 中断标志寄存器（与 PWM_IF 寄存器复用，本寄存器支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IF	—	—

Bit7-3 保留

Bit2 **CAP2_IF** : CAP2 中断使能位

1 : 有 CAP2 中断请求

0 : 无 CAP2 中断请求

Bit1-0 保留

11.7 脉宽调制器 PWM 中断

芯片的 3 个脉宽调制器 PWM0~2 都支持 2 种中断，即 PWM 周期中断和 PWM 刹车中断。

PWM 周期中断

当 PWMn 所选时基的计数器值累加到该时基对应的周期值时，即产生 PWM 周期中断。

PWM 刹车中断

当 PWMn 发生刹车事件时，会产生 PWM 刹车中断。

PWM_IE **PWM 中断使能寄存器 (与 CAP_IE 寄存器复用)**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IE	STP1_IE	STP0_IE	—	PWM2_IE	PWM1_IE	PWM0_IE

Bit7	保留
Bit6	STP2_IE : PWM2 刹车中断使能位 1 : 使能 0 : 禁止
Bit5	STP1_IE : PWM1 刹车中断使能位 1 : 使能 0 : 禁止
Bit4	STP0_IE : PWM0 刹车中断使能位 1 : 使能 0 : 禁止
Bit3	保留
Bit2	PWM2_IE : PWM2 周期中断使能位 1 : 使能 0 : 禁止
Bit1	PWM1_IE : PWM1 周期中断使能位 1 : 使能 0 : 禁止
Bit0	PWM0_IE : PWM0 周期中断使能位 1 : 使能 0 : 禁止

PWM_IF PWM 中断标志寄存器 (与 CAP_IF 寄存器复用, 本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IF	STP1_IF	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF

Bit7	保留
Bit6	STP2_IF : PWM2 刹车中断标志位 1 : 有 PWM2 刹车中断请求 0 : 无 PWM2 刹车中断请求
Bit5	STP1_IF : PWM1 刹车中断标志位 1 : 有 PWM1 刹车中断请求 0 : 无 PWM1 刹车中断请求
Bit4	STP0_IF : PWM0 刹车中断标志位 1 : 有 PWM0 刹车中断请求 0 : 无 PWM0 刹车中断请求
Bit3	保留
Bit2	PWM2_IF : PWM2 周期中断标志位 1 : 有 PWM2 周期中断请求 0 : 无 PWM2 周期中断请求
Bit1	PWM1_IF : PWM1 周期中断标志位 1 : 有 PWM1 周期中断请求 0 : 无 PWM1 周期中断请求
Bit0	PWM0_IF : PWM0 周期中断标志位 1 : 有 PWM0 周期中断请求 0 : 无 PWM0 周期中断请求

11.8 异步收发器 UART 中断

UART 支持 2 个中断，即 TX 发送中断和 RX 接收中断。

TX 发送中断

根据 **UART_TXC.TXEN**<1:0>位的配置，TX 发送中断可以是 UART 发送寄存器空产生中断。

RX 接收中断

UART 接收寄存器接收到 1 帧数据，即产生 RX 接收中断。

UART_IE UART 中断使能寄存器（与 IIC_IE 寄存器复用）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IE	RX0_IE

Bit7-2 保留

Bit1 **TX0_IE**：UART0 发送中断使能位

1：使能

0：禁止

Bit0 **RX0_IE**：UART0 接收中断使能位

1：使能

0：禁止

UART_IF UART 中断标志寄存器（与 IIC_IF 寄存器复用，本寄存器支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IF	RX0_IF

Bit7-2 保留

Bit1 **TX0_IF**：UART0 发送中断标志位

1：有 UART0 发送中断请求

0：无 UART0 发送中断请求

Bit0 **RX0_IF**：UART0 接收中断标志位

1：有 UART0 接收中断请求

0：无 UART0 接收中断请求

11.9 IIC 总线控制器中断

IIC 总线控制器支持 1 个中断。通过 IIC_C0.IIC_IM 位可配置如下事件产生 IIC 中断。

START/STOP 位中断

检测到总线上有 START 或 STOP 位，产生中断。

发送/接收中断

完成 1 个字节的发送或接收，产生中断

IIC_IE IIC 中断使能寄存器（与 UART_IE 寄存器复用）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	—	—	—	—
—	—	—	IIC0_IE	—	—	—	—

Bit7-5 保留

Bit4 IIC0_IE：IIC0 中断使能位

1：使能

0：禁止

Bit3-0 保留

IIC_IF IIC 中断标志寄存器（与 UART_IF 寄存器复用，本寄存器支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	—	—	—	—
—	—	—	IIC0_IF	—	—	—	—

Bit7-5 保留

Bit4 IIC0_IF：IIC0 中断标志位

1：有中断请求

0：无中断请求

Bit3-0 保留

11.10 模拟模块中断

模拟模块包括 LVD、ADC 和 ACP、模拟比较器，每个模块都有独立的中断使能位和中断标志位。

低电压检测 LVD 中断

当满足 **LVD_C0.LVD_IM** 所设置的条件时，产生 LVD 中断。

模数转换器 ADC 中断

当 ADC 转换完成时，并达到 **ADC_C2.ADC_CNT<1:0>** 所设定的转换次数时，产生 ADC 中断。

模拟比较器中断

模拟比较器比较中断。

AN_IE 模拟中断使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	RW-0	RW-0
—	—	—	—	—	LVD_IE	ACP_IE	ADC_IE

Bit7-3 保留

Bit2 **LVD_IE**：LVD 中断使能位
1：使能
0：禁止

Bit1 **ACP_IE**：ACP 中断使能位
1：使能
0：禁止

Bit0 **ADC_IE**：ADC 中断使能位
1：使能
0：禁止

AN_IF 模拟中断标志寄存器（本寄存器支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	RW-0	RW-0
—	—	—	—	—	LVD_IF	ACP_IF	ADC_IF

Bit7-3 保留

Bit2 **LVD_IF**：LVD 中断标志位
1：有 LVD 中断请求
0：无 LVD 中断请求

Bit1 **ACP_IF**：ACP 中断标志位
1：有 ACP 中断请求
0：无 ACP 中断请求

Bit0 **ADC_IF**：ADC 中断标志位
1：有 ADC 中断请求
0：无 ADC 中断请求

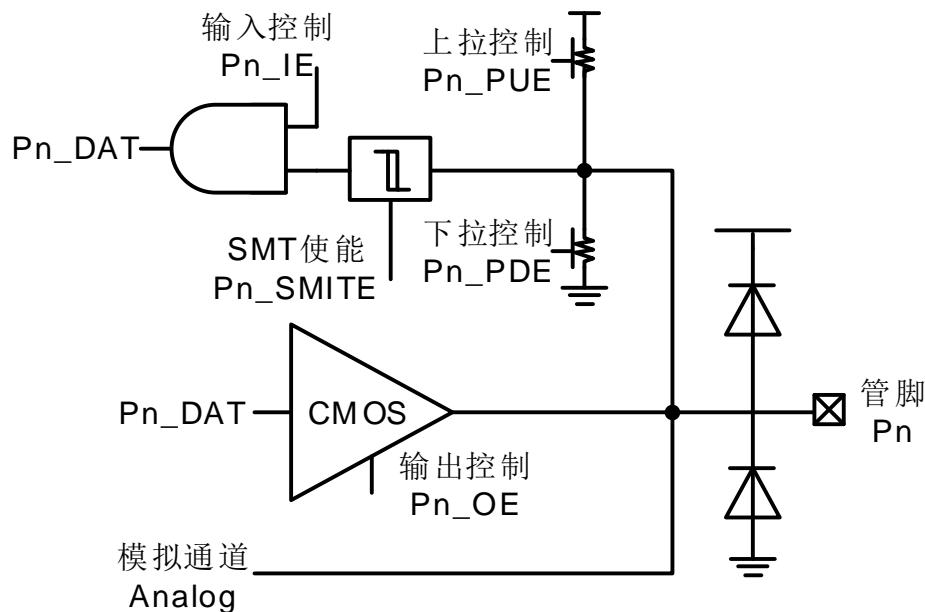
12 I/O 端口

12.1 描述

芯片 IO 管脚支持推挽输出和开漏输出两种模式。

支持上下拉单独控制。

输入输出全部关闭后，为高阻态，可用于模拟信号的输入输出。



图表 14 I/O 功能框图

12.2 I/O 寄存器 (寄存器中出现的 n 表示 0~2)

PORT_C0 端口控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-00		—	—
—	—	—	—	PT_RDS<1:0>		—	—

Bit7-4 保留

Bit3-2 **PT_RDS<1:0>**：读端口模式选择位

11：输出模式时读端口寄存器，输入模式下读端口电平

10：始终读端口寄存器

01：始终读端口电平

00：输出模式时读端口寄存器，输入模式下读端口电平

Bit1-0 保留

Pn_OE Pn 端口输出使能寄存器 (n 表示 0~2)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_OE<7:0>							

Bit7-0 **Pn_OE<7:0>**：Pn 端口输出使能位

1：输出使能

0：输出禁止

Pn_IE Pn 端口输入使能寄存器（默认使能，管脚作为模拟功能时关闭输入）（n 表示 0~2）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
Pn_IE<7:0>							

Bit7-0 **Pn_IE<7:0>** : Pn 端口输入使能位

1 : 使能

0 : 禁止

Pn_DAT Pn 端口数据寄存器（n 表示 0~2）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_DAT<7:0>							

Bit7-0 **Pn_DAT<7:0>** : Pn 端口输出位

1 : 端口输出高电平

0 : 端口输出低电平

Pn_PUE Pn 端口弱上拉使能寄存器（n 表示 0~2）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_PUE<7:0>							

Bit7-0 **Pn_PUE<7:0>** : Pn 端口弱上拉使能位

1 : 弱上拉使能

0 : 弱上拉关闭

Pn_PDE Pn 端口弱下拉使能寄存器（n 表示 0~2）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_PDE<7:0>							

Bit7-0 **Pn_PDE<7:0>** : Pn 端口弱下拉使能位

1 : 弱下拉使能

0 : 弱下拉关闭

Pn_ODE Pn 端口开漏使能寄存器（n 表示 0~2）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_ODE<7:0>							

Bit7-0 **Pn_ODE<7:0>** : Pn 端口输出模式选择位

1 : 开漏输出模式（要求开漏端口电平不高于 VDD 电平）

0 : 推挽输出模式

P1_SMITE P1 端口施密特使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
P1_SMITE<7:0>							

Bit7-0 **P1_SMITE<7:0>** : P17~P10 端口施密特模式选择位

1 : 使能

0 : 禁止

P0_IOH_CL P00~P03 拉电流驱动力设置 (输出高电平时驱动电流设置)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
P03_IOH<1:0>		P02_IOH<1:0>		P01_IOH<1:0>		P00_IOH<1:0>	

Bit7-6 **P03_IOH<1:0>** : P03 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

Bit5-4 **P02_IOH<1:0>** : P02 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

Bit3-2 **P01_IOH<1:0>** : P01 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

Bit1-0 **P00_IOH<1:0>** : P00 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

P0_IOH_CH P04~P07 拉电流驱动力设置 (输出高电平时驱动电流设置)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
P07_IOH<1:0>		P06_IOH<1:0>		P05_IOH<1:0>		P04_IOH<1:0>	

Bit7-6 **P07_IOH<1:0>** : P07 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

Bit5-4 **P06_IOH<1:0>** : P06 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

Bit3-2 **P05_IOH<1:0>** : P05 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

Bit1-0 **P04_IOH<1:0>** : P04 端口驱动电流设置

11 : 8mA 10 : 4mA

01 : 2mA 00 : 15mA

P1_IOL_CL P10~P13 灌电流驱动力设置（输出低电平时驱动电流设置）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
P13_IOL<1:0>		P12_IOL<1:0>		P11_IOL<1:0>		P10_IOL<1:0>	

Bit7-6 **P13_IOL<1:0>** : P13 端口驱动电流设置

其他：保留

01 : 80mA

00 : 25mA

Bit5-4 **P12_IOL<1:0>** : P12 端口驱动电流设置

其他：保留

01 : 80mA

00 : 25mA

Bit3-2 **P11_IOL<1:0>** : P11 端口驱动电流设置

其他：保留

01 : 80mA

00 : 25mA

Bit1-0 **P10_IOL <1:0>** : P10 端口驱动电流设置

其他：保留

01 : 80mA

00 : 25mA

P1_IOL_CH P14~P15 灌电流驱动力设置（输出低电平时驱动电流设置）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-00		RW-00	
—	—	—	—	P15_IOL		P14_IOL	

Bit7-4 保留

Bit3-2 **P15_IOL<1:0>** : P15 端口驱动电流设置

其他：保留

01 : 80mA

00 : 25mA

Bit1-0 **P14_IOL<1:0>** : P14 端口驱动电流设置

其他：保留

01 : 80mA

00 : 25mA

12.3 I/O 功能复用功能寄存器

管脚数字复用功能表

符 号	类 型	描 述	备 注
Pn0~Pn7	IO	8 位双向 IO 端口	支持上下拉电阻，支持中断唤醒
PWMn0/1	O	PWM 输出端口	支持同相或互补输出
TnO	O	TIMER 计数溢出翻转	计数溢出翻转
TnG	I	TIMER 计数门控管脚	
TnIN	I	TIMER 外部时钟输入	
CAP2	I	捕捉模式下为捕捉输入	
TX0	O	UART 发送端口	
RX0	I	UART 接收端口	
SCL	I	IIC 时钟线	
SDA	IO	IIC 数据线	
CKO	O	系统时钟输出	
IOINT0n	I	外部中断输入端口	支持睡眠唤醒

P0_FUN0 P00 和 P01 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P01_FUN<2:0>			—	P00_FUN<2:0>		

Bit7 保留

Bit6-4 P01_FUN<2:0> : P01 端口复用选择位 (参见端口复用表)

100 : STP	101 : T3IN/T3O	110 : T3G	111 : SCL
000 : IO	001 : PWM01	010 : RX0	011 : SDA

Bit3 保留

Bit2-0 P00_FUN<2:0> : P00 端口复用选择位 (参见端口复用表)

100 : CAP2	101 : T2IN/T2O	110 : T3G	111 : CKO
000 : IO	001 : PWM00	010 : TX0	011 : SCL

P0_FUN1 P02 和 P03 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P03_FUN<2:0>			—	P02_FUN<2:0>		

Bit7 保留

Bit6-4 P03_FUN<2:0> : P03 端口复用选择位 (参见端口复用表)

100 : CAP2	101 : T3IN/T3O	110 : T3G	111 : 保留
000 : IO	001 : PWM11	010 : RX0	011 : SCL

Bit3 保留

Bit2-0 P02_FUN<2:0> : P02 端口复用选择位 (参见端口复用表)

100 : STP	101 : T0O	110 : CKO	111 : SDA
000 : IO	001 : PWM10	010 : TX0	011 : SCL

P0_FUN2 P04 和 P05 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P05_FUN<2:0>			—	P04_FUN<2:0>		

Bit7 保留

Bit6-4 **P05_FUN<2:0>** : P05 端口复用选择位 (参见端口复用表)

100 : T0O	101 : T3IN/T3O	110 : T3G	111 : 保留
000 : IO	001 : PWM21	010 : RX0	011 : SCL

Bit3 保留

Bit2-0 **P04_FUN<2:0>** : P04 端口复用选择位 (参见端口复用表)

100 : RX0	101 : T2IN/T2O	110 : T3G	111 : 保留
000 : IO	001 : PWM20	010 : TX0	011 : SDA

P0_FUN3 P06 和 P07 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P07_FUN<2:0>			—	P06_FUN<2:0>		

Bit7 保留

Bit6-4 **P07_FUN<2:0>** : P07 端口复用选择位 (参见端口复用表)

100 : CAP2	101 : T3IN/T0O	110 : T3G	111 : 保留
000 : IO	001 : PWM01	010 : RX0	011 : SCK

Bit3 保留

Bit2-0 **P06_FUN<2:0>** : P06 端口复用选择位 (参见端口复用表)

100 : T1O	101 : T2IN/T2O	110 : T3G/ACPO	111 : 保留
000 : IO	001 : PWM00	010 : TX0	011 : SDA

P1_FUN0 P10 和 P11 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P11_FUN<2:0>			—	P10_FUN<2:0>		

Bit7 保留

Bit6-4 **P11_FUN<2:0>** : P11 端口复用选择位 (参见端口复用表)

100 : CAP2	101 : T2IN/T2O	110 : T3G	111 : 保留
000 : IO	001 : PWM11	010 : RX0	011 : SCL

Bit3 保留

Bit2-0 **P10_FUN<2:0>** : P10 端口复用选择位 (参见端口复用表)

100 : CAP2	101 : T3IN/T3O	110 : T3G	111 : 保留
000 : IO	001 : PWM10	010 : TX0	011 : SDA

P1_FUN1 P12 和 P13 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P13_FUN<2:0>			—	P12_FUN<2:0>		

Bit7 保留

 Bit6-4 **P13_FUN<2:0>** : P13 端口复用选择位 (参见端口复用表)

100 : CAP2	101 : T3IN/T3O	110 : T3G	111 : 保留
000 : IO	001 : PWM21	010 : RX0	011 : SCL

Bit3 保留

 Bit2-0 **P12_FUN<2:0>** : P12 端口复用选择位 (参见端口复用表)

100 : CAP2	101 : T3IN/T1O	110 : T3G	111 : 保留
000 : IO	001 : PWM20	010 : TX0	011 : SDA

P1_FUN2 P14 和 P15 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-00			—	RW-000		
—	P15_FUN<1:0>			—	P14_FUN<2:0>		

Bit7-6 保留

 Bit5-4 **P15_FUN<2:0>** : P15 端口复用选择位 (参见端口复用表)

10 : RX0	11 : SCL
00 : IO	01 : PWM01

Bit3 保留

 Bit2-0 **P14_FUN<2:0>** : P14 端口复用选择位 (参见端口复用表)

100 : STP	101 : T1O	110 : ACPO	111 : 保留
000 : IO	001 : PWM00	010 : TX0	011 : SDA

P1_FUN3 P16 和 P17 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-000		—	—	RW-000	
—	—	P17_FUN<1:0>		—	—	P16_FUN<1:0>	

Bit7-6 保留

 Bit5-4 **P17_FUN<1:0>** : P17 端口复用选择位 (参见端口复用表)

10 : RX0	11 : SCL
00 : IO	01 : PWM11

Bit3-2 保留

 Bit1-0 **P16_FUN<1:0>** : P16 端口复用选择位 (参见端口复用表)

10 : TX0	11 : SDA
00 : IO	01 : PWM10

P2_FUN0 P20 和 P21 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	—	RW-0000	
—	P21_FUN<2:0>			—	—	P20_FUN<1:0>	

Bit7 保留

Bit6-4 **P21_FUN<2:0>** : P21 端口复用选择位 (参见端口复用表)

100 : STP	101 : T1O	110 : ACPO	111 : CKO
000 : IO	001 : PWM21	010 : TX0	011 : SCL

Bit3 保留

Bit2-0 **P20_FUN<1:0>** : P20 端口复用选择位 (参见端口复用表)

10 : RX0	11 : SDA
00 : IO	01 : PWM20

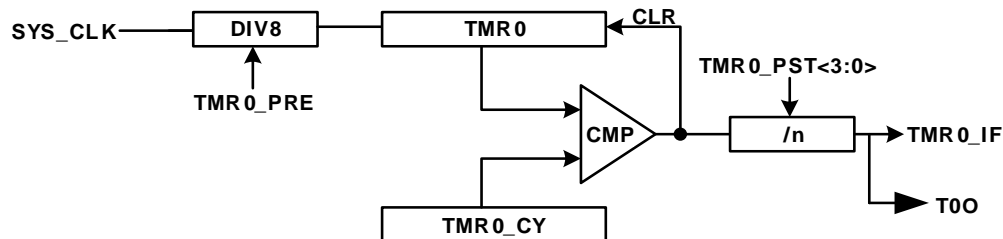
13 8 位定时器 TMR0

13.1 描述

TMR0 为内置 8 位定时器，使能后 TMR0 计数自动累加与 TMR0_CY 相等时产生溢出清零后继续计数，支持时钟 8 分频计数和后分频。

将 IO 配置成 T0O 功能时，每次溢出 T0O 输出翻转。

使能 TMR0_IE 和 INT1_IE 以及 GIE 后，当产生 TMR0_IF 可产生中断。



图表 15 TMR0 功能框图

13.2 TMR0 寄存器

TMR0_C0 TMR0 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	—	—	RW-0000			
TMR0_EN	TMR0_PRE	—	—	TMR0_PST<3:0>			

Bit7 **TMR0_EN** : TMR0 使能位

1 : 使能

0 : 关闭

Bit6 **TMR0_PRE** : TMR0 计数时钟 8 分频使能位

1 : 使能

0 : 关闭

Bit5-4 **保留**

Bit3-0 **TMR0_PST<3:0>** : TMR0 后分频位

TMR0 的 n 次溢出产生中断 ($n = \text{TMRn_POS<3:0>} + 1$)

TMR0 TMR0 计数寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR0<7:0>							

Bit7-0 **TMR0<7:0>** : TMR0 计数值

TMR0_CY TMR0 周期寄存器 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
TMR0_CY<7:0>							

Bit7-0 **TMR0_CY<7:0>** : TMR0 周期值

TMR_IE TMR 中断使能寄存器 (与 TMR1~TMR3 为地址复用，可触发 INT1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	TMR0_IE

Bit7-1 保留

Bit0 **TMR0_IE** : TMR0 中断使能位

1 : TMR0 中断使能

0 : TMR0 中断禁止

TMR_IF **TMR 中断标志寄存器 (与 TMR1~TMR3 为地址复用, 该寄存器支持位操作)**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	TMR0_IF

Bit7-1 保留

Bit0 **TMR0_IF** : TMR0 中断标志位

1 : 有 TMR0 中断请求

0 : 无 TMR0 中断请求

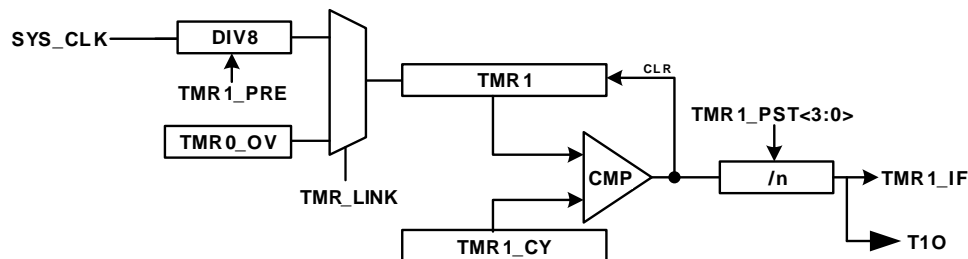
14 8 位定时器 TMR1 (支持级联 TMR0)

14.1 描述

TMR1 为内置 8 位定时器，使能后 TMR1 计数自动累加与 TMR1_CY 相等时产生溢出清零后继续计数，支持时钟 8 分频计数和后分频。可级联 TMR0 配置为 16 位定时器

将 IO 配置成 T1O 功能时，T1O 可输出翻转。

使能 TMR1_IE 和 INT1_IE 以及 GIE 后，当产生 TMR1_IF 可产生中断。



图表 16 TMR1 功能框图

14.2 TMR1 寄存器

TMR1_C0 TMR1 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	—	RW-0000			
TMR1_EN	TMRn_PRE	TMR_LINK	—	TMR1_PST<3:0>			

- Bit7 **TMR1_EN** : TMR1 使能位
1 : 使能
0 : 关闭
- Bit6 **TMR1_PRE** : TMR1 计数时钟 8 分频使能位
1 : 使能
0 : 关闭
- Bit5 **TMR_LINK** : 与 TMR0 级联(TMR1 功能)
1 : 级联 (TMR1 和 TMR0 预分频需要一致) ,计数溢出值为{TMR1_CY,TMR0_CY}+1
0 : 单独运行
- Bit4 **保留**
- Bit3-0 **TMR1_PST<3:0>** : TMR1 后分频位
TMR1 的 n 次溢出产生中断 (n = TMRn_POS<3:0> + 1)

TMR1 TMR1 计数寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR1<7:0>							

- Bit7-0 **TMR1<7:0>** : TMR1 计数值

TMR1_CY TMR0 周期寄存器 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
TMR1_CY<7:0>							

- Bit7-0 **TMR1_CY<7:0>** : TMR1 周期值

TMR_IE TMR 中断使能寄存器 (与 TMR0 , TMR2~TMR3 为地址复用 , 可触发 INT1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	—
—	—	—	—	—	—	TMR1_IE	—

Bit7-2 保留

Bit1 **TMR1_IE** : TMR1 中断使能位

1 : TMR1 中断使能

0 : TMR1 中断禁止

Bit0 保留

TMR_IF TMR 中断标志寄存器 (与 TMR0 , TMR2~TMR3 为地址复用 , 该寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	—
—	—	—	—	—	—	TMR1_IF	—

Bit7-2 保留

Bit1 **TMR1_IF** : TMR1 中断标志位

1 : 有 TMR1 中断请求

0 : 无 TMR1 中断请求

Bit0 保留

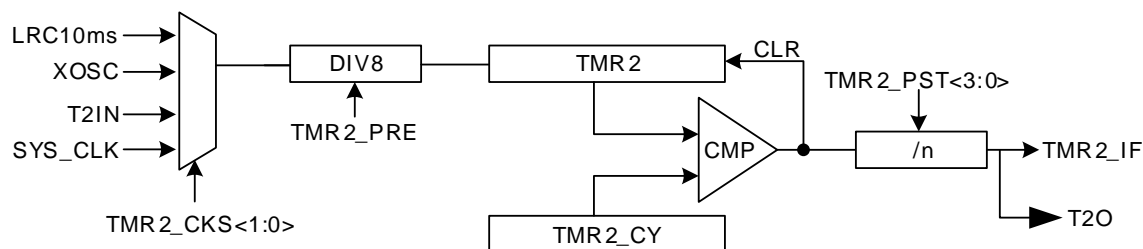
15 8 位定时器/计数器 TMR2

15.1 描述

TMR2 为内置 8 位定时器计数器，支持 4 个计数源，使能后 TMR2 计数自动累加与 TMR2_CY 相等时产生溢出清零后继续计数，支持时钟 8 分频计数和后分频。

将 IO 配置成 T2O 功能是，T2O 可输出翻转。

使能 TMR2 IE 和 INT3 IE 以及 GIE 后, 当产生 TMR2 IF 可产生中断。



图表 17 TMR2 功能框图

15.1 TMR2 寄存器

TMR2 C0 TMRn 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-00		RW-0000			
TMR2 EN	TMR2 PRE	TMR2 CKS		TMR2 PST_{<3:0>}			

Bit7 **TMR2 EN** : TMR2 使能位

1：使能

0：关闭

Bit6 **TMR2_PRE** : TMR2 计数时钟 8 分频使能位

1：使能

0：关闭

Bit5-4 **TMR2 CKS<1:0>** : TMR2 计数时钟选择位

10 : LRC 10MS

11 : XOSC 振荡器

00 : SYS CLK 系统时钟源

01：T2IN 复用端口输入

Bit3-0 **TMR2 PST<3:0>** : TMRn 后分频位

TMR2 的 n 次溢出产生中断 ($n = \text{TMRn_POS} \langle 3:0 \rangle + 1$)

TMR2 TMR2 计数寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR2<7:0>							

Bit7-0 **TMR2<7:0>** : TMR2 计数值

TMR2 CY **TMR2 周期寄存器低 8 位**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR2 CY<7:0>							

Bit7-0 **TMR2 CY<7:0>** : TMR2 周期值

TMR_IE TMR 中断使能寄存器 (与 TMR0 , TMR1 , TMR3 为地址复用 , 可触发 INT3)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	TMR2_IE	—	—

Bit7-3 保留

Bit2 **TMR2_IE** : TMR2 中断使能位

1 : TMR2 中断使能

0 : TMR2 中断禁止

Bit1-0 保留

TMR_IF TMR 中断标志寄存器 (与 TMR0 , TMR1,TMR3 为地址复用 , 该寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	TMR2_IF	—	—

Bit7-3 保留

Bit2 **TMR2_IF** : TMR2 中断标志位

1 : 有 TMR2 中断请求

0 : 无 TMR2 中断请求

Bit1-0 保留

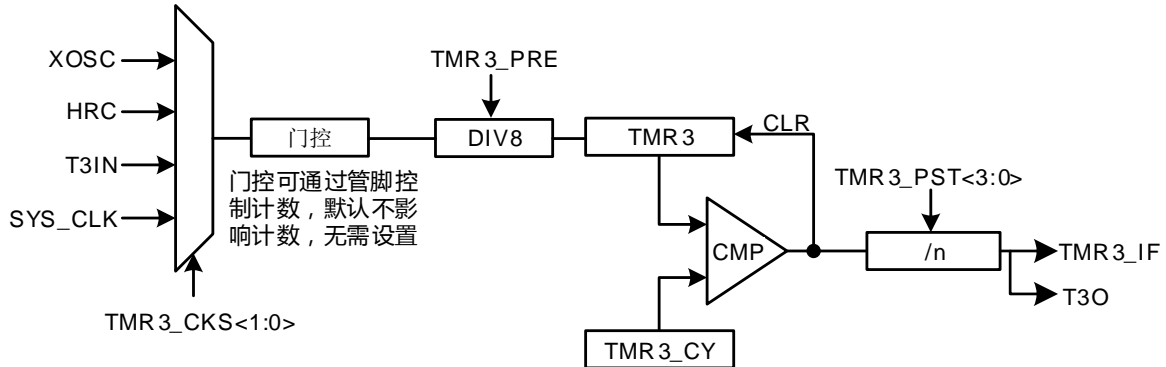
16 16 位定时/计数器 TMR3

16.1 描述

TMR3 为内置 16 位定时器计数器，支持 4 个计数源，使能后 TMR3 计数自动累加与 TMR3_CY 相等时产生溢出清零后继续计数，支持时钟 8 分频计数和后分频。

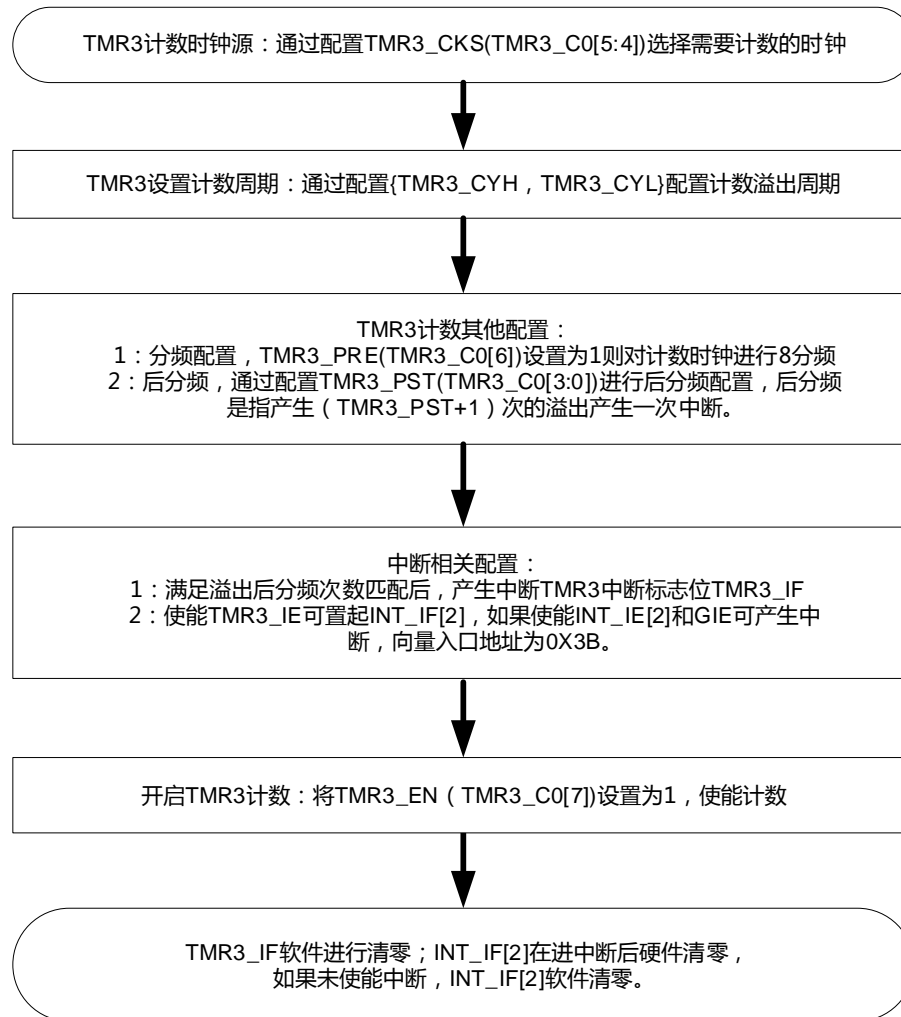
将 IO 配置成 T3O 功能，T3O 可输出翻转。

使能 TMR3_IE 和 INT2_IE 以及 GIE 后，当产生 TMR3_IF 可产生中断。



图表 18 TMR3 功能框图

16.2 TMR3 操作流程



图表 19 TMR3 操作流程图

16.3 TMR3 寄存器

TMR3_C0 TMR3 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-00		RW-0000			
TMR3_EN	TMR3_PRE	TMR3_CKS<3:0>		TMR3_PST<3:0>			

Bit7 **TMR3_EN** : TMR3 使能位

1 : 使能

0 : 关闭

Bit6 **TMR3_PRE** : TMR3 计数时钟 8 分频使能位

1 : 使能

0 : 关闭

Bit5-4 **TMR3_CKS<3:0>** : TMR3 计数时钟选择位

10 : HRC 内部高频时钟

11 : XOSC 振荡器

00 : SYS_CLK 系统时钟源

01 : T3IN 复用端口输入

Bit3-0 **TMR3_PST<3:0>** : TMRn 后分频位

TMR3 的 n 次溢出产生中断 ($n = \text{TMR3_POS<3:0>} + 1$)

TMR3_C1 TMR3 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-0	RW-0	—	—	—	—
—	—	TMR3_GS	TMR3_GE	—	—	—	—

Bit7-6 保留

Bit5 **TMR3_GS** : TMR3 门控极性选择位

1 : T3G 输入高电平计数

0 : T3G 输入低电平计数

Bit4 **TMR3_GE** : TMR3 门控使能位

1 : 使能 (使能后需要根据 TMR3_GS 设置和 T3G 输入相对应是才可计数)

0 : 关闭 (关闭状态下 TMR 仅需使能 TMR3_EN 既可以计数)

Bit3-0 保留

TMR3L TMR3 计数寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR3<7:0>							

Bit7-0 **TMR3<7:0>** : TMR3 计数值低 8 位, 写时应先低位后高位; 读出时先高位后低位

TMR3H TMR3 计数寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMRn<15:8>							

Bit7-0 **TMR3<15:8>** : TMR3 计数值高 8 位, 写时应先低位后高位; 读出时先高位后低位

TMR3_CYL TMR3 周期寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR3_CY<7:0>							

Bit7-0 TMR3_CY<7:0> : TMR3 周期值低 8 位

TMR3_CYH TMR3 周期寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR3_CY<15:8>							

Bit7-0 TMR3_CY<15:8> : TMR3 周期值高 8 位

TMR_IE TMR 中断使能寄存器 (与 TMR0, TMR1, TMR2 为地址复用, 可触发 INT2)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0	—	—	—
—	—	—	—	TMR3_IE	—	—	—

Bit7-4 保留

Bit3 TMR3_IE : TMR3 中断使能位

1 : TMR3 中断使能

0 : TMR3 中断禁止

Bit2-0 保留

TMR_IF TMR 中断标志寄存器 (与 TMR0, TMR1, TMR2 为地址复用, 该寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0	—	—	—
—	—	—	—	TMR3_IF	—	—	—

Bit7-4 保留

Bit3 TMR3_IF : TMR3 中断标志位

1 : 有 TMR3 中断请求

0 : 无 TMR3 中断请求

Bit2-0 保留

17 边沿捕捉器 CAP2 (不能与 PWM2 同时使用)

17.1 描述

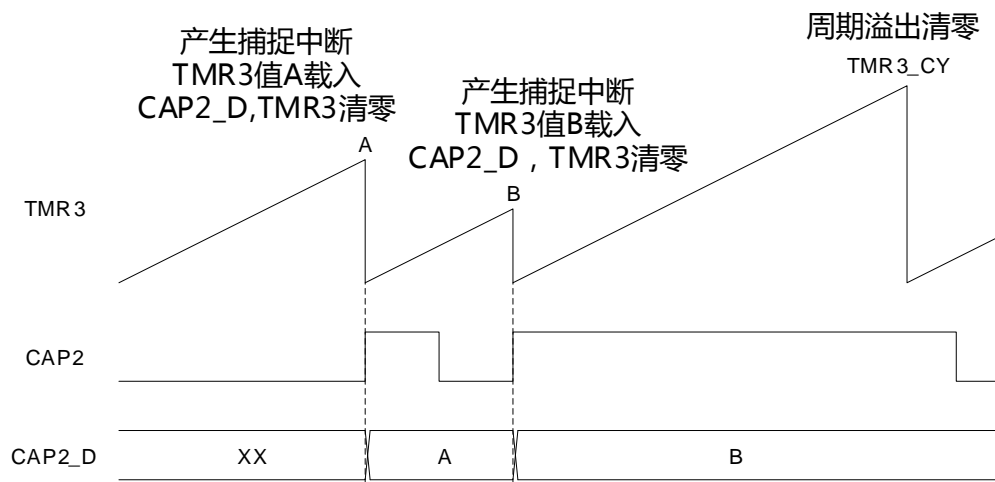
芯片内置 1 路边沿捕捉器 CAP2。

边沿捕捉器 CAP2，工作时需选定一个 TMR3 作为工作时基。

在产生捕捉中断时，硬件自动记录时基当前数值，存入{CAP2_DH,CAP2_DL}

捕捉清零模式

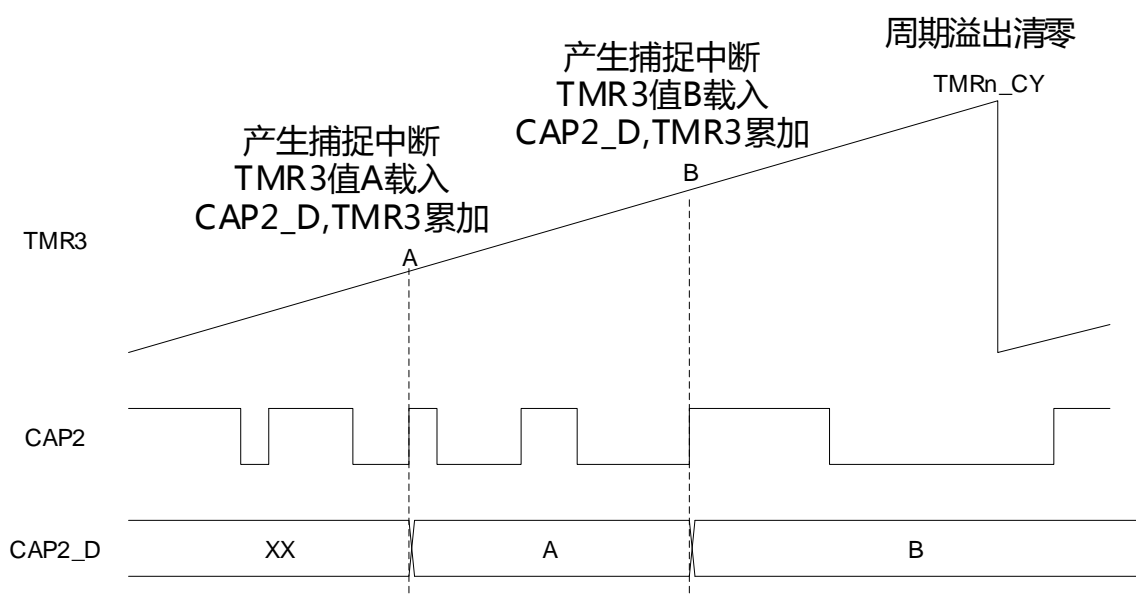
示例： $CAP_MOD<1:0>=11$ ， $CAP_EGS<1:0>=01$ ， $CAP_CNT<1:0>=00$



图表 20 捕捉清零模式示例波形图

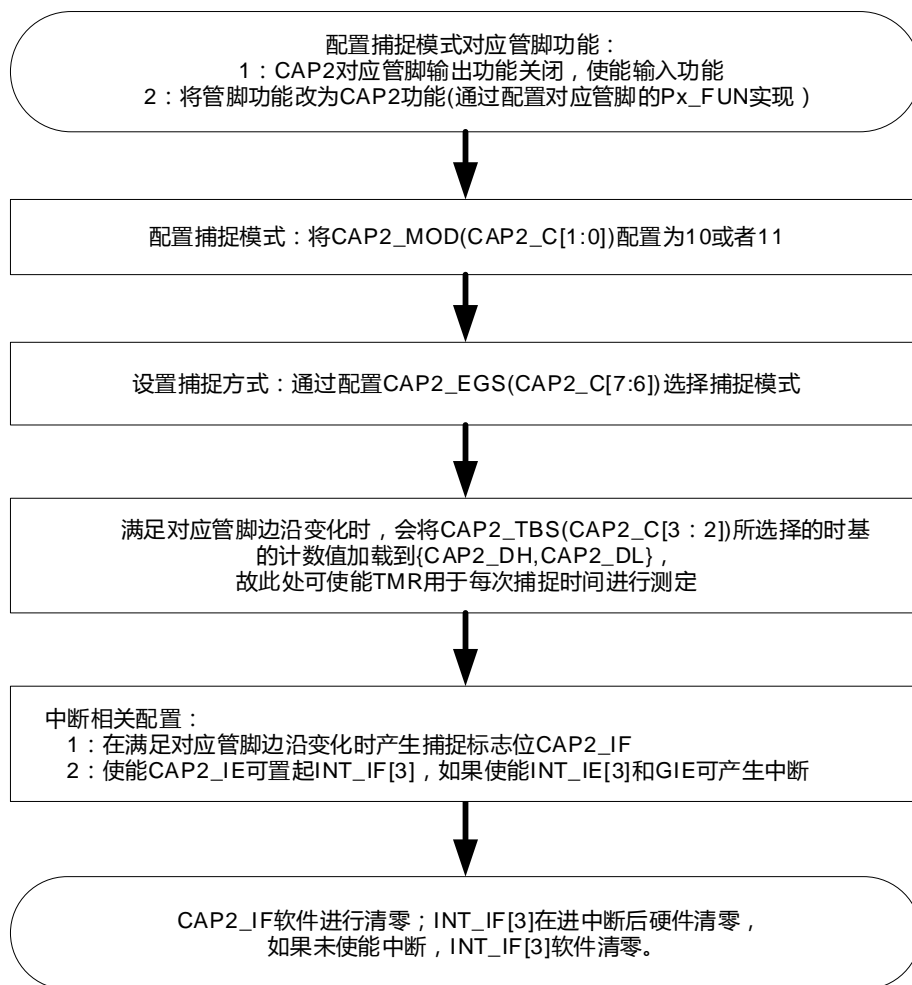
捕捉累加模式

示例： $CAP_MOD<1:0>=10$ ， $CAP_EGS<1:0>=11$ ， $CAP_CNT<1:0>=01$



图表 21 捕捉累加模式示例波形图

17.2 CAP 操作流程 (以 CAP2 为例)



图表 22 CAP 操作流程图

17.3 CAP 寄存器

CAP2_C CAP 捕捉控制寄存器 (与 PWM2_C 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
CAP_EGS<1:0>		CAP_CNT<1:0>		CAP_TBS<1:0>		CAP_MOD<1:0>	

Bit7-6 **CAP_EGS<1:0>** : CAP 捕捉边沿选择位

- 11 : 上升和下降沿都捕捉
- 10 : 下降沿捕捉
- 01 : 上升沿捕捉
- 00 : 保留

Bit5-4 **CAP_CNT<1:0>** : CAP 捕捉边沿个数选择位

- 11 : 16 个触发边沿产生 1 次捕捉事件
- 10 : 8 个触发边沿产生 1 次捕捉事件
- 01 : 4 个触发边沿产生 1 次捕捉事件
- 00 : 1 个触发边沿产生 1 次捕捉事件

Bit3-2 **CAP_TBS<1:0>** : CAP 工作时基选择位

- 11 : 保留
- 10 : 保留
- 01 : 保留
- 00 : 选择 TMR3

Bit1-0 **CAP_MOD<1:0>** : CAP 捕捉模式选择位

- 11 : 捕捉清零模式 (捕捉事件发生时, 将时基 TMR 清零)
- 10 : 捕捉累加模式 (捕捉事件发生时, 时基 TMR 继续累加)
- 01 : 保留 (用于 PWM 模式)
- 00 : 关闭

CAP2_DL CAP2 捕捉寄存器低 8 位 (与 PWM2_R0L 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
CAP2_D<7:0>							

Bit7-0 **CAP2_D<7:0>** : CAP 捕捉值低 8 位

CAP2_DH CAP2 捕捉寄存器高 8 位 (与 PWM2_R0H 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
CAP2_D<15:8>							

Bit7-0 **CAP2_D<15:8>** : CAP2 捕捉值高 8 位

CAP_IE CAP 中断使能寄存器 (与 PWM_IE 寄存器复用, 可触发 INT3)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IE	—	—

Bit7-3 保留

Bit2 **CAP2_IE** : CAP 中断使能位

1 : 使能

0 : 禁止

Bit1-0 保留

CAP_IF CAP 中断标志寄存器 (与 PWM_IF 寄存器复用, 本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IF	—	—

Bit7-3 保留

Bit2 **CAP2_IF** : CAP2 中断使能位

1 : 有 CAP2 中断请求

0 : 无 CAP2 中断请求

Bit1-0 保留

18 脉宽调制器 PWM

18.1 描述

芯片内置 3 路 12+3 位脉宽调制器 PWM0~PWM2。PWM 支持边沿对齐和中心对齐。

脉宽调制器 PWM 依靠 TMR 计数，工作时需选定一个 TMR 作为工作时基。在选择时基时，根据应用系统的需求，可多组 PWM 选择同一个 TMR 时基，也可分别选择不同的 TMR 时基。当选择同一 TMR 时基时，采用同一时基工作的多组 PWM 的输出频率是相同的。

PWM 周期

PWM 以所选定 TMR 作为时基进行工作，PWM 的周期即为所选定 TMR 的 TMRn_CY 寄存器所设定的计数周期。

PWM 匹配点

PWM 模块包含 1 组 12+3 位的匹配寄存器 PWMn_R0，且匹配寄存器各有 1 级缓冲器

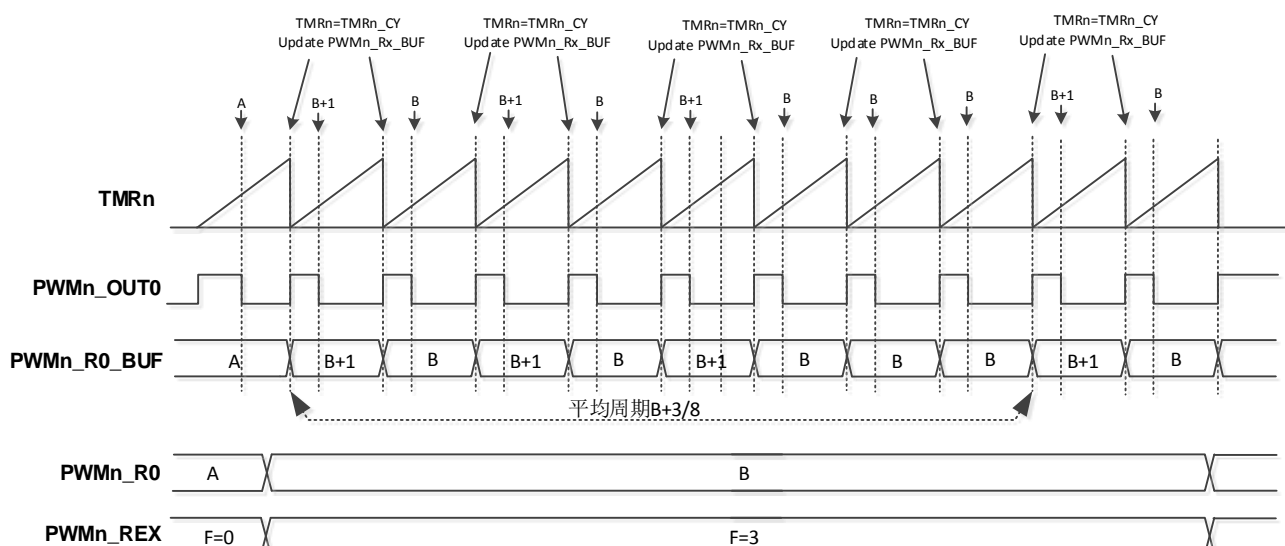
PWMn_R0_BUF 对应于 PWMn 的 1 路输出通道。当 PWM 关闭时，写匹配寄存器会同时将写入值更新到匹配缓冲器中；当 PWM 运行时，写匹配寄存器不会立即更新匹配缓冲器，而是在一个完整的 PWM 周期结束时才将匹配寄存器的内容更新到匹配缓冲器中。PWM 工作时，时基的计数值会实时和匹配缓冲器进行比较，当 PWM 时基计数值与匹配缓冲器值相等时，即为匹配点。用户可分别设定 PWM 周期内匹配点前和匹配点后的 PWM 输出电平。

PWM 输出初始态

当 PWM 模块不使能 PWM 波形输出初始态，用户可设定初始态的输出电平。当然，这个初始态的输出电平是否通过 PWM 复用端口输出，要取决于相应复用端口的设置。

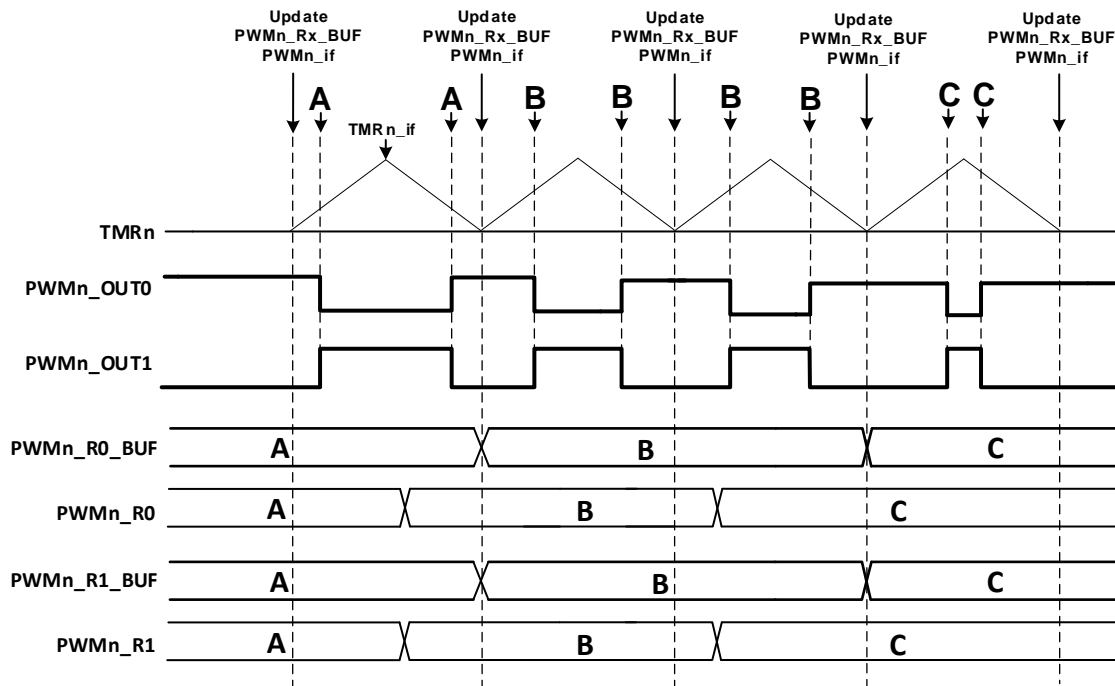
示例 1：边沿对齐，无死区，扩展设置为 3，设置如下：

PWMn_DT<7:0>=00H，PWMn0_T=0，PWMn0_P=1，PWMn_REX=3

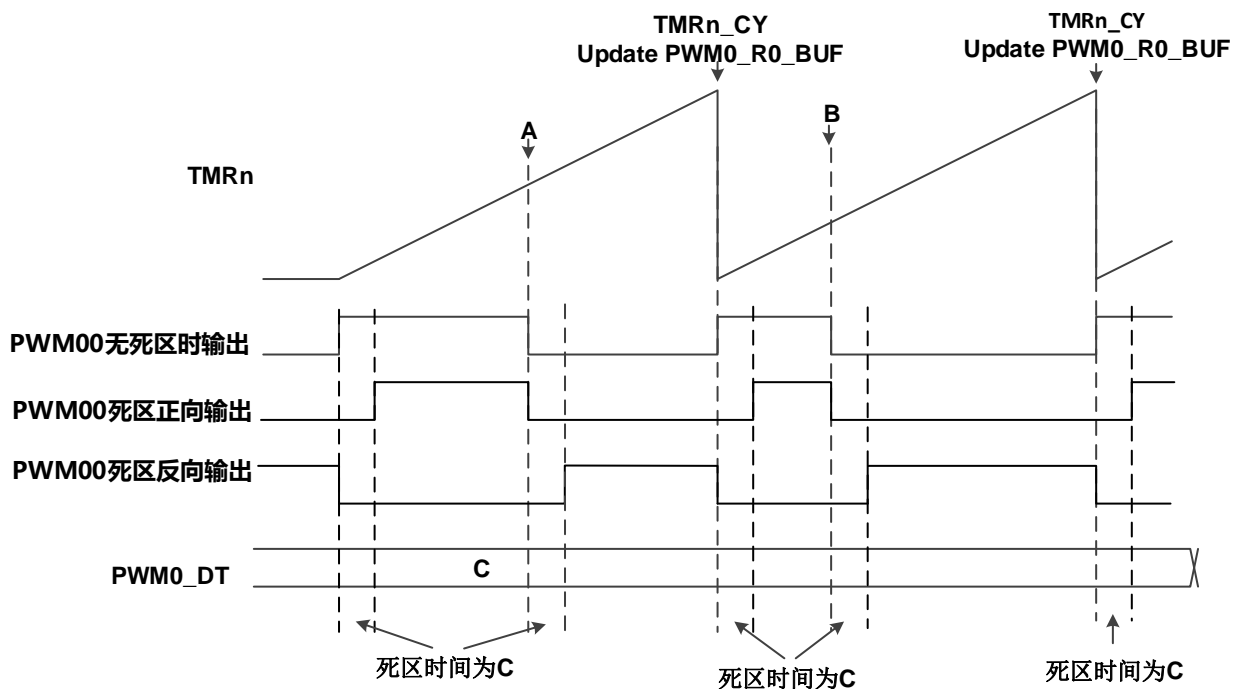


图表 23 PWM 边沿对齐工作示例波形图

示例 2：中心对齐，设置如下：

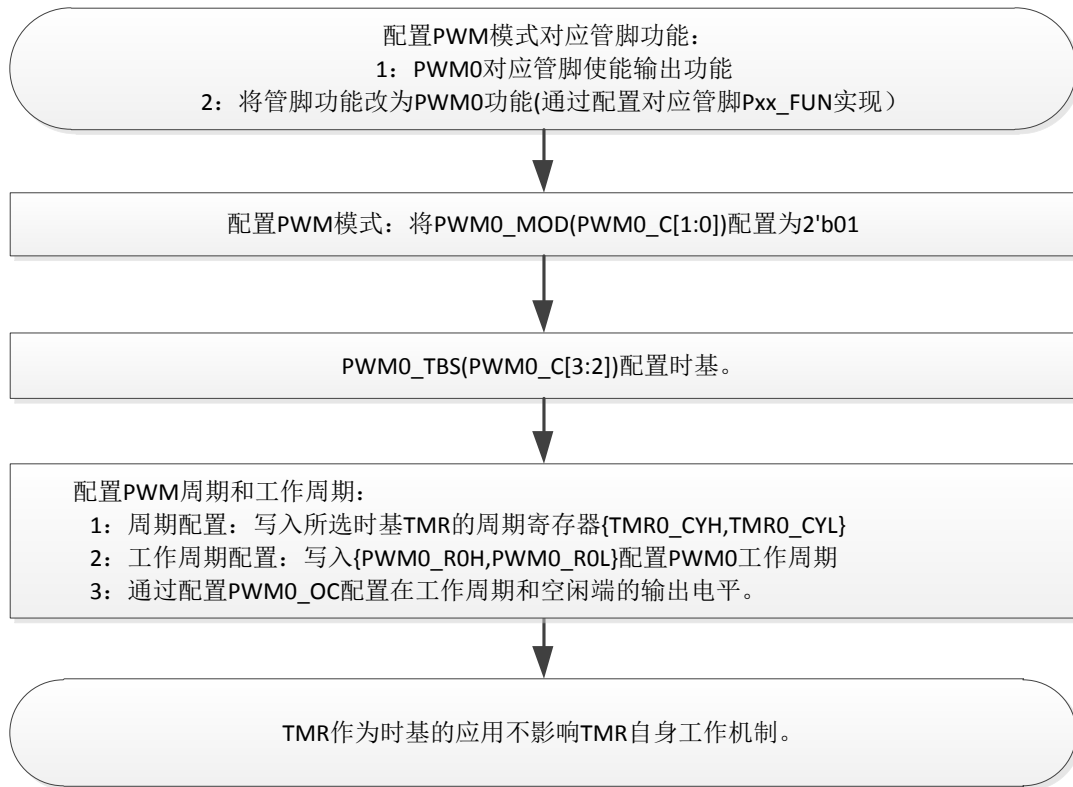


图表 24 PWM 中心对齐工作示例波形图



图表 25 PWM 边沿对齐死区工作示例波形图

18.2 PWM 操作流程 (以 PWM0 为例)



图表 26 PWM 操作流程图

18.3 PWM 寄存器

PWMn_C0 PWMn 控制寄存器 0 (与 CAP_C 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
PWMn_SPS<1:0>		PWM_MD<1:0>		PWMn_TBS<1:0>		PWMn_MOD<1:0>	

Bit7-6 **PWMn_SPS<1:0>** : PWMn 刹车模式选择位 (刹车后 PWM 模式关闭, 需要软件启动)

11 : 软件刹车 (写 “11” 立即进入刹车状态)

10 : 保留

01 : STP 复用端口输入低电平刹车

00 : 关闭刹车功能

Bit5-4 **PWM_MD<1:0>**

11 : 保留

10 : 保留

01 : 中心对齐模式 (仅时基选择成 TMR3 时支持)

00 : 边沿对齐模式

Bit3-2 **PWMn_TBS<1:0>** : PWMn 工作时基选择位

11 : 保留

10 : 保留

01 : TMR1 和 TMR0 开启级联时 (PWM 周期为{ TMR1,TMR0}) ,
没有级联时为 TMR0 为时基(TMR0 作为时基时只能做 8 位精度 PWM)

00 : 选择 TMR3

Bit1-0 **PWMn_MOD<1:0>** : PWMn 模式选择位

1x : 保留

01 : PWM 模式

00 : 关闭

PWMn_C1 PWMn 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0	RW-0	RW-0	RW-1
—	—	—	—	PWMn1_T	PWMn0_T	PWMn1_P	PWMn0_P

Bit7-4 保留

Bit3 **PWMn1_T** : PWMn 通道 1 输出初始态选择位

1 : 输出高电平

0 : 输出低电平

Bit2 **PWMn0_T** : PWMn 通道 0 输出初始态选择位

1 : 输出高电平

0 : 输出低电平

Bit1 **PWMn1_P** : PWMn 通道 1 输出配置

1 : 反向输出 (匹配点前输出值 0, 匹配点后输出 1)

0 : 正向输出 (匹配点前输出值 1, 匹配点后输出 0)

Bit0 **PWMn0_P** : PWMn 通道 0 输出配置

1 : 反向输出 (匹配点前输出值 0, 匹配点后输出 1)

0 : 正向输出 (匹配点前输出值 1, 匹配点后输出 0)

PWMn_R0L PWMn 匹配点寄存器低 8 位 (与 CAP_DL 寄存器复用) 写入先高后低

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
PWMn_R0<7:0>							

Bit7-0 PWMn_R0<7:0> : PWMn0 占空比低 8 位

PWMn_R0H PWMn 匹配点寄存器高 8 位 (与 CAP_DH 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			RW-0000			
—	PWMn_REX<2:0>			PWMn_R0<11:8>			

Bit7 保留

Bit6-4 PWMn_REX<2:0> : PWMn 平均占空比扩展位

Bit7-0 PWMn_R0<15:8> : PWMn0 占空比高 8 位

PWMn_R1L PWMn 匹配点寄存器低 8 位, 写入先高后低

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
PWMn_R1<7:0>							

Bit7-0 PWMn_R1<7:0> : PWMn1 占空比低 8 位

PWMn_R1H PWMn 匹配点寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0000			
—	—	—	—	PWMn_R1<11:8>			

Bit7-4 保留

Bit3-0 PWMn_R1<11:8> : PWMn1 占空比高 4 位

PWMn_DT PWMn 输出控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
PWMn_DT<7:0>							

Bit7-0 PWMn_D<7:0> : 死区延时时间

PWM_IE PWM 中断使能寄存器 (与 CAP_IE 寄存器复用, 可触发 INT3)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IE	STP1_IE	STP0_IE	—	PWM2_IE	PWM1_IE	PWM0_IE

Bit7 保留

Bit6 **STP2_IE** : PWM2 刹车中断使能位

1 : 使能

0 : 禁止

Bit5 **STP1_IE** : PWM1 刹车中断使能位

1 : 使能

0 : 禁止

Bit4 **STP0_IE** : PWM0 刹车中断使能位

1 : 使能

0 : 禁止

Bit3 保留

Bit2 **PWM2_IE** : PWM2 周期中断使能位

1 : 使能

0：禁止

Bit1 **PWM1_IE**：PWM1 周期中断使能位

1：使能

0：禁止

Bit0 **PWM0_IE**：PWM0 周期中断使能位

1：使能

0：禁止

PWM_IF PWM 中断标志寄存器（与 CAP_IF 寄存器复用，本寄存器支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IF	STP1_IF	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF

Bit7 保留

Bit6 **STP2_IF**：PWM2 刹车中断标志位

1：有 PWM2 刹车中断请求

0：无 PWM2 刹车中断请求

Bit5 **STP1_IF**：PWM1 刹车中断标志位

1：有 PWM1 刹车中断请求

0：无 PWM1 刹车中断请求

Bit4 **STP0_IF**：PWM0 刹车中断标志位

1：有 PWM0 刹车中断请求

0：无 PWM0 刹车中断请求

Bit3 保留

Bit2 **PWM2_IF**：PWM2 周期中断标志位

1：有 PWM2 周期中断请求

0：无 PWM2 周期中断请求

Bit1 **PWM1_IF**：PWM1 周期中断标志位

1：有 PWM1 周期中断请求

0：无 PWM1 周期中断请求

Bit0 **PWM0_IF**：PWM0 周期中断标志位

1：有 PWM0 周期中断请求

0：无 PWM0 周期中断请求

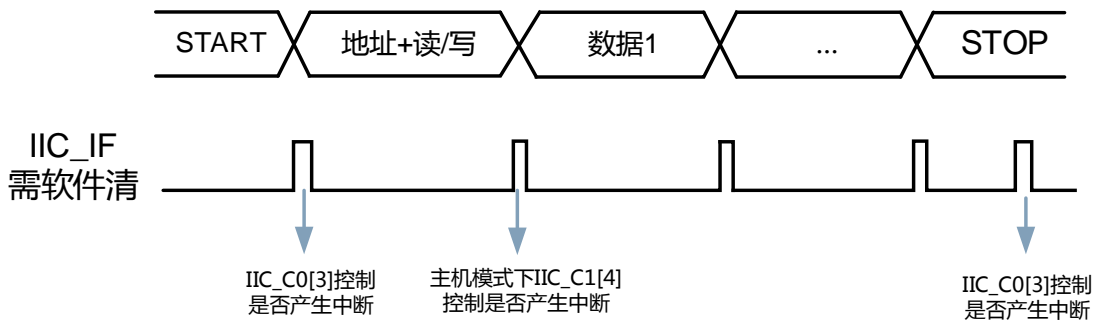
19 IIC 总线控制器

19.1 描述

芯片内置 1 路 IIC 总线控制器，功能特性如下：

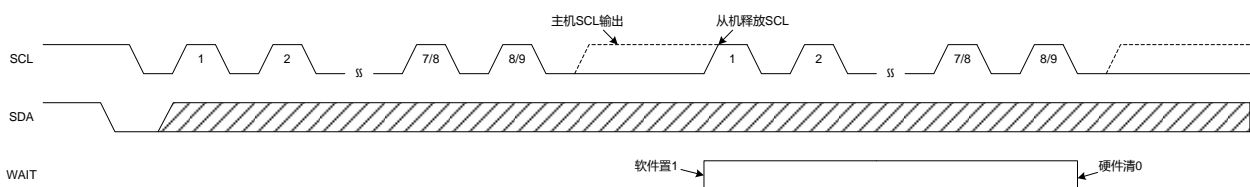
- 支持主控模式（仅支持单主机，不支持多主仲裁）
- 支持从动模式（仅支持 7 位从机地址，从机地址可设置）
- 支持通信等待功能

IIC 通讯中断机制



图表 27 IIC 通讯中断机制图

IIC 通信等待



图表 28 IIC 通信等待波形示意图

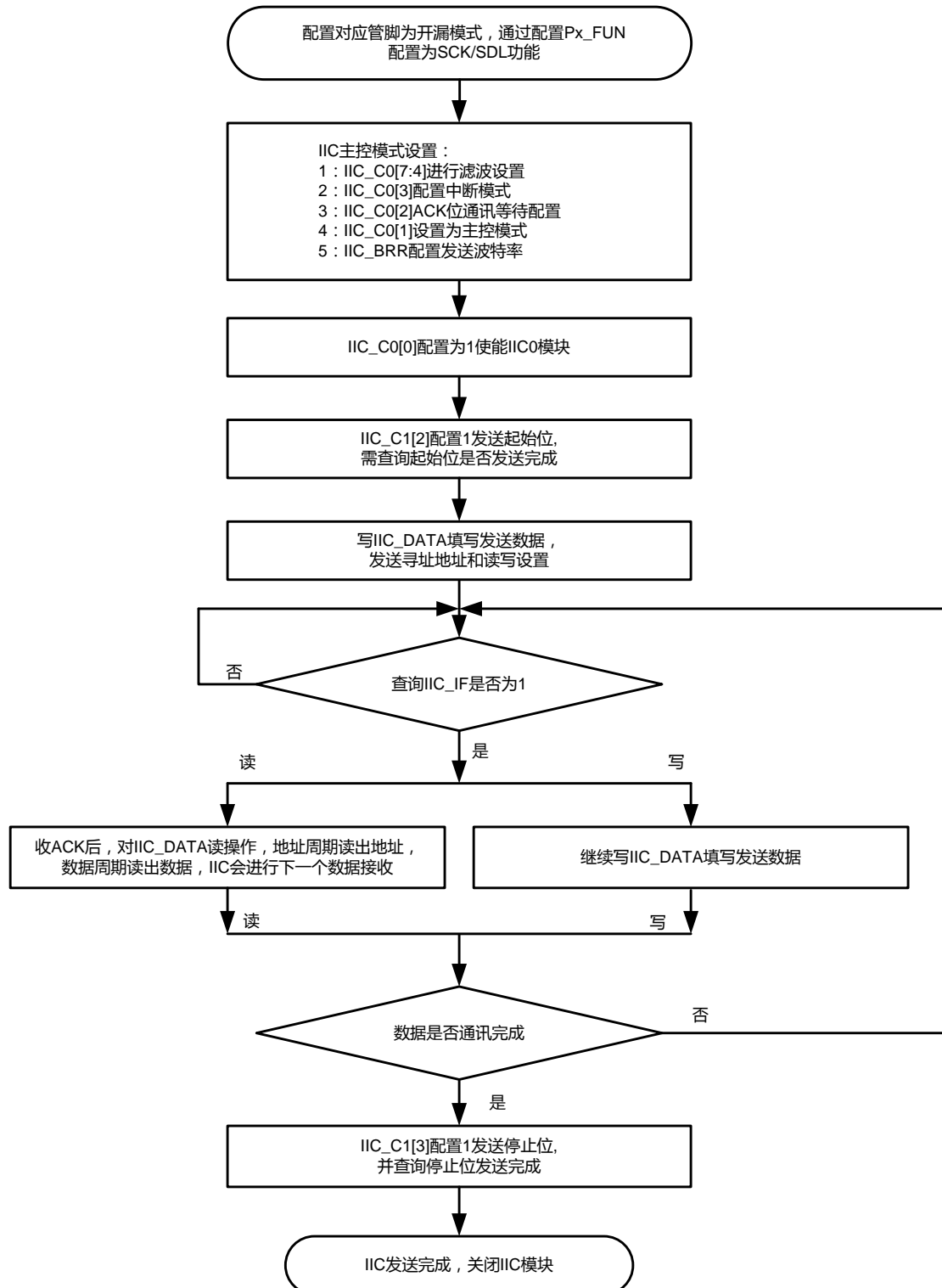
IIC 总线控制器支持通信等待功能，通过 **IIC_C0.WTEN** 位使能。

在主机模式中使能通信等待功能，当 IIC 总线上每完成一个字节的发送或接收后，主机将时钟线 SCL 释放为高电平，并实时检测 SCL 线上的电平状态。如果 SCL 为高电平，则继续进行后续时钟发送；如果 SCL 被从机拉为低电平，说明从机没有作好通信准备，强制进入通信等待状态，则主机一直等到从机重新将 SCL 线释放为高电平后，才继续进行后续时钟发送。

在从动模式中使能通信等待功能，当 IIC 总线上每完成一个字节的发送或接收后，从机自动将时钟线 SCL 拉为低电平，强制进入通信等待状态。待从机作好通信准备后，通过将 **IIC_C1.WAIT** 位置 1 将 SCL 线释放为高电平，主机检测到这个高电平后会继续进行后续传输。

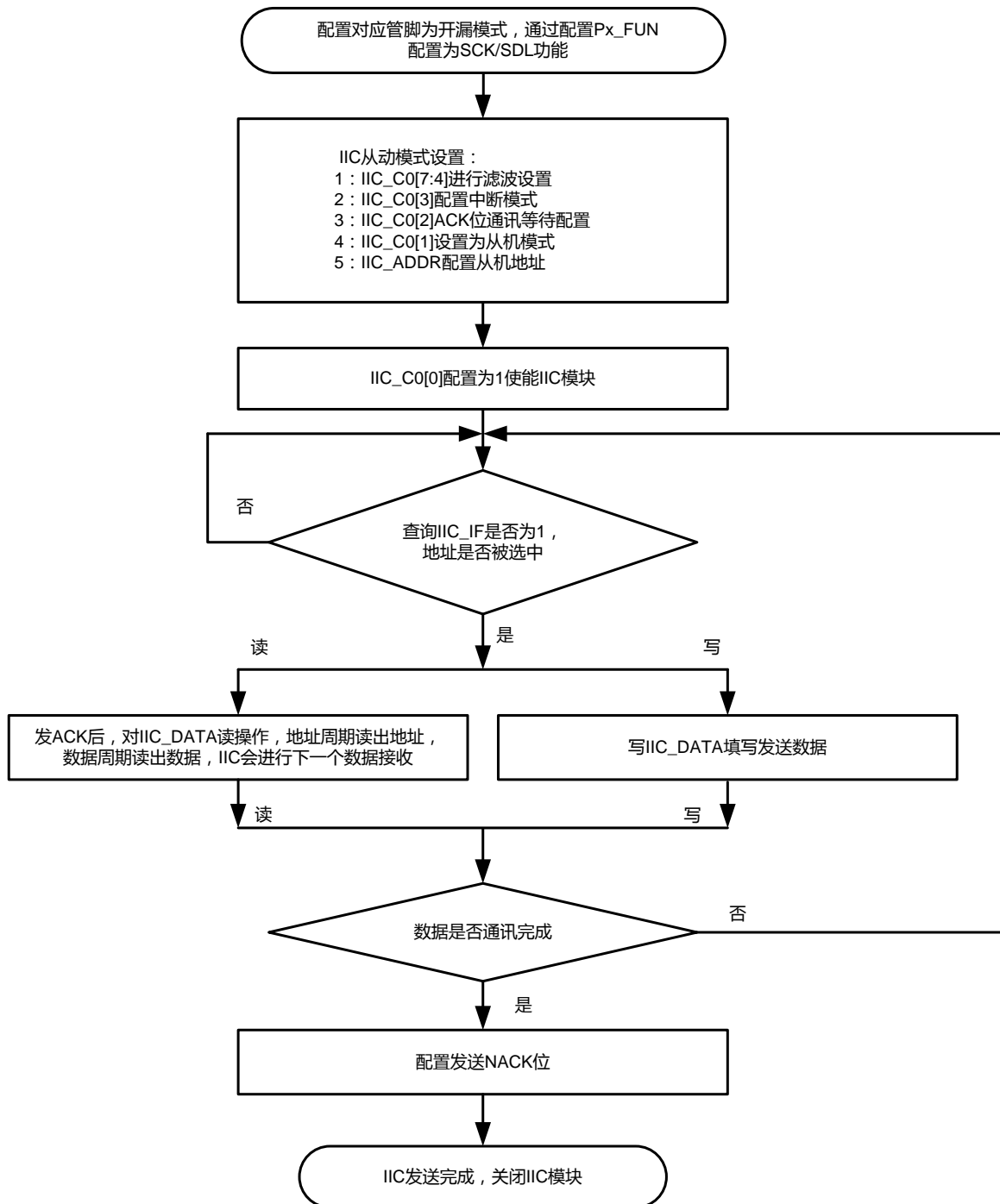
19.2 IIC 通讯流程

主控通讯流程



图表 29 IIC 主控通讯流程图

IIC 从机通讯流程



图表 30 IIC 从机通讯流程图

19.3 IIC 寄存器

IIC_C0 IIC 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000				RW-0	RW-0	RW-0	RW-0
IIC_SMPF <3:0>				IIC_IM	WTEN	IIC_MD	IIC_EN

Bit7-4 **IIC_SMPF**<3:0> : SCL 和 SDA 采样滤波时间 (要求远小于波特率设定的时钟周期)
滤波时间 $T_{FLT} = \frac{IIC_SMPF<3:0> + 1}{F_{SYSCLK}}$

Bit3 **IIC_IM** : IIC 位中断模式选择位
1 : START 和 STOP 位不产生中断, 完成 1 个字节的接收或发送产生中断
0 : START 和 STOP 位产生中断, 完成 1 个字节的接收或发送产生中断

Bit2 **WTEN** : IIC 等待功能使能位
1 : 使能
0 : 关闭

Bit1 **IIC_MD** : IIC 主/从模式选择位
1 : 从动模式
0 : 主控模式

Bit0 **IIC_EN** : IIC 使能位
1 : 使能
0 : 关闭

IIC_C1 IIC 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	RW-0	RW-0	RW-0	RW-0
—	—	—	MTAI_MK	STOP	START	WAIT	ACK

Bit7-5 保留

Bit4 **MTAI_MK** : 地址传输完成中断屏蔽位 (作为从机读模式地址传输完成始终产生)
1 : 地址传输完成产生中断
0 : 地址传输完成不产生中断

Bit3 **STOP** : STOP 位发送位
1 : 置 1 发送 STOP 位 (发送完成硬件自动清 0)
0 : STOP 位发送完成

Bit2 **START** : START 位发送位
1 : 置 1 发送 START 位 (发送完成硬件自动清 0)
0 : START 位发送完成

Bit1 **WAIT** : 从机等待释放位 (仅在 **IIC_MD**=1 并且 **WTEN**=1 时有意义)
1 : 置 1 释放从机等待状态 (完成下一字节传送时, 硬件自动清零)
0 : 从机等待状态

Bit0 **ACK** : ACK 位发送选择位
1 : 发送 NACK
0 : 发送 ACK

IIC_STA IIC 状态寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-0	R-0	R-0	R-0	R-0	R-0	—	RW-0
SLV_ADF	SLV_RWF	STOP_F	START_F	ACK_F	BUF_ST	—	OERR

- Bit7 **SLV_ADF** : 从机已接收字节类型标志位
- 1 : 当前接收完成的字节为数据
 - 0 : 当前接收完成的字节为地址
- Bit6 **SLV_RWF** : 从机读写标志位
- 1 : 主机读从机
 - 0 : 主机写从机
- Bit5 **STOP_F** : STOP 位检测标志位
- 1 : 检测到 IIC 总线上有 STOP 位 (清 **IIC_IF.IIC_IF** 位时同步被清 0)
 - 0 : 未检测到 IIC 总线上有 STOP 位
- Bit4 **START_F** : START 位检测标志位
- 1 : 检测到 IIC 总线上有 START 位 (清 **IIC_IF.IIC_IF** 位时同步被清 0)
 - 0 : 未检测到 IIC 总线上有 START 位
- Bit3 **ACK_F** : ACK 位检测标志位
- 1 : 检测到 NACK
 - 0 : 检测到 ACK
- Bit2 **BUF_ST** : 缓冲器状态位
- 接收模式
- 1 : 接收缓冲器满 (读 **IIC_DATA** 寄存器时同步被清 0)
 - 0 : 接收缓冲器未满
- 发送模式
- 1 : 发送缓冲器空 (写 **IIC_DATA** 寄存器时同步被清 0)
 - 0 : 发送缓冲器未空
- Bit1 **保留**
- Bit0 **BFOV_F** : 缓冲器溢出标志位
- 接收模式
- 1 : 接收缓冲器溢出 (软件清 0)
 - 0 : 接收缓冲器未溢出
- 发送模式
- 1 : 发送写缓冲器溢出 (软件清 0)
 - 0 : 发送写缓冲器未溢出

IIC_BRR IIC 波特率寄存器 (用于主控模式, 从动模式下复用为 IIC_ADDR 寄存器)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000_0000						
—	IIC_BRR<6:0>						

Bit7 保留

Bit6-0 IIC_BRR<6:0> : IIC 波特率

$$\text{波特率 IIC_BR} = \frac{F_{\text{SYSCLK}}}{(\text{IIC_BRR}<6:0> + 1) \times 4}$$

IIC_ADDR IIC 从地址寄存器 (用于从动模式, 主控模式下复用为 IIC_BRR 寄存器)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000_0000						
—	IIC_ADDR<6:0>						

Bit7 保留

Bit6-0 IIC_ADDR<6:0> : IIC 从机地址

IIC_DATA IIC 数据寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IIC_DATA<7:0>							

Bit7-0 IIC_DATA<7:0> : IIC 发送/接收数据

主机模式下: 如果是主机写, 写 IIC_DATA 后传输地址和数据

如果是主机读, 写 IIC_DATA 后传输地址, 然后进行一次读触发读时序

IIC_IE IIC 中断使能寄存器 (与 UART_IE 寄存器复用, 可触发 INT5)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	—	—	—	—
—	—	—	IIC_IE	—	—	—	—

Bit7-5 保留

Bit4 IIC_IE : IIC 中断使能位

1 : 使能

0 : 禁止

Bit3-0 保留

IIC_IF IIC 中断标志寄存器 (与 UART_IF 寄存器复用, 本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	—	—	—	—
—	—	—	IIC_IF	—	—	—	—

Bit7-5 保留

Bit4 IIC_IF : IIC 中断标志位

1 : 有中断请求

0 : 无中断请求

Bit3-0 保留

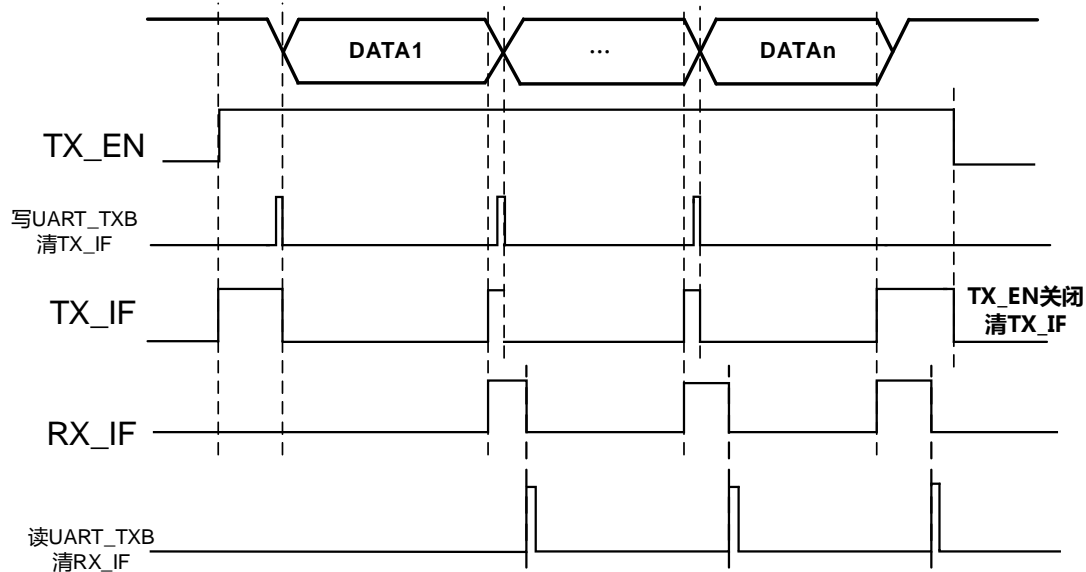
20 UART 异步收发器

20.1 描述

芯片内置 1 路 UART 异步收发器，功能特性如下：

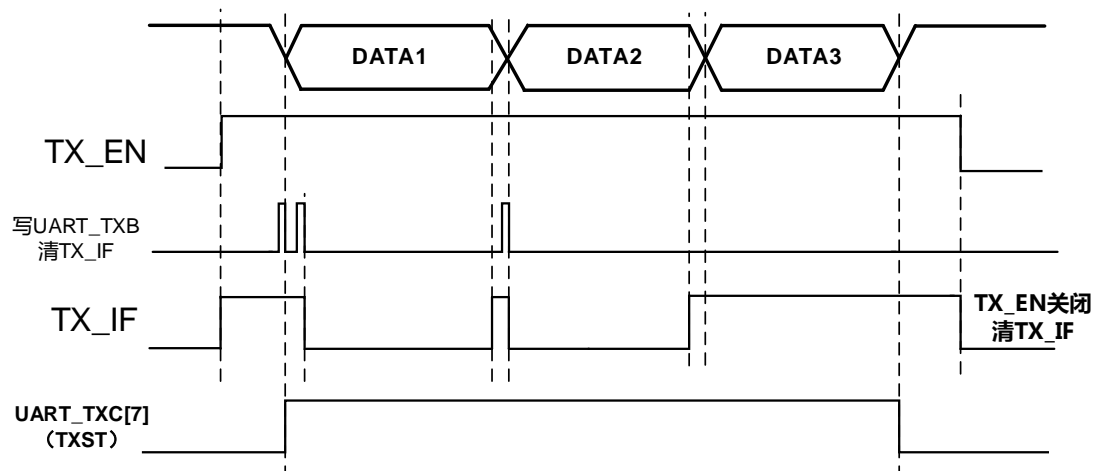
- 支持 8/9 数据传输，支持 1/2STOP 位
- 内部使用 16 次采样，特殊设计，波特率特殊计算方式等同于支持小数分频
- 支持通信溢出错误检测，支持奇偶自动校验
- UART 发送标志位通过写发送寄存器清除，软件无法直接清除，UART 接收寄存器通过读取接收寄存器清除，软件无法直接清除

UART 通讯中断机制（发送使用空闲中断）



图表 31 UART 通讯中断机制 1

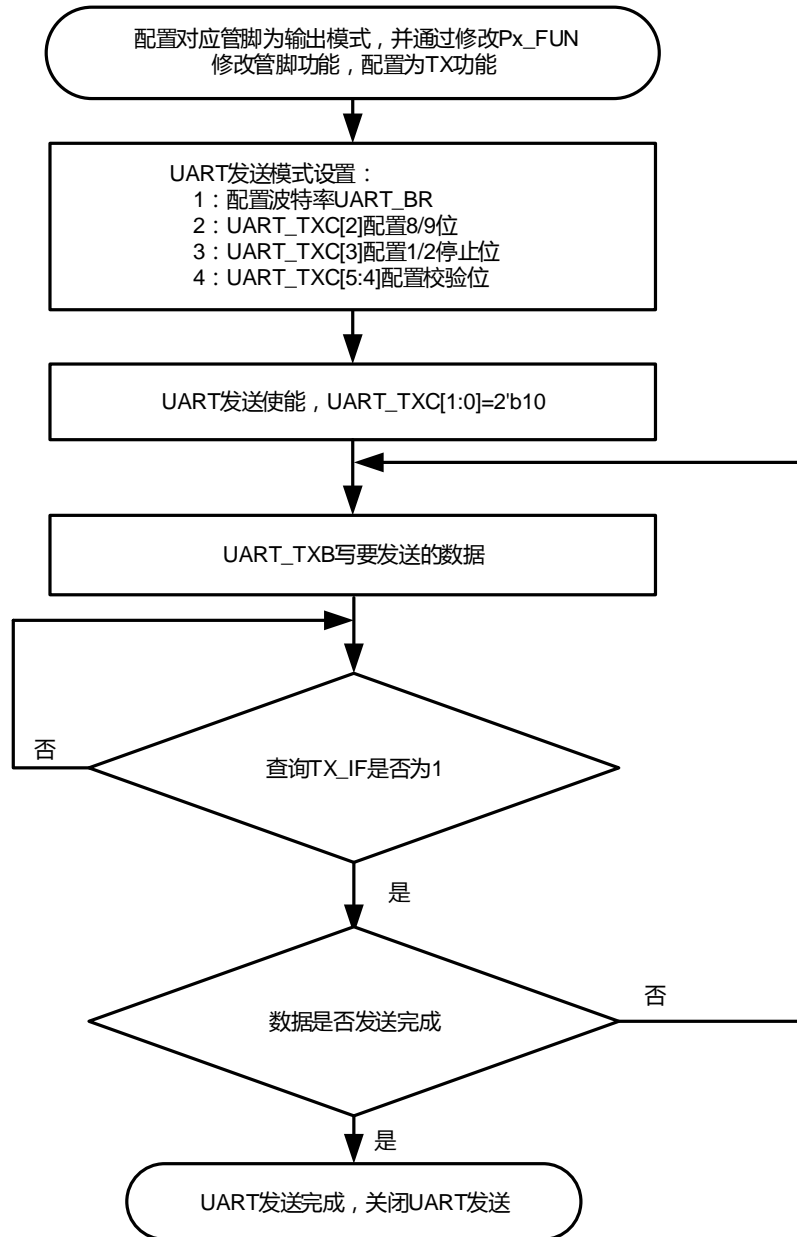
UART 通讯中断机制（发送使用寄存器空中断）



图表 32 UART 通讯中断机制 2

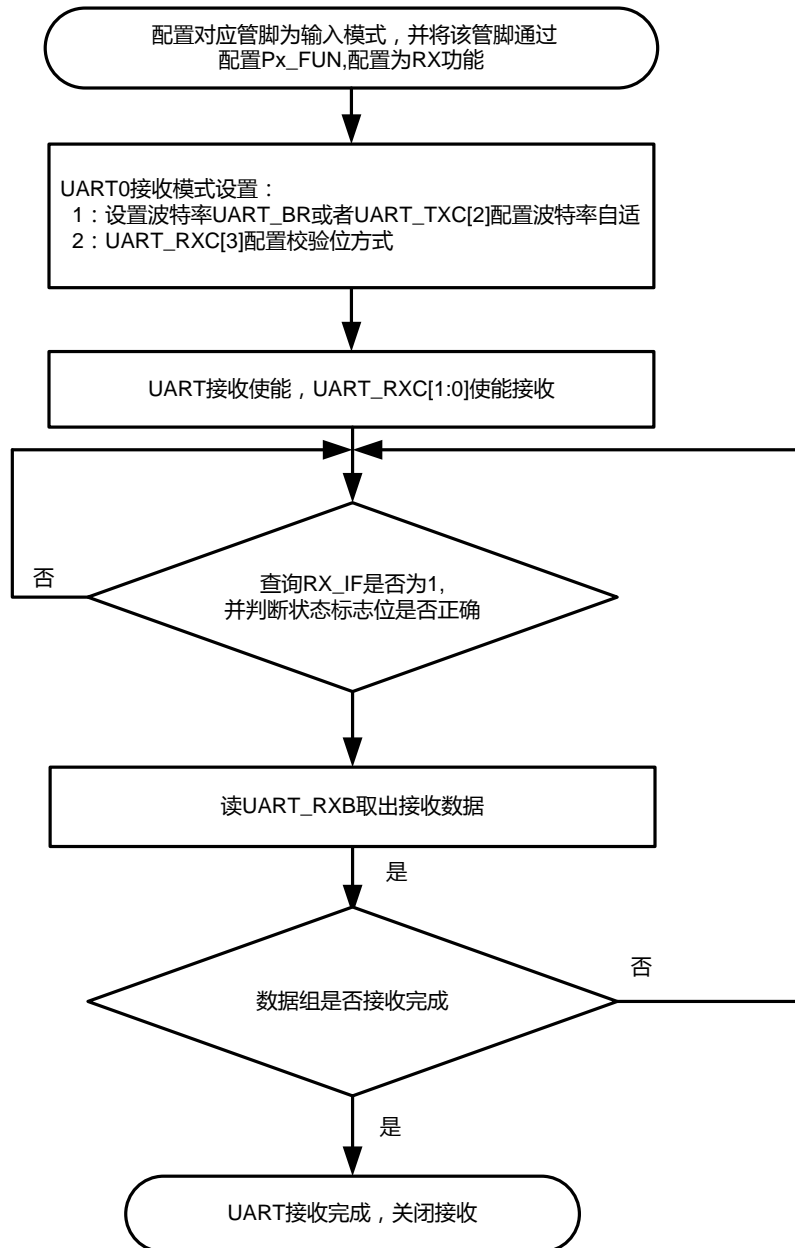
20.2 UART 操作流程

UART 发送操作流程（发送空闲中断模式）



图表 33 UART 发送操作流程

UART 接收操作流程



图表 34 UART 接收操作流程

20.3 UART 寄存器

UART0_BRL UART0 波特率寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
UART_BRR<7:0>							

Bit7-0 **UART_BRR<7:0>** : UART 波特率低 8 位

波特率计算公式：波特率=系统时钟/ (UART_BRR+1)

UART0_BRH UART0 波特率寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
UART_BRR<15:8>							

Bit7-0 **UART_BRR<15:8>** : UART 波特率高 8 位

波特率计算公式：波特率=系统时钟/ (UART_BRR+1)

UART0_RXC UART0 接收控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-0	R-0	R-0	R-0	RW-0	RW-0	RW-0	RW-0
FERR	OERR	PERR	RX9D	PARS	BRFX	RXEN<1:0>	

Bit7 **FERR** : UARTn 接收帧错误标志位

1 : 有帧错误

0 : 无帧错误

Bit6 **OERR** : UARTn 接收溢出错误标志位

1 : 有溢出错误

0 : 无溢出错误

Bit5 **PERR** : UARTn 接收校验错误标志位 (仅在 **RXEN<1:0>=11** 时有效)

1 : 有校验错误

0 : 无校验错误

Bit4 **RX9D** : UARTn 接收第 9 位数据

Bit3 **PARS** : 奇偶校验选择位

1 : 偶校验

0 : 奇校验

Bit2 **保留**

Bit1-0 **RXEN<1:0>** : UARTn 接收使能位

11 : 使能 9 位数据接收 (影响奇偶校验标志 **PERR**)

10 : 使能 9 位数据接收 (不影响奇偶校验标志 **PERR**)

01 : 使能 8 位数据接收 (不影响奇偶校验标志 **PERR**)

10 : 关闭 RX 接收功能

UART0_RXB UART0 接收数据寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
RXB<7:0>							

Bit7-0 **RXB<7:0>** : UART0 接收数

UART0_TXC UART0 发送控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-0	R-0	RW-00		RW-0	RW-0	RW-00	
TXST	TXBF	TX9S<1:0>		STPS	TXDM	TXEN<1:0>	

- Bit7 **TXST** : UART 发送状态标志位
 1 : UART 发送未完成
 0 : UART 发送已完成
- Bit6 **TXBF** : UART 发送缓冲区满标志位
 1 : UART 发送缓冲区满
 0 : UART 发送缓冲区空
- Bit5-4 **TX9S<1:0>** : UART 发送第 9 位数据格式选择位
 11 : 发送数据 1
 10 : 发送数据 0
 01 : 发送偶校验
 00 : 发送奇校验
- Bit3 **STPS** : 发送 STOP 位长度选择位
 1 : 发送 2 位 STOP 位
 0 : 发送 1 位 STOP 位
- Bit2 **TXDM** : UARTn 发送数据格式选择位
 1 : 9 位数据
 0 : 8 位数据
- Bit1-0 **TXEN<1:0>** : UART 发送使能位
 11 : 使能, 发送空闲和发送寄存器空均产生中断
 10 : 使能, 发送空闲产生中断
 01 : 使能, 发送寄存器空产生中断
 00 : 关闭

UART_IE UART 中断使能寄存器 (与 IIC_IE 寄存器复用,可触发 INT5)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IE	RX0_IE

Bit7-2 保留

Bit1 **TX0_IE** : UART0 发送中断使能位

1 : 使能

0 : 禁止

Bit0 **RX0_IE** : UART0 接收中断使能位

1 : 使能

0 : 禁止

UART_IF UART 中断标志寄存器 (与 IIC_IF 寄存器复用 , 本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IF	RX0_IF

Bit7-2 保留

Bit1 **TX0_IF** : UART0 发送中断标志位

1 : 有 UART0 发送中断请求

0 : 无 UART0 发送中断请求

Bit0 **RX0_IF** : UART0 接收中断标志位

1 : 有 UART0 接收中断请求

0 : 无 UART0 接收中断请求

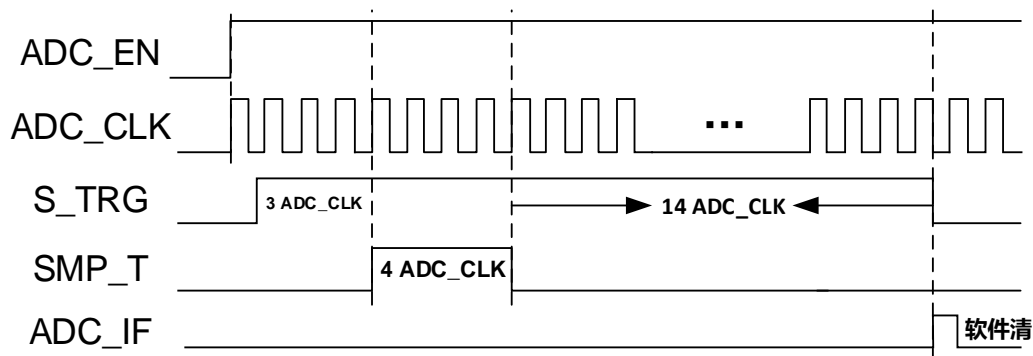
21 模数转换器 ADC

21.1 描述

芯片内置 12 位 SAR 结构 ADC，最高采样率 100KHz。

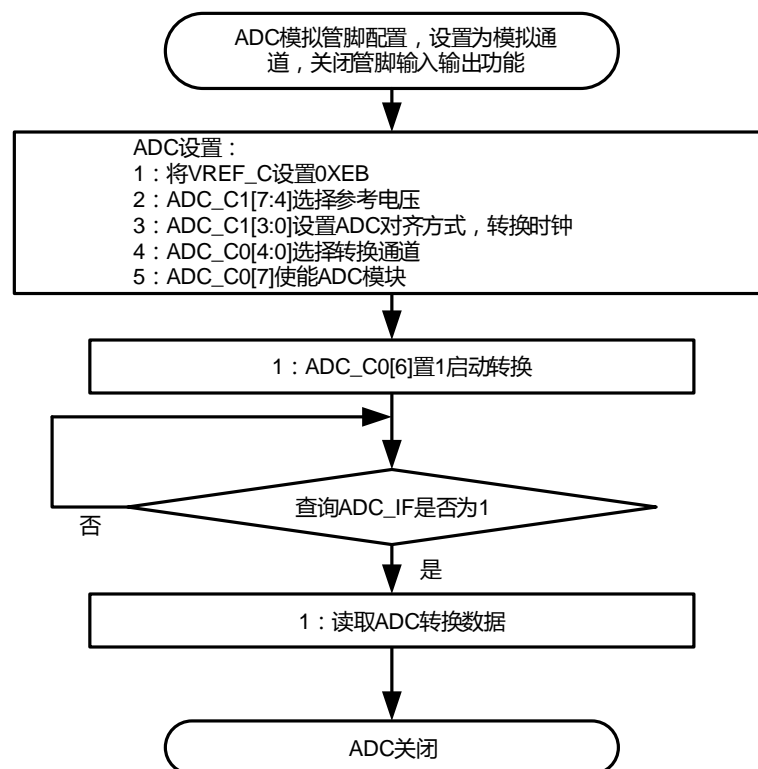
- 支持 17 个外部采样通道 AN0~AN16
- 支持内部 1/4 VDD 检测通道
- 转换时间为 17 个 ADC_CLK 加上 SMP_T(默认设置为 4 个 ADC_CLK),默认情况下转换为 21 个 ADC_CLK

ADC 转换时序图



图表 35 ADC 转换时序图

21.2 ADC 操作流程



图表 36 ADC 操作流程

21.3 ADC 寄存器

ADC_C0 ADC 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	—	RW-1_1111				
ADC_EN	S_TRG	—	CH_SEL<4:0>				

- Bit7 **ADC_EN** : ADC 使能位
1 : 使能
0 : 关闭
- Bit6 **S_TRG** : ADC 软件触发位
1 : 触发 ADC 转换
0 : 转换完成 (硬件自动清 0)
- Bit5 **保留**
- Bit4-0 **CH_SEL<4:0>** : ADC 采样通道选择位
其他 : 所有通道关闭
10001 : 选择内部 1/4 VDD 通道
10000 : 选择通道 AN16
01111 : 选择通道 AN15
... ..
00001 : 选择通道 AN1
00000 : 选择通道 AN0

ADC_C1 ADC 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000				—	RW-0	RW-00	
VREF_S<3:0>				—	ADC_DM	ADC_CKS<1:0>	

- Bit7-4 **VREFP_S ADC 参考选择 (使用 VREF 需要先开启 VREF)**
1111 : 选择内部 VREF 0.2V 1110 : 选择内部 VREF 0.5V
1101 : 选择内部 VREF 1.2V 1100 : 选择内部 VREF 1.5V
1011 : 未用 1010 : 选择内部 VREF 1.024V
1001 : 选择内部 VREF 2.048V 1000 : 选择内部 VREF 2.5V
0010 : 选择内部 VDD 0001 : ADVP 复用端口输入参考
0000 : 关闭
- Bit3 **保留**
- Bit2 **ADC_DM** : ADC 转换数据格式选择位
1 : 左对齐 (结果放置{**ADC_DH<7:0>**, **ADC_DL<7:4>**})
0 : 右对齐 (结果放置{**ADC_DH<3:0>**, **ADC_DL<7:0>**})
- Bit1-0 **ADC_CKS<1:0>** : ADC 转换时钟 ADC_CLK 选择位
11 : 系统时钟 SYS_CLK 16 分频
10 : 系统时钟 SYS_CLK 8 分频
01 : 系统时钟 SYS_CLK 4 分频
00 : 系统时钟 SYS_CLK 2 分频

ADC_C2 ADC 控制寄存器 2

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-00		—	RW-011		
—	—	ADC_CNT<1:0>		—	SMP_T<2:0>		

Bit7-6 保留

Bit5-4 **ADC_CNT<1:0>** : ADC 转换次数选择位

11 : 8 次转换取平均 10 : 4 次转换取平均

01 : 2 次转换取平均 00 : 1 次转换

Bit3 写 1

Bit2-0 **SMP_T<2:0>** : ADC 采样时间控制位

采样时间 $T_{SAMPLE} = (SMP_T<2:0> + 1) \times T_{ADC_CLK}$

ADC_DL ADC 结果寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
ADC_DL<7:0>							

Bit7-0 **ADC_DL<7:0>** : ADC 结果寄存器低 8 位

ADC_DH ADC 结果寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
ADC_DH<7:0>							

Bit7-0 **ADC_DH<7:0>** : ADC 结果寄存器高 8 位

AN_IE 模拟中断使能寄存器(与 LVD, ACP 中断共用一个寄存器,可触发 INT4)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	ADC_IE

Bit7-1 保留

Bit0 **ADC_IE** : ADC 中断使能位

1 : 使能

0 : 禁止

AN_IF 模拟中断标志寄存器 (与 LVD, ACP 共用一个寄存器,支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	ADC_IF

Bit7-1 保留

Bit0 **ADC_IF** : ADC 中断标志位

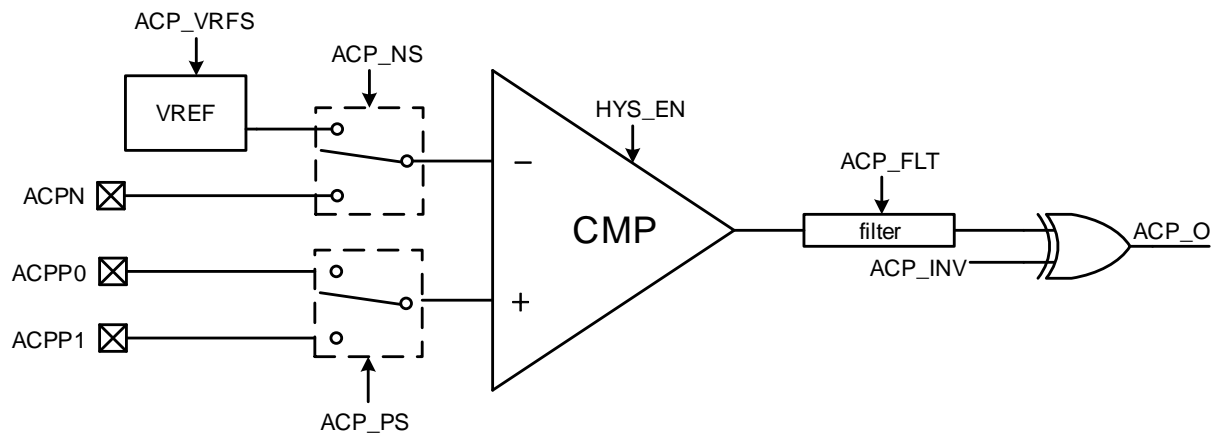
1 : 有 ADC 中断请求

0 : 无 ADC 中断请求

22 模拟比较器

22.1 描述

芯片内置一路模拟比较器，正端支持两个管脚输入，负端支持外部管脚输入和内部参考选择。支持滤波设置和迟滞设置



图表 37 模拟比较器功能框图

22.2 ACP 寄存器

ACP_C0 ACP 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	—	RW-0	RW-0	—		RW-0	R-0
ACP_EN	—	HYS_EN	ACP_INV	—		ACP_NS	ACP_O

- Bit7 **ACP_EN** : ACP 使能位
1 : 使能
0 : 关闭
- Bit6 保留 (保持为 1)
- Bit5 **HYS_EN** : 比较器输出迟滞使能位
1 : 使能
0 : 禁止
- Bit4 **ACP_INV** : ACP_O 输出反向使能位
1 : 输出端反向
0 : 输出端正向
- Bit3 保留
- Bit2 **ACP_PS** : ACP 正向端选择位
01 : 选择 ACPP1 复用端口(P07)
00 : 选择 ACPP0 复用端口(P20)
- Bit1 **ACP_NS** : ACP 负向端选择位
1 : 选择 ACPN 复用端口
0 : 选择内部参考电压 VREF (预先设置 **VREF_C** = EBH)
- Bit0 **ACP_O** : 比较输出位
ACP_INV=1 时
1 : 正向端低于负向端
0 : 正向端高于负向端
ACP_INV=0 时
1 : 正向端高于负向端
0 : 正向端低于负向端

ACP_C1 ACP 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
				—			
				—			
				—			

Bit7-4 **ACP_FLT<3:0>** : ACP 输出滤波位

0000 : 滤波关闭

其他 : ACP 输出滤波时间 $T_{FLT} = \frac{ACP_FLT<3:0> + 1}{F_{FLTCLK}}$

Bit3 保留

Bit2-0 **ACP_VRFS<2:0>** : ACP 参考电压选择位

111 : 2.4V 110 : 2.2V 101 : 2.1V 100 : 2.0V

011 : 1.5V 010 : 1.4V 001 : 0.6V 000 : 0.2V

ACP_C2 ACP 控制寄存器 2

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—		
—	—	—	—	—	—		
—	—	—	—	—	—		

Bit7-2 保留 (保持为全 0)

Bit1-0 **FLT_CKS<1:0>** : ACP 输出滤波时钟 FLTCLK 选择位

11 : 保留

10 : 选择内部高频时钟 HRC

01 : 选择内部低频时钟 LRC (16KHz)

00 : 选择系统时钟 SYS_CLK

AN_IE 模拟中断使能寄存器(与 LVD,ADC 共用一个寄存器,可触发 INT4)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—		
—	—	—	—	—	—		
—	—	—	—	—	—		

Bit7-2 保留

Bit1 **ACP_IE** : 模拟比较器中断使能位

1 : 使能

0 : 禁止

Bit0 保留

AN_IF 模拟中断标志寄存器 (与 LVD,ADC 共用一个寄存器,支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—		
—	—	—	—	—	—		
—	—	—	—	—	—		

Bit7-2 保留

Bit1 **ACP_IF** : 模拟比较器中断标志位

1 : 有 ACP 中断请求

0 : 无 ACP 中断请求

Bit0 保留

23 内部参考电压 VREF

23.1 描述

芯片内置高精度参考电压模块 VREF，出厂校准精度 $< \pm 1.5\%$ 。

VREF 模块用于 ADC 和 ACP 的内部参考电压，当 ADC 或 ACP 选择 VREF 作为参考时，需预先通过 VREF_C 寄存器使能 VREF 模块，不使用 VREF 时需将模块关闭，以节省电流消耗。

23.2 VREF 寄存器

VREF_C **VREF 配置寄存器**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
VREF_C<7:0>							

Bit7-0 **VREF_C<7:0> : VREF 配置位**

EBH : 使能内部参考电压

00H : 关闭 VREF 模块

其他 : 保留

24 低电压检测 LVD

24.1 描述

芯片内置低电压检测模块 LVD。

该模块用于监测 VDD 电压，也可用于对 LVDIN 复用端口输入电压进行监测检测值为 0.5V。

24.2 LVD 寄存器

LVD_C0 LVD 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-000		
LVD_EN	LVD_IM	LVD_FLT	LVD_CKS	LVD_INS	LVD_VS<2:0>		

Bit7 **LVD_EN** : LVD 使能位

1 : 使能

0 : 关闭

Bit6 **LVD_IM** : LVD 中断模式选择位

1 : 被监测电压由高于比较阈值产生 LVD 中断

0 : 被监测电压由低于比较阈值产生 LVD 中断

Bit5 **LVD_FLT** : LVD 滤波选择位

1 : 7 个 LVD 工作时钟

0 : 关闭滤波器

Bit4 **LVD_CKS** : LVD 工作时钟选择位

1 : 内部低频时钟 LRC

0 : 系统时钟 SYS_CLK

Bit3 **LVD_INS** : 被监测电压选择位

1 : LVDIN 复用管脚 (比较阈值电压固定为 0.5V)

0 : VDD

Bit2-0 **LVD_VS<2:0>** : 阈值电压选择位 (仅用于监测 VDD)

111 : 4.6V 110 : 4.2V 101 : 3.8V 100 : 3.4V

011 : 3.0V 010 : 2.6V 001 : 2.2V 000 : 1.8V

AN_IE 模拟中断使能寄存器(与 ADC, ACP 共用一个寄存器,可触发 INT6)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	LVD_IE	—	—

Bit7-3 保留

Bit2 **LVD_IE** : LVD 中断使能位

1 : 使能

0 : 禁止

Bit1-0 保留

AN_IF 模拟中断标志寄存器（与 ADC, ACP 共用一个寄存器,支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0		—
—	—	—	—	—	LVD_IF		—

Bit7-3 保留

Bit2 **LVD_IF** : LVD 中断标志位

 1 : 有 LVD 中断请求

 0 : 无 LVD 中断请求

Bit1-0 保留

25 指令集

25.1 算术运算指令

指令		描述	字节	周期
ADD	A, Rn	$A = A + Rn$	1	1
ADD	A, direct	$A = A + [direct]$	2	2
ADD	A, @Ri	$A = A + [Ri]$	1	2
ADD	A, #data	$A = A + data$	2	2
ADDC	A, Rn	$A = A + Rn + C$	1	1
ADDC	A, direct	$A = A + [direct] + C$	2	2
ADDC	A, @Ri	$A = A + [Ri] + C$	1	2
ADDC	A, #data	$A = A + data + C$	2	2
SUBB	A, Rn	$A = A - Rn - C$	1	1
SUBB	A, direct	$A = A - [direct] - C$	2	2
SUBB	A, @Ri	$A = A - [Ri] - C$	1	2
SUBB	A, #data	$A = A - data - C$	2	2
INC	A	$A = A + 1$	1	1
INC	Rn	$Rn = Rn + 1$	1	2
INC	direct	$[direct] = [direct] + 1$	2	3
INC	@Ri	$[Ri] = [Ri] + 1$	1	3
DEC	A	$A = A - 1$	1	1
DEC	Rn	$Rn = Rn - 1$	1	2
DEC	direct	$[direct] = [direct] - 1$	2	3
DEC	@Ri	$[Ri] = [Ri] - 1$	1	3
INC	DPTR	$DPTR = DPTR + 1$	1	4
MUL	AB	$B:A = B \times A$	1	11
DIV	AB	$A = \text{Int } [A/B] ; B = \text{Mod } [A/B]$	1	11
DA	A	十进制调整	1	1

25.2 逻辑操作指令

指令	描述	字节	周期
ANL A, Rn	$A = A \text{ and } Rn$	1	1
ANL A, direct	$A = A \text{ and } [direct]$	2	2
ANL A, @Ri	$A = A \text{ and } [Ri]$	1	2
ANL A, #data	$A = A \text{ and } data$	2	2
ANL direct, A	$[direct] = [direct] \text{ and } A$	2	3
ANL direct, #data	$[direct] = [direct] \text{ and } data$	3	3
ORL A, Rn	$A = A \text{ or } Rn$	1	1
ORL A, direct	$A = A \text{ or } [direct]$	2	2
ORL A, @Ri	$A = A \text{ or } [Ri]$	1	2
ORL A, #data	$A = A \text{ or } data$	2	2
ORL direct, A	$[direct] = [direct] \text{ or } A$	2	3
ORL direct, #data	$[direct] = [direct] \text{ or } data$	3	3
XRL A, Rn	$A = A \text{ xor } Rn$	1	1
XRL A, direct	$A = A \text{ xor } [direct]$	2	2
XRL A, @Ri	$A = A \text{ xor } [Ri]$	1	2
XRL A, #data	$A = A \text{ xor } data$	2	2
XRL direct, A	$[direct] = [direct] \text{ xor } A$	2	3
XRL direct, #data	$[direct] = [direct] \text{ xor } data$	3	3
CLR A	$A = 00H$	1	1
CPL A	$A = \text{not } A$	1	1
RL A	$A<7:0> = \{A<6:0>, A<7>\}$	1	1
RLC A	$\{C, A<7:0>\} = \{A<7:0>, C\}$	1	1
RR A	$A<7:0> = \{A<0>, A<7:1>\}$	1	1
RRC A	$\{C, A<7:0>\} = \{A<0>, C, A<7:1>\}$	1	1
SWAP A	$A<7:0> = \{A<3:0>, A<7:4>\}$	1	4

25.3 数据传送指令

指令		描述	字节	周期
MOV	A, Rn	A = Rn	1	1
MOV	A, direct	A = [direct]	2	2
MOV	A, @Ri	A = [Ri]	1	2
MOV	A, #data	A = data	2	2
MOV	Rn, A	Rn = A	1	2
MOV	Rn, direct	Rn = [direct]	2	3
MOV	Rn, #data	Rn = data	2	2
MOV	direct, A	[direct] = A	2	2
MOV	direct, Rn	[direct] = Rn	2	2
MOV	direct1, direct2	[direct1] = [direct2]	3	3
MOV	direct, @Ri	[direct] = [Ri]	2	3
MOV	direct, #data	[direct] = data	3	3
MOV	@Ri, A	[Ri] = A	1	2
MOV	@Ri, direct	[Ri] = [direct]	2	3
MOV	@Ri, #data	[Ri] = data	2	2
MOV	DPTR, #data 16	DPTR = data(16-bit)	3	3
MOVC	A, @A+DPTR	A = [A+DPTR](程序代码)	1	7
MOVC	A, @A+PC	A = [A+PC](程序代码)	1	8
MOVX	A, @Ri	A = [Ri](核外 RAM)	1	5
MOVX	A, @DPTR	A = [DPTR](核外 RAM)	1	6
MOVX	@Ri, A	[Ri](核外 RAM) = A	1	4
MOVX	@DPTR, A	[DPTR](核外 RAM) = A	1	5
PUSH	direct	SP=SP+1, [SP] = [direct]	2	5
POP	direct	[direct] = [SP], SP = SP-1	2	5
XCH	A, Rn	A ↔ Rn	1	3
XCH	A, direct	A ↔ [direct]	2	4
XCH	A, @Ri	A ↔ [Ri]	1	4
XCHD	A, @Ri	A<3:0> ↔ [Ri]<3:0>	1	4

25.4 位操作指令

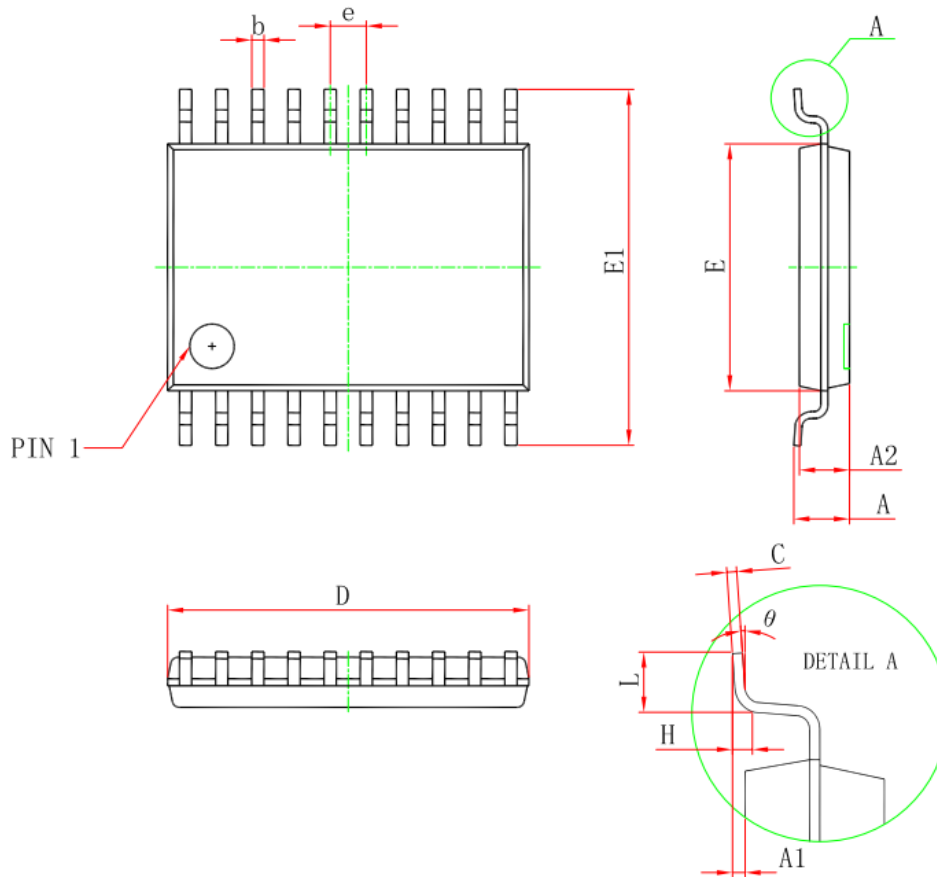
指令		描述	字节	周期
CLR	C	$C = 0$	1	1
CLR	bit	$\text{bit} = 0$	2	3
SETB	C	$C = 1$	1	1
SETB	bit	$\text{bit} = 1$	2	3
CPL	C	$C = \text{not } C$	1	1
CPL	bit	$\text{bit} = \text{not bit}$	2	3
ANL	C, bit	$C = C \text{ and bit}$	2	2
ANL	C, /bit	$\text{bit} = C \text{ and (not bit)}$	2	2
ORL	C, bit	$C = C \text{ or bit}$	2	2
ORL	C, /bit	$\text{bit} = C \text{ or (not bit)}$	2	2
MOV	C, bit	$C = \text{bit}$	2	2
MOV	bit, C	$\text{bit} = C$	2	3

25.5 程序转移指令

指令		描述	字节	周期
ACALL	addr11	2K 空间子程序调用	2	7
LCALL	addr16	64K 空间子程序调用	3	7
RET		调用程序返回	1	8
RETI		中断返回	1	8
AJMP	addr11	2K 空间程序跳转	2	4
LJMP	addr16	64K 空间程序跳转	3	5
SJMP	rel	相对短跳转	2	4
JMP	@A+DPTR	相对长跳转	1	6
JZ	rel	相对短跳转(如果 A=0)	2	3/5
JNZ	rel	相对短跳转(如果 A≠0)	2	3/5
JC	rel	相对短跳转(如果 C=1)	2	2/4
JNC	rel	相对短跳转(如果 C=0)	2	2/4
JB	bit, rel	相对短跳转(如果 bit=1)	3	4/6
JNB	bit, rel	相对短跳转(如果 bit=0)	3	4/6
JBC	bit, rel	相对短跳转(如果 bit=1), bit = 0	3	4/6
CJNE	A, direct, rel	相对短跳转(如果 A≠[direct])	3	4/6
CJNE	A, #data, rel	相对短跳转(如果 A≠data)	3	4/6
CJNE	Rn, #data, rel	相对短跳转(如果 Rn≠data)	3	4/6
CJNE	#Ri, #data, rel	相对短跳转(如果 [Ri]≠data)	3	4/6
DJNZ	Rn, rel	$Rn = Rn - 1$, 相对短跳转(如果 $Rn \neq 0$)	2	3/5
DJNZ	direct, rel	$[\text{direct}] = [\text{direct}] - 1$, 相对短跳转(如果 $[\text{direct}] \neq 0$)	2	3/5
NOP		空操作	1	1

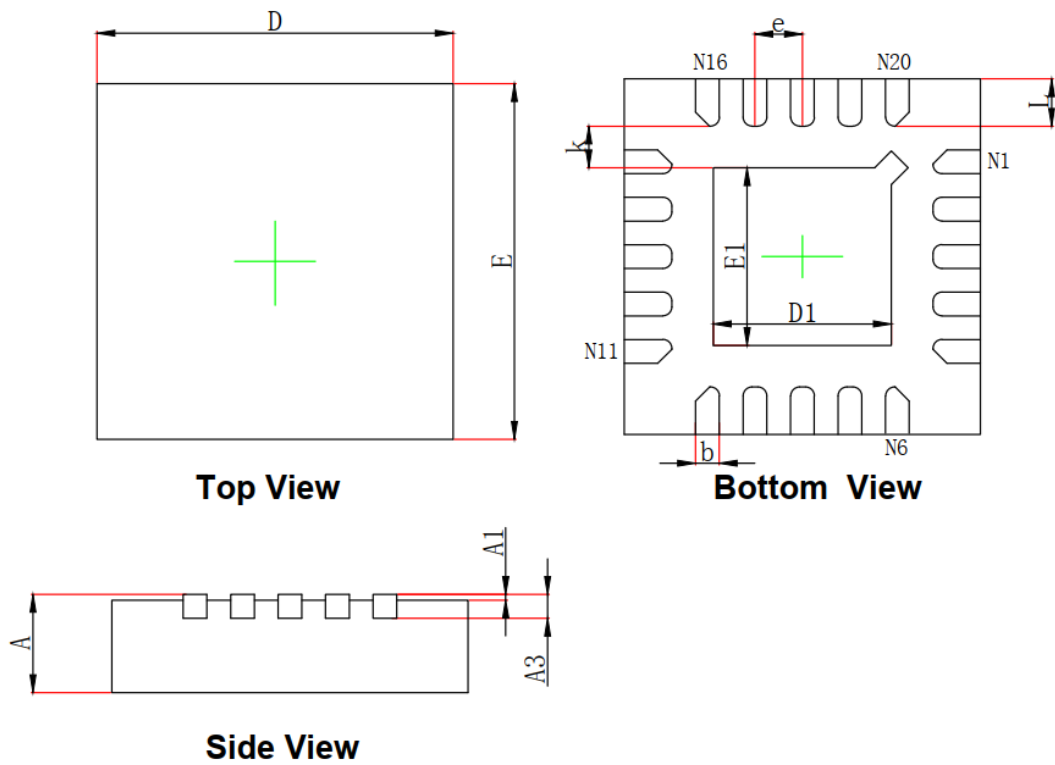
26 封装信息

TSSOP20



标号	公制 (mm)		英制 (inch)	
	MIN	MAX	MIN	MAX
D	6.400	6.600	0.252	0.259
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.082	0.099
c	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
A		1.200		0.047
A2	0.800	1.000	0.031	0.039
A1	0.050	0.150	0.002	0.006
e	0.65(BSC)		0.026 (BSC)	
L	0.500	0.700	0.020	0.028
H	0.25(TYP)		0.01(TYP)	
θ	1°	7°	1°	7°

QFN20 3X3



标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.80	0.90	0.028	0.031	0.035
A1	0.00	0.01	0.05	0.000	0.000	0.002
A3	0.203REF			0.008REF		
D	2.92	3	3.07	0.115	0.118	0.121
E	2.92	3	3.07	0.115	0.118	0.121
D1	1.40		1.60	0.055		0.063
E1	1.40		1.60	0.055		0.063
k	0.20 MIN			0.008MIN		
b	0.15	0.20	0.25	0.006		0.010
e	0.4 TYP			0.016		
L	0.324	0.40	0.476	0.013	0.016	0.019