



# 计算机科学与技术学院

## 毕业设计

### 任务书

论文题目 基于 SQL 和 VC 的宾馆管理系统数据库设计与实

现 (题目这两行为左底端对齐, 如只有一行保留第二行的表格线)

学校导师	*****	职 称	*****
企业导师	*****	职 称	*****
企业名称	*****		
学生姓名	*****	学 号	*****
专 业	数字媒体技术	班 级	本 13 数媒 01 班
系 主 任	汪凤麟	院 长	刘振宇
起止时间	2016 年 6 月 5 日至 2017 年 5 月 22 日		

2016 年 6 月 5 日

## 一、设计目标和内容：（宋体小四加粗 1.5 倍行距）

（正文宋体五号 1 倍行距，首行缩进两个字符）UART(即 Universal Asynchronous Receiver Transmitter 通用异步收发器)是广泛使用的串行数据传输协议。UART 允许在串行链路上进行全双工的通信,串行外设用到 RS232 异步串行接口,一般采用专用的集成电路即 UART 实现。这类芯片已经相当复杂,有的含有许多辅助的模块,但在某些应用中不需要使用完整的 UART 的功能和这些辅助功能（任务书一般正文一页，封面和内容正反打印；如正文两页，则封面单独打印，正文正反打印）

## 二、设计基本要求：

- 1) 理解 FPGA 基本原理，熟悉相关开发板；
- 2) 熟练掌握一种硬件描述语言，如 Verilog 或 VHDL；
- 3) 理解串行通信协议，并在相关开发板上实现串行通信具体电路；
- 4) 任务完成提交形式论文、程序源码及硬件电路。

## 三、设计进度安排：

- 1) 2016.6.12—2016.6.25: 阅读查找相关系统文献资料,完成文献综述和英文翻译;
- 2) 2016.6.26—2016.6.30: 根据资料和以往的开发、研究经验进行实验步骤的概括和整个工程进程的描述,完成开题报告;
- 3) 2016.8.21—2017.3.11: 完成系统分析的相关工作,基本完成有关书籍和资料的学习和研究。完成系统分析文档和系统设计文档;
- 4) 2017.3.12—2017.5.6: 完成设计、开发、调试和技术文档,完成毕业论文初稿;
- 5) 2017.5.7—2017.5.22: 修改毕业论文,完善毕业设计工作,准备答辩。

## 四、主要参考文献：

- [1] 候伯亨,顾新.VHDL 硬件描述语言与数字逻辑电路设计[M].西安:西安电子科技大学出版社,1997
- [2] 张平安.16 位循环冗余校验码 CRC 的原理和性能分析[M].太原:山西科技出版社,2005.5
- [3] 周祖荣,张鹏远.对帧校验序列的研究[J].青岛大学学报,2003.9,3(7):67-72
- [4] 候伯亨,顾新.VHDL 硬件描述语言与数字逻辑电路设计[M].西安:西安电子科技大学出版社,1997
- [5] 张平安.16 位循环冗余校验码 CRC 的原理和性能分析[M].太原:山西科技出版社,2005.5
- [6] 周祖荣,张鹏远.对帧校验序列的研究[J].青岛大学学报,2003.9,3(7):67-72
- [7] 候伯亨,顾新.VHDL 硬件描述语言与数字逻辑电路设计[M].西安:西安电子科技大学出版社,1997
- [8] 张平安.16 位循环冗余校验码 CRC 的原理和性能分析[M].太原:山西科技出版社,2005.5
- [9] 周祖荣,张鹏远.对帧校验序列的研究[J].青岛大学学报,2003.9,3(7):67-72

（指导老师手工签名 签日期 本提示请删除）

指导教师：

年 月 日