

Custo



Simplicidade



Desempenho



Elegância



Espaco para crescimento



Tamanho de Programa



Isolamento de Arquitetura



Facilidade de programação

O Guia Prático RISC-V é uma concisa introdução e referência para programadores de sistemas embarcados, estudantes e aos curiosos sobre uma arquitetura moderna, popular e aberta. O RISC-V abrange desde o microcontrolador de 32 bits de baixo custo até o mais rápido computador na nuvem de 64 bits.

Ao utilizar os recursos visuais ilustrados acima, o texto mostra como o RISC-V incorporou as boas ideias de arquiteturas passadas, evitando os erros cometidos.

- Introduz o RISC-V em apenas 100 páginas, incluindo 75 figuras
- Cartão de Referência RISC-V de 2 páginas que resume todas as instruções
- Glossário de Instruções de 50 páginas que define todas as instruções detalhadamente
- 75 dicas de boas práticas de projeto de arquitetura utilizando os ícones acima
- 50 barras laterais com comentários interessantes e com o histórico do RISC-V
- 25 citações para transmitir o conhecimento de cientistas e engenheiros notáveis

Dez capítulos apresentam cada componente do conjunto de instruções modular RISC-V, muitas vezes, contrastando código compilado de C para RISC-V versus as arquiteturas ARM, Intel e MIPS, porém os leitores podem iniciar a programação após o Capítulo 2.

"I like RISC-V and this book as they are elegant—brief, to the point, and complete." — C. Gordon Bell



David Patterson (Google & UC Berkeley) e



Andrew Waterman (SiFive) são 2 dos 4 arquitetos RISC-V



Strawberry Canyon LLC
San Francisco, CA, USA

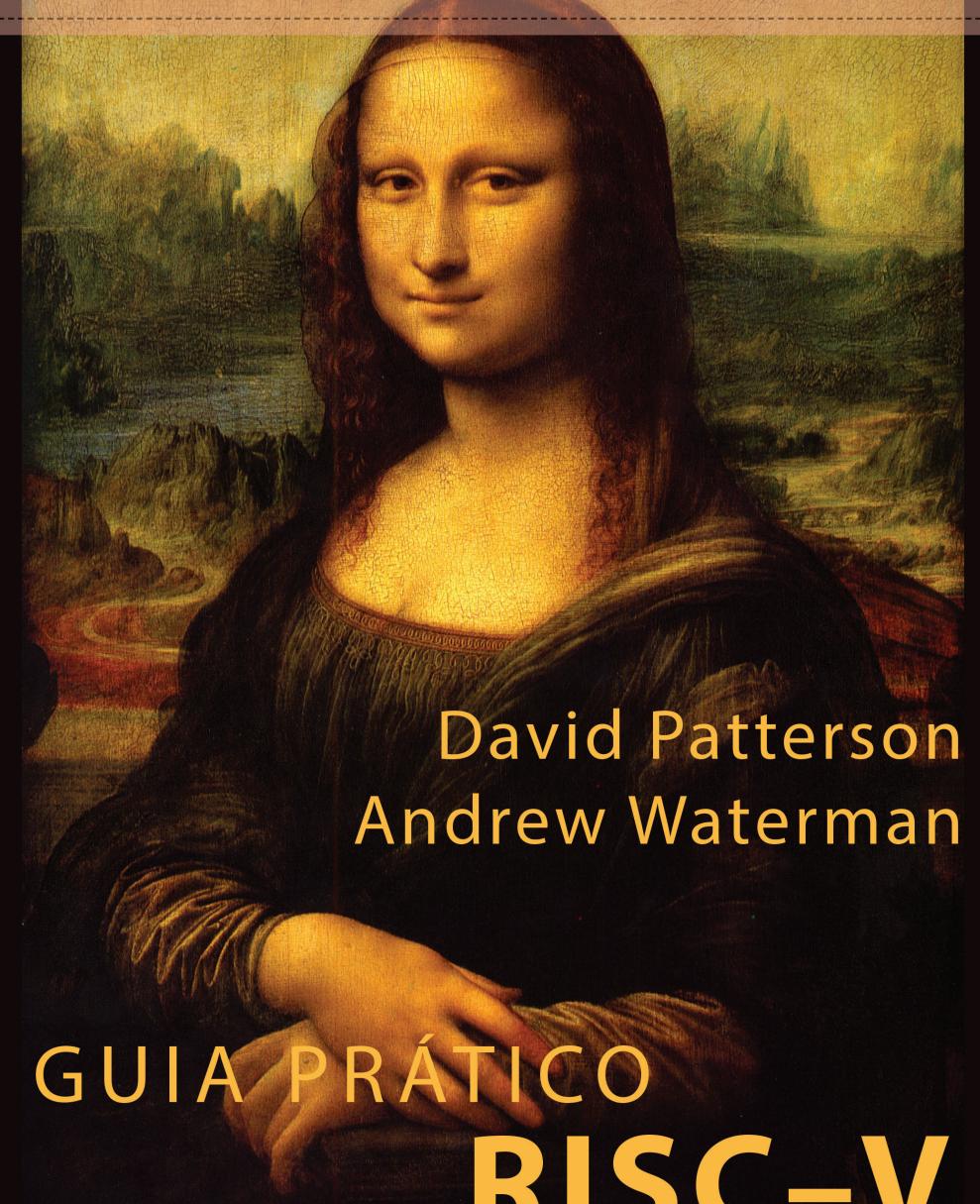


Guia Prático RISC-V

1st

Patterson & Waterman

GUIA PRÁTICO
RISC-V
ATLAS DE UMA ARQUITETURA ABERTA



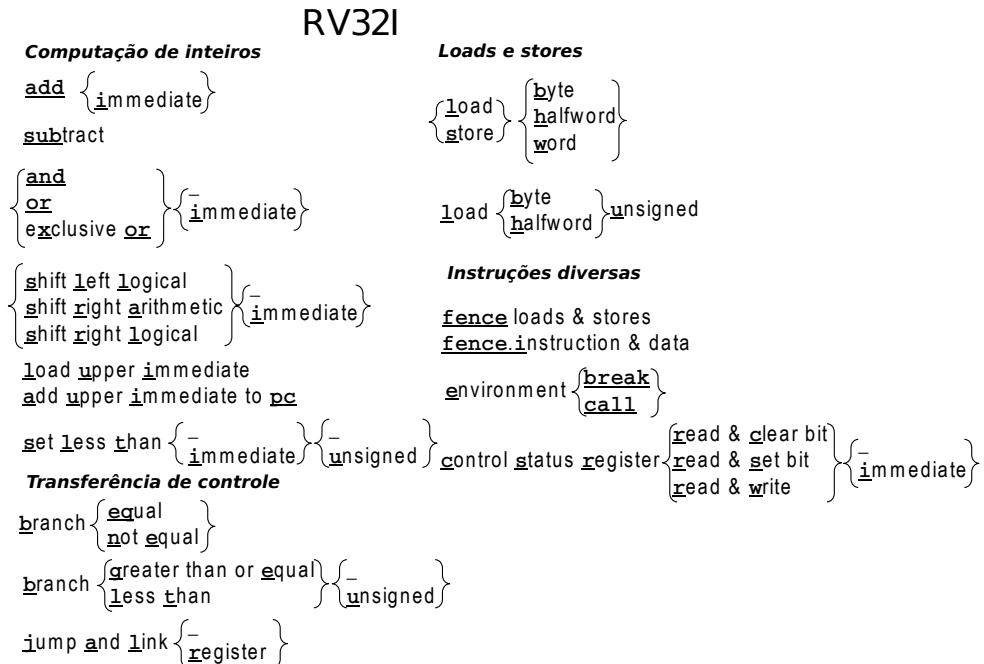


Figura 2.1: Diagrama das instruções do RV32I. As letras sublinhadas são concatenadas da esquerda para a direita para formar instruções RV32I. A notação de colchetes {} significa que cada item vertical no conjunto é uma variação diferente da instrução. O sublinhado _ dentro de um conjunto significa que uma opção é simplesmente o nome da instrução sem uma letra deste conjunto. Por exemplo, a notação próxima ao canto superior esquerdo representa as seis instruções a seguir: and, or, xor, andi, ori, xori.

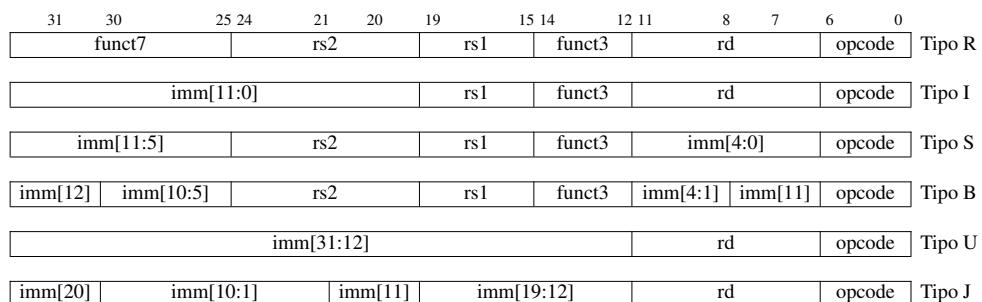


Figura 2.2: Formatos de instrução RV32I Nós rotulamos cada subcampo imediato com a posição do bit (imm [x]) no valor sendo produzido em imediato, ao invés da posição do bit no campo imediato da instrução como normalmente é feito. O capítulo 10 explica como as instruções de registrador de status de controle utilizam o formato Tipo-I de maneira um pouco diferente. (A Figura 2.2 de Waterman and Asanović 2017 é a base desta figura).

31	25	24	20	19	15	14	12	11	7	6	0	
imm[31:12]						rd	0110111	U lui				
imm[31:12]						rd	0010111	U auipc				
imm[20 10:1 11 19:12]						rd	1101111	J jal				
imm[11:0]						rd	1100111	I jalr				
imm[12 10:5]	rs2		rs1	000	imm[4:1 11]		1100011	B beq				
imm[12 10:5]	rs2		rs1	001	imm[4:1 11]		1100011	B bne				
imm[12 10:5]	rs2		rs1	100	imm[4:1 11]		1100011	B blt				
imm[12 10:5]	rs2		rs1	101	imm[4:1 11]		1100011	B bge				
imm[12 10:5]	rs2		rs1	110	imm[4:1 11]		1100011	B bltu				
imm[12 10:5]	rs2		rs1	111	imm[4:1 11]		1100011	B bgeu				
imm[11:0]						rd	0000011	I lb				
imm[11:0]						rd	0000011	I lh				
imm[11:0]						rd	0000011	I lw				
imm[11:0]						rd	0000011	I lbu				
imm[11:0]						rd	0000011	I lhu				
imm[11:5]	rs2		rs1	000	imm[4:0]		0100011	S sb				
imm[11:5]	rs2		rs1	001	imm[4:0]		0100011	S sh				
imm[11:5]	rs2		rs1	010	imm[4:0]		0100011	S sw				
imm[11:0]						rd	0010011	I addi				
imm[11:0]						rd	0010011	I slti				
imm[11:0]						rd	0010011	I sltiu				
imm[11:0]						rd	0010011	I xor				
imm[11:0]						rd	0010011	I ori				
imm[11:0]						rd	0010011	I andi				
0000000	shamt		rs1	001	rd		0010011	I slli				
0000000	shamt		rs1	101	rd		0010011	I srli				
0100000	shamt		rs1	101	rd		0010011	I srai				
0000000	rs2		rs1	000	rd		0110011	R add				
0100000	rs2		rs1	000	rd		0110011	R sub				
0000000	rs2		rs1	001	rd		0110011	R sll				
0000000	rs2		rs1	010	rd		0110011	Rslt				
0000000	rs2		rs1	011	rd		0110011	R sltu				
0000000	rs2		rs1	100	rd		0110011	R xor				
0000000	rs2		rs1	101	rd		0110011	R srl				
0100000	rs2		rs1	101	rd		0110011	R sra				
0000000	rs2		rs1	110	rd		0110011	R or				
0000000	rs2		rs1	111	rd		0110011	R and				
0000	pred		succ	00000	000	00000	0001111	I fence				
0000	0000		0000	00000	001	00000	0001111	I fence.i				
0000000000000000						00000	000	00000	1110011	I ecall		
00000000000001						00000	000	00000	1110011	I ebreak		
csr						rs1	001	rd	1110011	I csrrw		
csr						rs1	010	rd	1110011	I csrrs		
csr						rs1	011	rd	1110011	I csrrc		
csr						zimm	101	rd	1110011	I csrrwi		
csr						zimm	110	rd	1110011	I csrrsi		
csr						zimm	111	rd	1110011	I csrrci		

Figura 2.3: O mapa de opcode RV32I possui layout de instrução, opcodes, tipo de formato e nomes. (A Tabela 19.2 de [Waterman and Asanović 2017] é a base desta figura.)