



Universidade Estadual de Ponta Grossa

Departamento de Informática

Disciplina: 203518 - Eletrônica II

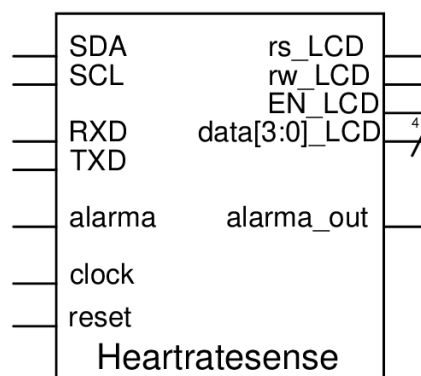
Professor: Juan Camilo Castellanos Rodriguez

Projeto final 2019

Desenvolver um ASIC usando a tecnologia CMOS de 0.18 μ m (OSU018) que processe a informação dada por um sensor de batimento cardíaco através da porta I2C. O sistema deve contabilizar os batimentos por minuto (BPM) e deve visualizar o dado em um display LCD. O sistema também conta com um sistema de alarme, o qual pode ser acionado quando um interruptor externo é acionado ou quando os batimentos cardíacos (BPM) se encontrem fora da faixa permitida $Blow < BPM < Bhigh$. O sistema pode ser configurado através do modulo serial (UART) permitindo:

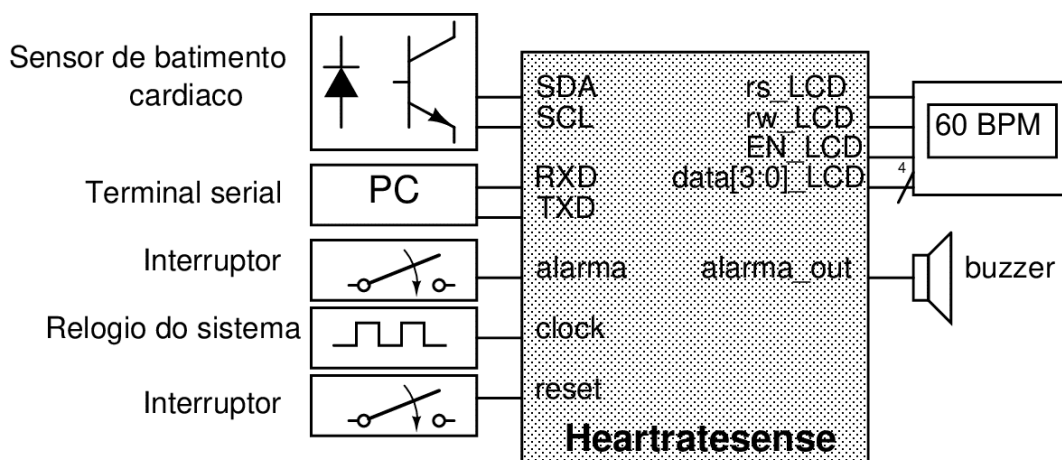
- a- Mudança da taxa de transmissão do I2C
- b- Mudança da taxa de transmissão da UART
- c- Mudança dos valores de alarme Blow e Bhigh
- d- Mudança do endereço e registrador de leitura do sensor de batimento cardíaco.

O diagrama de caixa preta (black box) do ASIC, chamado: Heartratesense, é mostrado a seguir:



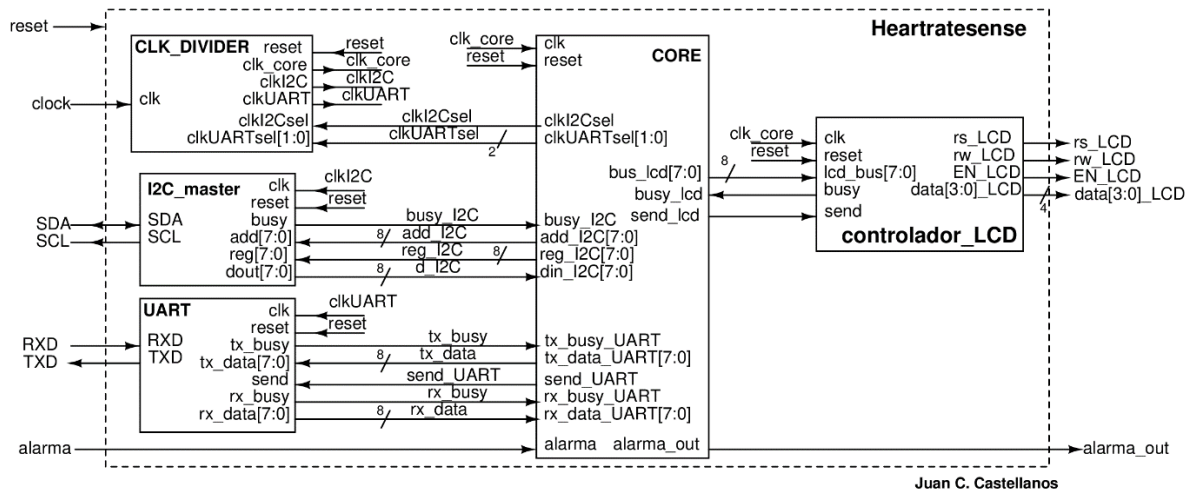
Juan C. Castellanos

A possível utilização do ASIC (*Heartratesense*) dentro de um sistema é ilustrada a seguir:



Juan C. Castellanos

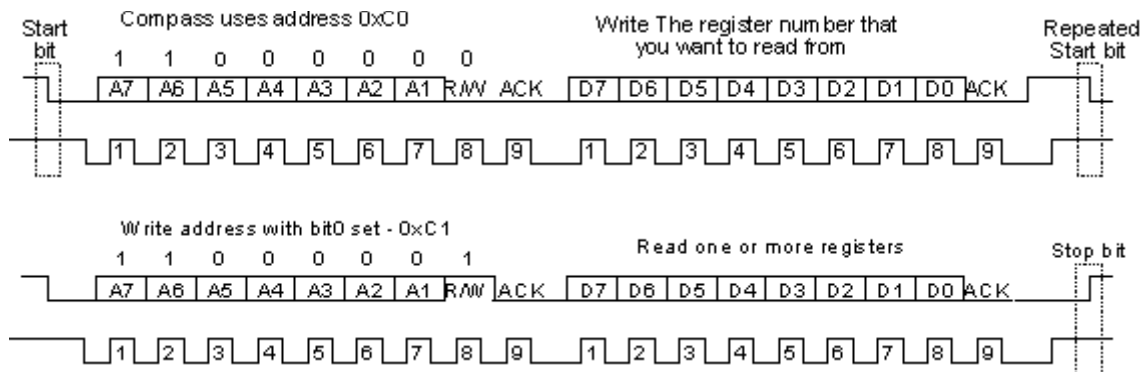
O diagrama de blocos do seu ASIC é mostrado a continuação:



Blocos do sistema:

Modulo I2C

O modulo I2C_master deve incluir o protocolo de comunicação I2C padrão somente para leitura dado a dado de um escravo. Assim, primeiro se envia o endereço do sensor (default: 0x0A) com R/W=0 e o registro a ser lido (default: 0x00), depois se envia o endereço do sensor de novo com R/W=1 sendo recebido (ou enviado pelo escravo) os dados correspondentes a esse registro. A sequência de comunicação é mostrada a seguir:



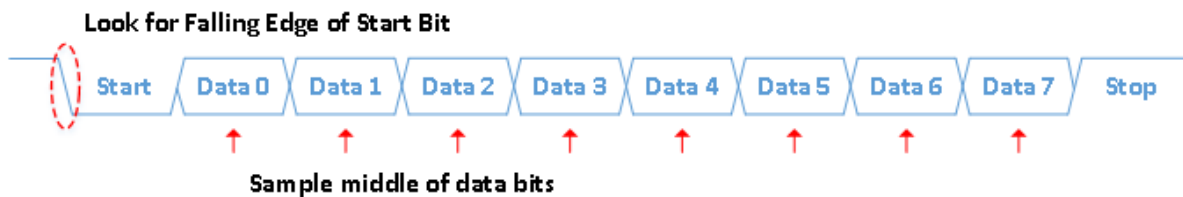
Fonte: <https://www.hellocodings.com/2017/04/i2c-verilog-code.html>

Esse modulo deve ser implementado por uma máquina de estados Moore

O modulo pode funcionar com uma taxa de transmissão (frequência da saída SCL) definida pela frequência do clock do bloco, a qual é definida pelo bloco CLK_DIVIDER.

Modulo UART

O modulo UART segue o protocolo serial padrão com 8 bits e 1 bit de parada, como mostrado abaixo:



Fonte: <https://www.nandland.com/vhdl/modules/module-uart-serial-port-rs232.html>

O bloco UART é composto por dois sub-modulos: O receptor (UART_RX) e o transmissor (UART_TX).

Esses sub-modulos devem ser implementados por máquinas de estados Moore.

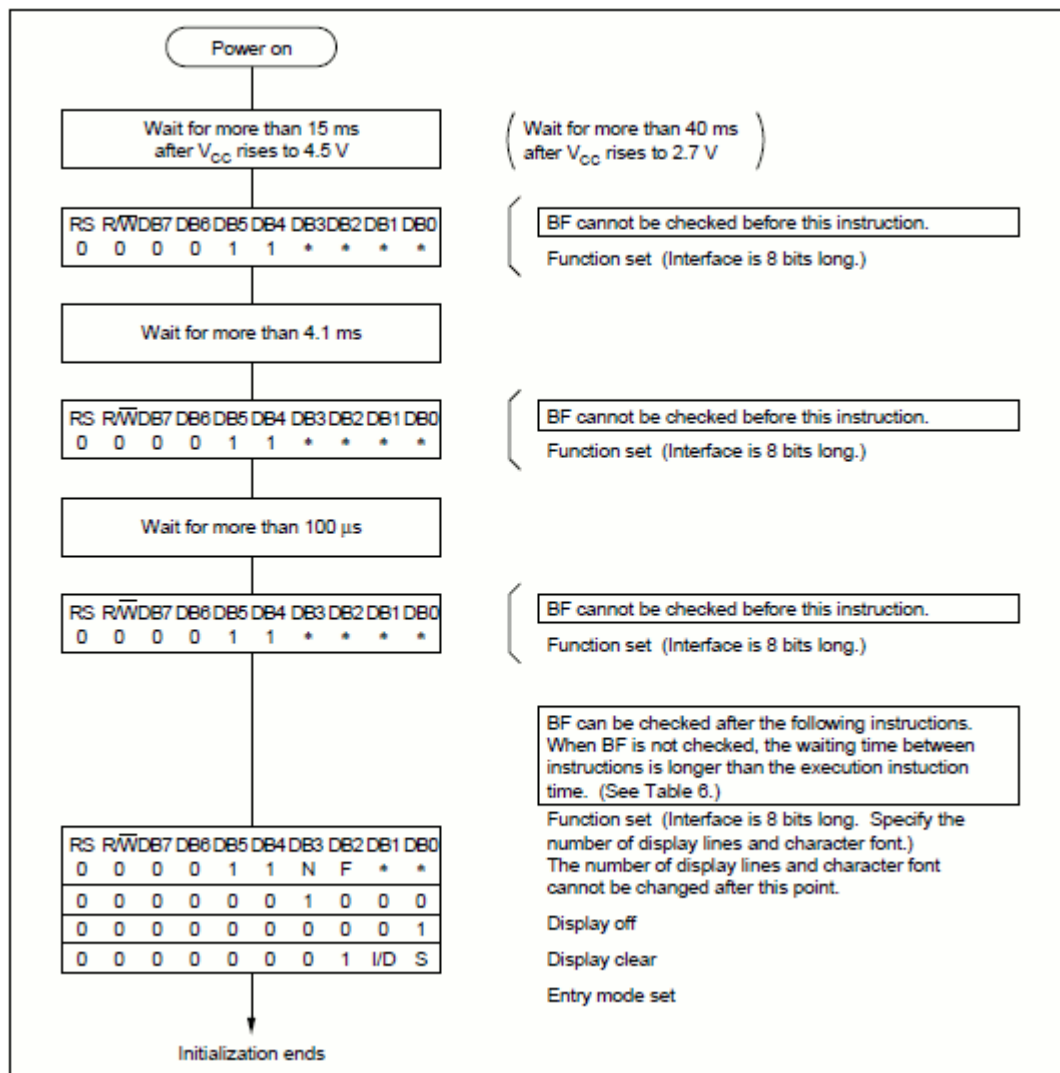
O modulo pode funcionar com uma taxa de transmissão (baudrate) definida pelo bloco CLK_DIVIDER.

CORE

O bloco CORE tem três principais funciones: (a) realizar a contagem de pulsos por minuto e enviar o dado a ser visualizado pelo LCD e UART a cada 10 segundos (considere que o sinal do sensor muda em toda sua escala, 0 - 256); (b) receber os bits de configuração enviados através da UART para configurar: endereço do sensor I2C (*Address*), registro lido do sensor I2C (REGI2C), CLKI2CSEL, CLKUARTSEL. (c) monitorar as condições de alarme e acionar a saída *alarma_out* quando seja necessário (*BPMs* fora do range ou ação da entrada *alarma*).

CONTROLADOR_LCD:

O bloco CONTROLADOR_LCD deve fornecer a sequência de inicialização de um LCD (32x2) usando os comandos necessários pelo controlador HD44780, assim como a sequência de comandos para visualizar o dado de batimento cardíaco. O LCD será utilizado no modo de 4 bits; a sequência de inicialização neste modo é mostrada abaixo:



Fonte: http://web.alfredstate.edu/faculty/weimandn/lcd/lcd_initialization/lcd_initialization_index.html

CLK_DIVIDER

O CLK_DIVIDER é encarregado de dividir a frequência do sinal de clock externo de acordo às necessidades de cada bloco e em função aos valores dos bits de configuração: CLKI2CSEL e CLKUARTSEL. O clock de entrada do ASIC é gerado por um cristal de 16,384MHz. A necessidade de clock de cada bloco é motivada pela velocidade dos protocolos de comunicação (I2C e UART) como mostrado a seguir:

I2C_master:

CLKI2CSEL	CLKI2C	SCL
0	200kHz	100kHz
1	800KHz	400kHz

UART:

CLKUARTSEL[1]	CLKUARTSEL [0]	CLKUART	Baudrate
0	0	9600Hz	4800 bps
0	1	19200Hz	9600 bps

1	0	28800Hz (default)	14400 bps (default)
1	1	38400Hz	19200bps

CORE: frequência de clock fixo em 1MHz

Nota: Todos os blocos podem ser sub-divididos a conveniência dos projetistas, porém os nomes dos blocos, entradas e saídas apresentados aqui, devem ser mantidos. Contudo, as portas entrada e saída dos blocos e sua funcionalidade podem ser definidas ou alterados pelo líder de integração.

Documentos a entregar:

- a- Arquivos em Verilog do projeto e verificação (testbenches)
- b- Arquivo GDS do ASIC.
- c- Relatório dividido em duas seções: projeto e verificação. Na seção de projeto deve ser reportados e comentados os diagramas de fluxo para cada uma das máquinas de estados (não precisa anexar o código) e diagramas de blocos do sistema e sub-modulos. Além disso deve ser reportada qualquer condição ou especificação assumida no projeto ou síntese digital. Finalmente, deve ser reportada a área total usada pelo ASIC. Na seção de verificação deve ser comentada a metodologia de teste, assim como os resultados com comentários das simulações funcionais, comportamentais (com o arquivo rtl) e física (nível transistor) de cada bloco. Finalmente, deve ser reportada qualquer limitação, incluindo o relatório de tempo com seus respectivos comentários.

Data de entrega: 28/06/2019