

# VHDL: Arquivos

## Engenharia Eletrônica

Prof. Renan Augusto Starke

Instituto Federal de Santa Catarina – IFSC  
Campus Florianópolis  
renan.starke@ifsc.edu.br

6 de maio de 2020

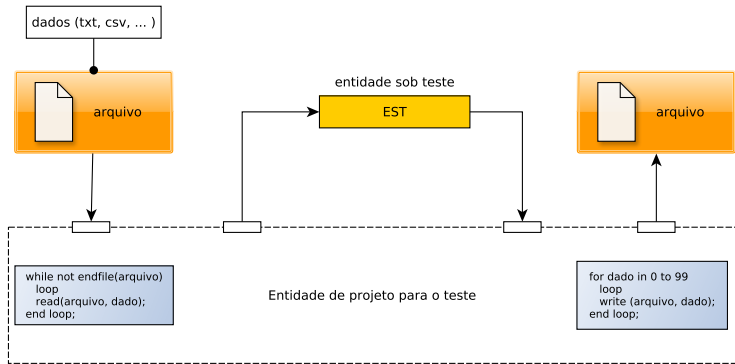


**INSTITUTO FEDERAL**  
**SANTA CATARINA**

Ministério da Educação  
Secretaria de Educação Profissional e Tecnológica  
**INSTITUTO FEDERAL DE SANTA CATARINA**

# Arquivos em VHDL

- ▶ Uso de arquivos em VHDL é limitada comparada com outras linguagens.
- ▶ Usa-se arquivos para teste e validação de Entidades.
- ▶ Obviamente o sistema não é **sintetizável**.



# Declaração (VHDL-1987):

## ► Declaração de tipo:

```
type arquivos_tipo_x is file of tipo;
```

## ► Exemplos:

```
type arqv_inteiro is file of integer;  
type arqv_bit_vetor is file of bit_vector;  
type arqv_caractere is file of character;
```

```
type arqv_byte is file of bit_vector(0 to 7);
```

```
subtype sub_inteiro is integer range 0 to 99;  
type arqv_inteiro_99 is file of sub_inteiro;
```

## ► Declaração das instâncias:

```
file nome_objeto : arquivos_tipo_x is <modo> "nome_externo";
```

---

```
file leitura : arqv_inteiro is in "/dados_r.dat";  
file escrita : arqv_carctere is out "/dados_w.dat";
```

# Exemplo (VHDL-1987):

```
architecture teste of arquivos is
begin
  escreve: process

    type arqv_int is file of integer;
    file arquivo_wr : arqv_int is out "dado_a.dat";

  begin
    for dado in 48 to 57 loop
      write (arquivo_wr, dado);
    end loop;

    wait;

  end process escreve;
end teste;
```

# Exemplo (VHDL-1987):

```
entity arqv_d is
  port (dado : out integer range 0 to 100);
end arqv_d;

architecture teste of arqv_d is
begin

  le: process
    type arqv_int is file of integer;
    file arquivo_rd: arqv_int is in "dado_a.dat"
    variable dado_v: integer;

  begin
    while not endfile (arquivo_rd) loop
      read(arquivo_rd, dado_v);
      dado <= dado_v;
      wait for 10 ns;
    end loop;

    wait;
  end process le;
end teste;
```

# Declaração (VHDL-1993):

## ► Declaração de tipo:

```
file nome_objeto : arqv_tipo_x open modo is "nome_externo";
```

## ► Exemplos:

```
file leitura    : arqv_int open read_mode is "/dados_r.dat"  
file escrita   : arqv_int open write_mode is "/dados_w.dar"
```

```
print: process (valid, filtered)
  variable my_line : line;
  variable samples : integer := 0;

  alias swrite is write [line, string, side, width];

  file my_output : TEXT open WRITE_MODE is "filtrado.txt";
begin
  if valid = '1' then
    —swrite(my_line, "data=");
    —hwrite(my_line, samples);
    —hwrite(my_line, " : ");
    hwrite(my_line, filtered); — needs: use IEEE.std_logic_textio.all;
    writeline(my_output, my_line); — needs: use STD.textio.all;

    samples := samples + 1;

    — Para escrever o tempo atual:
    swrite(my_line, " @");
    write(my_line, now);

    — parando a simulação mais cedo
    if samples = 40005 then
      assert false report "End of simulation" severity failure;
    end if;

  end if;
end process;
```





- ▶ D'AMORE, Roberto. VHDL: descrição e síntese de circuitos digitais. 2. ed. Rio de Janeiro: Livros Técnicos e Científicos, 2012. 292 p., il. ISBN 9788521620549.