

数字 EDA 知识点整理

一、集成电路的优点

- 1.减小体积
- 2.提高速度
- 3.降低功耗
- 4.降低制造成本

二、芯片集成了越来越多的晶体管，难以用传统的手工方法来设计和处理，解决方法有哪几种？

1. CAD 工具
- 2.层次化设计
- 3.设计复用

三、器件多了以后，互连线也随之增加，连线占用了大量的硅片面积，解决方法：

- 1.增加更多的连线层
- 2.使用 CAD 工具进行三维布线

四、互连线变长，连线上的延时增加，成为限制电路性能的主要因素之一，解决方法：

- 1.使用铜材料做互连
- 2.在物理上优化连线的长度，增加驱动能力，优化驱动器

五、摩尔定律所带来的挑战

- 1.物理限制: 65nm 工艺下，SiO₂ 的厚度大概是 5 个原子直径大小
- 2.设计越来越复杂，不能用传统的手工方法来设计
- 3.功耗变大，散热成为不得不考虑的问题
- 4.电路复杂以后，产生噪声和互相干扰
- 5.器件多了以后，互连线也随之增加，连线占用了大量的硅片面积
- 6.互连线变长，连线上的延时增加，成为限制电路性能的主要因素之一
- 7.芯片的规模每两年增加一倍，但设计工程师的数量并没有每两年增加一倍

六、如何评价集成电路设计的好坏？

1.成本

固定成本+可变成本

2.可靠性

高噪声容限

高增益

低输出阻抗

高输入阻抗

3.性能（速度）

t_{PLH} 定义为这个门的输出由低至高（或正向）翻转的响应时间。 t_{PHL} 则为输出由高至低（或负向）翻转的响应时间。传播延时 t_p 定义为这两个时间的平均

值。

上升时间 t_r 和下降时间 t_f 定义为在波形的 10% 和 90% 之间。

4. 功耗

电路的功耗决定了每个操作消耗多少能量以及电路耗散多少热量。这些因素会影响许多重要的电路设计决定，如电源容量、电池寿命、电源线尺寸、封装和冷却要求。

功耗分为静态功耗和动态功耗。后者只发生在门开关的瞬间。这是由于对电容充电以及在电源和地之间有一暂时的电流通路造成的，正比于开关频率：发生开关的次数越多，动态功耗越大。静态功耗即使在没有开关时也存在，并且是由在电源和地之间的静态导电通路或由于漏电流引起的。

七、理想反相器模型

1. 在过渡区有无限大的增益
2. 门的阈值位于逻辑摆幅的中点
3. 高电平和低电平噪声容限均等于这一摆幅的一半
4. 理想门的输入和输出阻抗分别为无穷大和零（即门可以有无限制的扇出数）

八、好的封装的要求

1. 电学：低寄生效应
2. 机械：可靠性好
3. 热学：良好的散热
4. 经济：便宜

九、数字 EDA 的 PPT 中 2 Device 那一章第 7 页

十、静态电路和动态电路的区别及优缺点

静态电路：

1. 稳定状态下，输出与电源/地相连
2. 输出由电路结构决定，稳定不变

静态互补 CMOS 结构的基本优点是其具有良好的稳定性（即对噪声的灵敏度低）、良好的性能以及低功耗（没有静态功耗）

动态电路：

1. 输出由暂存在电容上的电荷决定
2. 不能长时间保持，需要不断更新

把信号值暂时存放在高阻抗电路节点的电容上。动态电路的优点是所形成的门比较简单且比较快，但它的设计和工作比较复杂，并且由于对噪声敏感程度的增加而容易失败。

十一、组合电路和时序电路的区别

组合电路的输出仅取决于输入。时序电路的输出不仅取决于电路的输入，也取决于输出。

十二、静态 CMOS 电路的特性

1. 输出高电平和低电平分别为 V_{DD} 和 GND ，即电压摆幅等于电源电压。
2. 逻辑电平与器件的相对尺寸无关，无比逻辑。
3. 稳态时在输出和 V_{DD} 或 GND 之间总存在一条具有有限电阻的通路。
4. 输入电阻极高。
5. 在稳态工作情况下电源线和地线之间没有直接的通路，不消耗任何静态功率。

十三、为什么使用 PMOS 做上拉网络，使用 NMOS 做下拉网络。

因为 NMOS 管可以产生“强零”，PMOS 可以产生“强 1”。

如图(a)所示，输出电容 C_L 最初被充电至 V_{DD} 。在 NMOS 器件中，输出电压 Out 可以下拉至 GND ，而在 PMOS 器件中，输出电压 Out 只能被拉低到 $|V_{TP}|$ ，此时 PMOS 截止并停止提供放电电流。因此 NMOS 管适合做下拉器件。

如图(b)所示，输出电容 C_L 最初完全放电至 GND 。在 PMOS 器件中，输出电压 Out 可以使输出一直充电至 V_{DD} ，而在 NMOS 器件中，输出电压 Out 最高输出电压只能为 $V_{DD}-V_{TN}$ ，此时 NMOS 截止并停止提供充电电流。因此 PMOS 管适合做上拉器件。



(a) NMOS 和 PMOS 做下拉元件



(b) NMOS 和 PMOS 做上拉元件

十四、互补 CMOS 的缺点

1. 晶体管数目为 $2N$ ，明显增加了它的实现面积；
 2. 互补 CMOS 门的传播延时随扇入数迅速增加；
- 一个门的无负载本征延时在最坏情况下是扇入数的二次函数；避免扇入大于 4

十五、如何降低大扇入电路的延时

1. 调整晶体管尺寸，降低串联器件的电阻和减小时间常数。
2. 逐级加大晶体管尺寸，降低了起主要作用的电阻，同时使电容的增加保持在一定的范围内。
3. 重新安排输入，把关键路径上的晶体管靠近门的输出端可以提高速度。

关键信号和关键路径的概念：

关键信号：在所有输入中最后达到稳定值的一个输入信号；

关键路径：决定一个结构最终速度的逻辑路径。

把关键路径上的晶体管靠近门的输出端可以提高速度

4 重组逻辑结构，变换逻辑方程的形式有可能降低对扇入的要求，从而减小门的延时。

十六、提高 CMOS 组合逻辑性能

- 1.调整输入模式
- 2.控制扇入扇出个数
- 3.逐级加大 MOS 管尺寸
- 4.降低输出电压摆幅
- 5.级联优化

十七、如何降低翻转概率

- 1.逻辑重组
- 2.输入排序
- 3.均衡信号路径减少毛刺
- 4.分时复用资源

十八、有比逻辑的优点及存在的问题

优点：

减少一个给定逻辑功能所需要的晶体管数目。

缺点：

- 1.电压摆幅不够，降低了噪声容限。
- 2.引入了静态功耗。

解决方法：差分串联电压开关逻辑（DCVSL）

十九、动态逻辑门特性

- 1.逻辑功能由 NMOS 下拉网络实现，构成 PDN 的过程与静态 CMOS 完全一样。
- 2.晶体管的数目（对于复杂门）明显少于静态情况： $N+2$ 而不是 $2N$ 。
- 3.是无比的逻辑门，器件的尺寸不会影响逻辑电平。
- 4.具有较快的开关速度。
- 5.动态逻辑门只有动态功耗，但是它的总功耗还是明显高于静态逻辑门。

二十、动态逻辑设计中必须考虑的问题：

电荷泄露、电荷分享、电容耦合、时钟馈通

二十一、如何减小一个门的传播延时

- 1.减小电容 C_L 。电容包括门本身的内部扩散电容、互连线电容和扇出电容。细致的版图设计有助于减少扩散电容和互连线电容。
- 2.降低等效导通电阻。即增加晶体管的 W/L 比，但需小心自载效应。
- 3.提高 V_{DD} 。

