

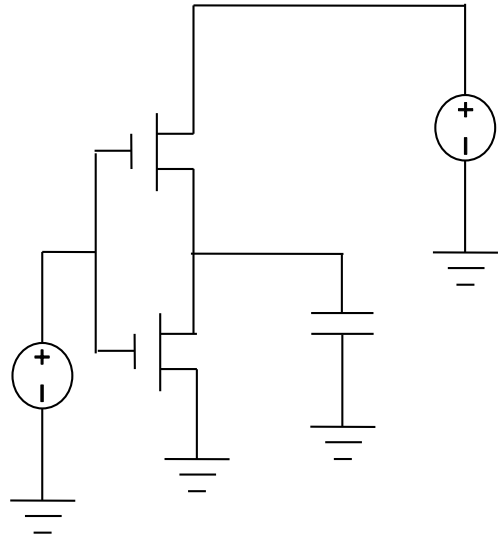
1. 构思一个反相器电路，画出电路图，编写 SPICE 输入文件，执行直流和瞬态分析，观察输出结果。

```
.title 1.2um CMOS Inverter
.include "models.sp"
.global vdd
.option probe post print

Mn out in 0 0 NMOS W=1.2u L=1.2u
Mp out in vdd vdd PMOS W=1.2u L=1.2u
CL out 0 0.5pf

VCC vdd 0 5V
VIN in 0 PULSE(0 5V 10ns 1ns 1ns 50ns 100ns)

.op
.dc VIN 0 5V 0.1V
.probe dc v(out)
.tran 1n 200n
.print v(in) v(out)
.end
```



2. 请写出至少 4 个 spice 分析语句：

```
.op
.dc VIN 0 5 0.1
.ac dec 100 1 100G
.tran 1n 100n
.noise v(dout) dvi dec 10 1 1G
```

3. 对缓冲驱动器进行设计需要进行哪些分析？

直流传输特性分析、时序特性分析、驱动能力分析

4. 对跨导放大器进行设计需要进行哪些分析？

直流工作点分析、直流扫描分析、交流扫描分析、噪声分析、失调分析、压摆率分析、模型 corner 分析、温度分析。

5. 判断题（在括号内打 √ 或 ×）

1) SPICE 语句中，AC 1 表示信号源加上了 1V 的直流电压。（×）交流

2) SPICE 语句中，SIN(1 0.5 10G) 表示中心电平为 1V，幅度为 0.5V，频率为 10G 的正弦波。（√）

3) .AC 为直流扫描分析。（×）交流

4) 标准 CMOS 工艺中，PMOS 衬底接最低电位，NMOS 衬底接最高电位。（×）

5) SmartSPICE 是由 SILVACO 公司设计，Cadence 公司的 Spectre 和 Agilent 公司的 ADS 等软件其核心程序都包括 SPICE 的功能。（√）

## Cadence 部分

1. 写出下面的英文全称并进行名词解释: DRC LVS  
DRC: design rule check, 设计规则检查, 用于检测版图编辑中是否有违反设计规则, 如果有则进行提示并标注错误处。  
LVS: layout versus schematic, 版图与电路图一致性检查, 用于检测版图与电路图是否匹配, 如对应管脚是否对应正确连接。
2. 写出版图验证的 3 种软件工具名称  
Assure、Calibre、Diva
3. 版图导出文件的数据格式是 GDSII。
4. Cadence 中 Cell 的 view 有 schematic、layout 和 symbol 等形式。
5. 请解释 2P4M 的含义  
2poly 4metal
6. CMOS 工艺中 PIP 和 MIM 指什么?  
两层 POLY 电容 两层金属电容
7. UNIX 操作系统中 Cadence 的启动命令是 icfb。
8. 新建库时, 除了键入新建库名外, 还应选择如下哪个选项 b。  
a. Compile a new techfile  
b. Attach to an existing techfile  
c. Don't need a techfile
9. 新建版图的 Cellview, 应选择 Design Tool 是 virtuoso; 新建电路图的 Cellview, 应选择 Design Tool 是 composer-schematic。
10. 几何设计规则包括有 各层的最小宽度、最小距离 和 最小交叠。
11. 请简述使用 Cadence 作模拟电路设计的全流程。(15')
  1. 建库
  2. 建底层单元
  3. 电路图输入
  4. 设置电路元件属性
  5. Check & Save
  6. 生成symbol
  7. 原理图仿真or导出网表
  8. 新建一个library/cell/view
  9. 进行cell的版图编辑

10. 版图验证
11. 寄生提取与后仿真
12. 导出GDSII文件

12. 在用 spectre 工具仿真 MOS 管输出特性曲线族时，需要进行哪两种分析？  
直流扫描分析和参数扫描分析

13. 请列出 5 种以上用 HSPICE 软件设计跨导放大器需要进行的电路分析，并说明各种分析的作用。

.op	直流工作点分析
.dc vin 0 5V 0.1V	直流扫描分析，vin端加电压0~5V，步长0.1V
.ac dec 100 10 10G	交流信号分析，十倍频扫描100个点，扫描频率从10Hz到10GHz
.tran 1ns 200ns	瞬态分析，以1ns的步长输出，200ns后停止
.print v(vout) vdb(vout) vp(vout)	输出vout的电压曲线、输出增益和相频响应
.pz v(Vout)	零极点分析

14. 简述版图设计注意事项

1. 输入输出最好分别布置在芯片两端。
2. 当 MOS 管栅宽过大时，采用并联方式或多栅指结构以减少栅电阻和栅电容。
3. 对于 NMOS，保证衬底充分接地；对于 PMOS，保证衬底充分接高电平。
4. 对于差分形式的电路结构，保证其版图的对称性，有利于提高性能。一般地线铺在中间，电源线上下两边，中间是大片的元件。
5. 在芯片的空闲面积上，可以放置电容来旁路外接电源和减少地对电路性能的影响。
6. 力求层次化设计，即按功能将版图划分为若干个子单元，每个子单元又可能包含若干个子单元，从最小的子单元进行设计，这种方法大大减少了设计和修改的工作量，且结构严谨、层次清晰。
7. 图形应尽量简洁，避免不必要的多边形，对连接在一起的同一层应尽量合并，这不仅可以减少版图的数据存储量，而且使版图一目了然。
8. 设计者在构思版图结构时，除了考虑版图所占的面积、输入和输出的合理分布、减少不必要的寄生效应外，还应力求版图与电路原理图保持一致，力求版图美观大方。

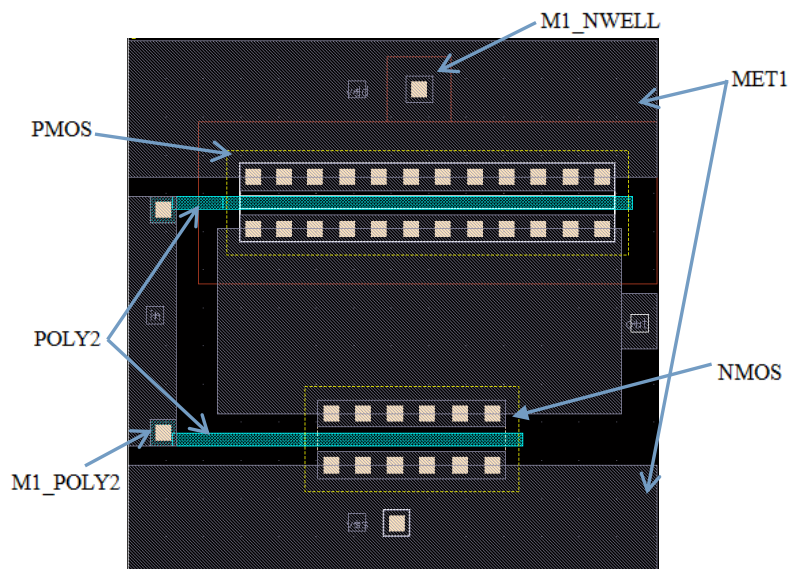
15. 请阐述天线效应形成的原因和解决的方法。

原因：长金属线（面积较大的金属线）在刻蚀时，会吸引大量的电荷，如果该金属直接与 MOS 管的栅极相连的话，可能会在栅极形成高电压，会影响栅极氧化层的质量，降低电路的可靠性和寿命。

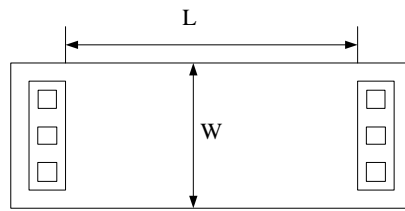
解决方法：一般随着金属层数的增加，越容易发生天线效应。可以考虑减少金属层数。也可以减少暴露在外多余的金属线和多晶硅长度。还可以用另外更高一层的金属线来割断本层的大面积金属。

16. 画出一个简单的差分对电路图，编写 SPICE 网表文件，并进行必要的分析。

- M1\_POLY2 M1\_PSUB M1\_NWELL



18. 如下图所示为一电阻的示意图。已知该电阻的方块电阻值为  $200\ \Omega/\text{Square}$ . 每个接触孔电阻  $75\ \Omega$ ， $L=100\mu$ ， $W=10\mu$ 。请估算该电阻值大小。



答：

$$200 \cdot L/W + 75/3 \cdot 2 = 2050$$