

数字集成电路 EDA 技术 2011 期末试题 （卷 A）

考试形式：开卷

姓名_____

学号_____

得分_____

- 一、EDA 设计的主要流程包括哪些步骤？（10'）
- 二、可以在哪几个抽象层次描述一个数字集成电路系统？这几个抽象层次的特点是什么？（10'）
- 三、Verilog 语言和 C 语言在本质上的区别是什么？（10'）
- 四、用 Verilog HDL 语言描述一个上升沿触发器，其中 clk 为触发器的时钟，data、q 分别为触发器的输入、输出。（10'）
- 五、逻辑综合的输入文件和输出文件分别是什么？逻辑综合的英文全称是什么？试验中所用的综合工具是什么？（10'）
- 六、逻辑综合的基本流程是什么？（10'）
- 七、简要说明时钟的非理想性 Skew 和 Jitter 的联系和区别。（10'）
- 八、DRC，LVS 指什么（英文全称，中文翻译及用途）？（10'）
- 九、建立时间和保持时间是指什么？英文全称是什么？（10'）
- 十、物理设计是什么？它包括哪些步骤？它的输入文件和输出文件是什么？实验中所用的布局布线工具是什么？（10'）

- 1、集成电路设计指标
- 2、CMOS 反相器特性
- 3、上升时间、下降时间、传输延迟的定义
- 4、提高反相器性能的方法
- 5、CMOS 反相器功耗来源
- 6、电路设计，如：双输入与非门
- 7、复杂 CMOS 晶体管尺寸计算
- 8、时钟偏差、时钟抖动
- 9、同步电路、异步电路