

①集成了越来越多的晶体管，难以用传统的手工方法来设计和处理

解决方法：1、CAD 工具 2、层次化设计 3、设计复用\

②功耗变大，散热成为不得不考虑的问题，电路复杂以后，产生噪声和互相干扰

解决方法：更好的物理设计

③器件多了以后，互连线也随之增加，连线占用了大量的硅片面积

解决方法:1、增加更多的连线层 2、使用 CAD 工具进行三维布线

④互连线变长，连线上的延时增加，成为限制电路性能的主要因素之一

解决方法:1、使用铜材料做互连 2、在物理上优化连线的长度，增加驱动能力，优化驱动器
摩尔定律所带来的挑战: 1、物理限制: 65nm 工艺下, SiO_2 的厚度大概是 5 个原子直径大小 2、设计越来越复杂，不能用传统的手工方法来设计 3、功耗变大，散热成为不得不考虑的问题 4、电路复杂以后，产生噪声和互相干扰 5、器件多了以后，互连线也随之增加，连线占用了大量的硅片面积 6、互连线变长，连线上的延时增加，成为限制电路性能的主要因素之一 7、芯片的规模每两年增加一倍，但设计工程师的数量并没有每两年增加一倍

⑤如何评价集成电路设计的好坏？

1、成本 2、可靠性 3、性能 4、功耗

⑥非重复性费用 (NRE)

1、和产量无关 2、设计时间、人力成本、掩膜费用等 3、一次性投入的费用，如设备、软件等

⑦重复性费用

1、硅片成本、封装成本、测试成本 2、和产量成正比 3、和芯片面积成正比 (die cost \propto die area)

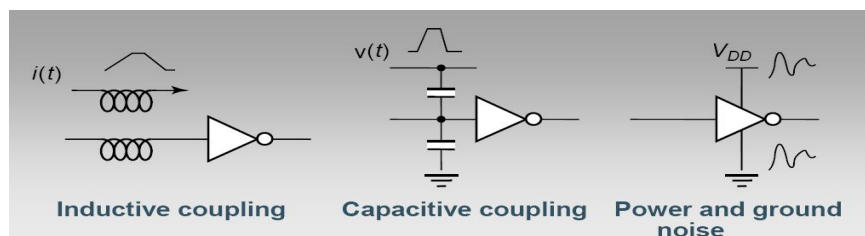
Wafer 越大，一次流片的芯片越多，工艺越先进，一个 Wafer 上的芯片越多

芯片面积越小，wafer 利用率越高，良率越高

单位面积缺陷不变，良率与芯片面积成反比

芯片产量越高，成本越低

真实世界都是模拟量 电路设计师需要处理的是连续变化的物理量，因此，即使是“数字”信号也会引入噪声



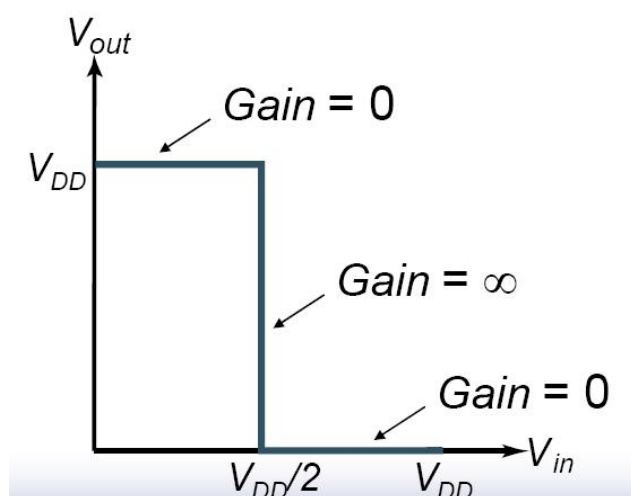
在一个集成电路中两条并排放置的导线间形成了一个耦合电容和一个互感。因此在其中一条导线上电压或电流的变化会影响其相邻导线上的信号。一个门的电源线和地线上的噪声也会影响该门的信号电平。

在噪声环境中，电路仍然需要正常工作 1、数字电路可以抗噪声 2、正是因为如此，才可以用 0/1 来衡量数字信号

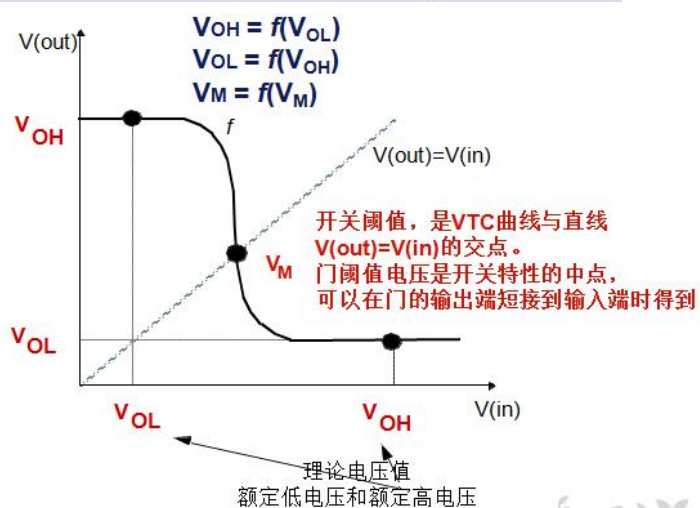
数字系统 1、用分立的数字量来替代连续的模拟量 2、抗噪声特性决定了输出的噪声比输入

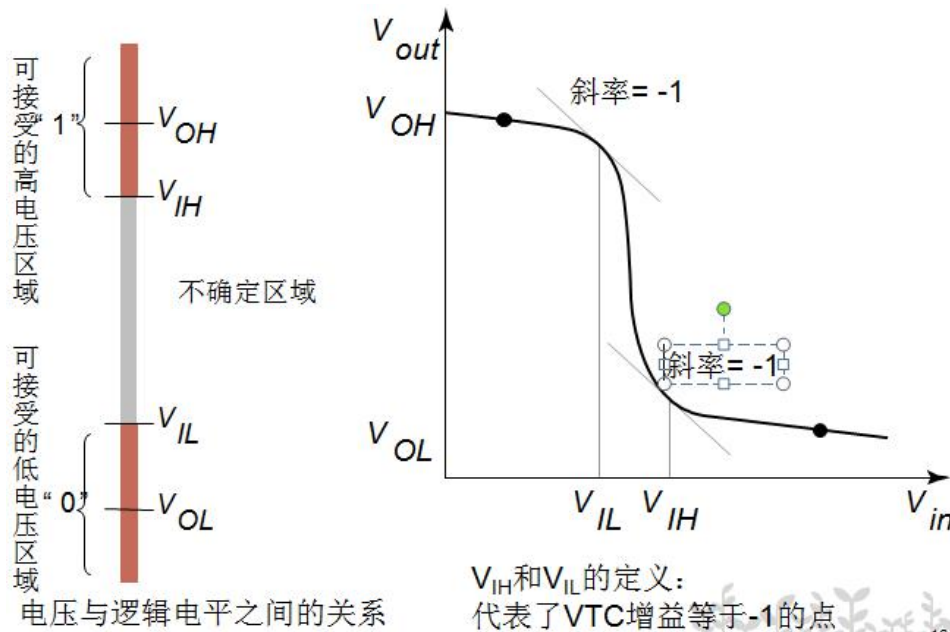
的噪声小 3、较小的噪声对数字系统的影响可以忽略

反相器的电压传输特性曲线(VTC) 理想的反相器 噪声要超过 $V_{DD}/2$ 才会对反相器的输出产生影响



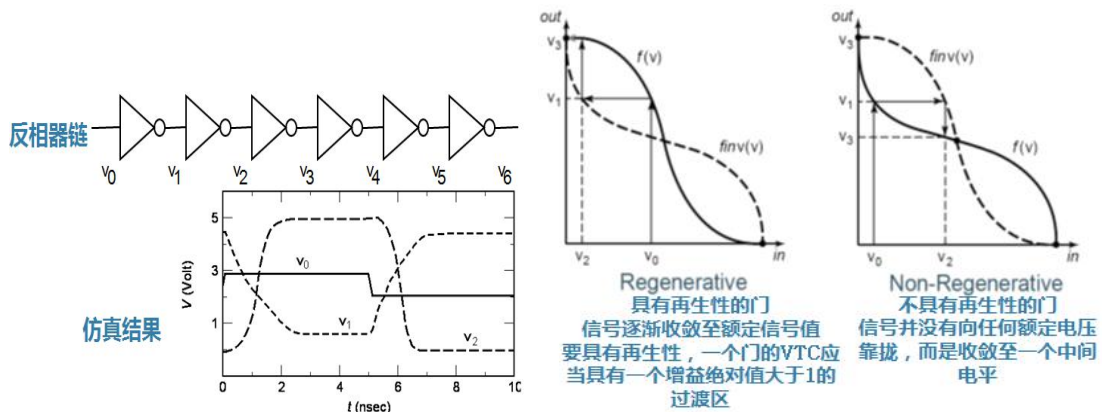
在过渡区有无限大的增益，门的阈值位于逻辑摆幅的中点，高电平和低电平噪声容限均等于这一摆幅的一半。理想门的输入和输出阻抗分别为无穷大和零（即门可以有无限制的扇出数）。



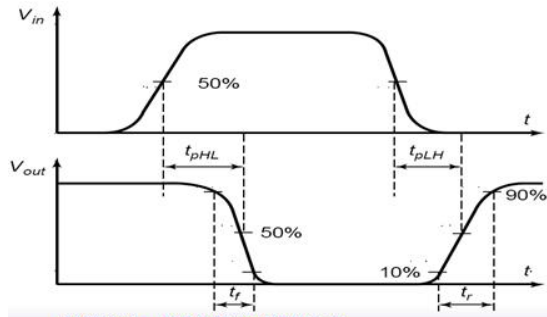


噪声容限为了使一个门的稳定性较好并且对噪声干扰不敏感，应当使“0”和“1”的区间越大越好。一个门对噪声的灵敏度是由噪声容限（高电平噪声容限和低电平噪声容限）来度量的，它们分别量化了合法的“0”“1”的范围，并确定了噪声的最大固定阈值。这一容限应当大于零，并且越大越好。

噪声抑制：再生特性 我们希望有大的噪声容限，但这还不够。假设一个信号受到噪声的干扰并偏离了额定电平，只要该信号还在噪声容限之内，它后面所接的门还会继续正常工作，虽然它的输出电压与额定值会有所不同。这一差别将与注入到输出节点的噪声相加并传递到下一个门。各种噪声源的影响可以累积起来并最终使信号电平进入到不确定区域，但如果门具有再生性的话这种情况就不会发生。再生性保证一个受干扰的信号在通过若干逻辑级后逐渐收敛回到额定电平中的一个。

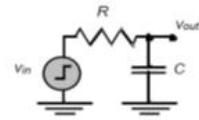


可靠性关键点：高噪声容限 高增益 低输出阻抗 高输入阻抗



传播延时、上升和下降时间的定义
 t_{pLH} 定义为这个门的输出由低至高（或正向）翻转的响应时间。
 t_{pHL} 则为输出由高至低（或负向）翻转的响应时间。
 传播延时 t_p 定义为这两个时间的平均值。

当加上一个阶跃输入 (v_{in} 从 0 至 V) 时，这一电路的瞬态响应已知为一个指数函数。



达到 50% 点的时间

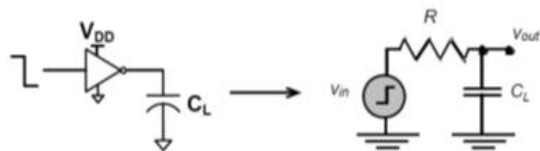
$$v_{out}(t) = (1 - e^{-t/\tau}) V$$

$$t_p = \ln(2) \tau = 0.69 RC$$

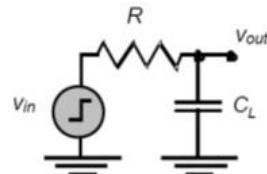
研究电源线尺寸时，峰值功耗 P_{peak} 很重要。在处理冷却或对电池的要求时，则主要考虑平均功耗 P_{av} 。 $P(t)$ 为瞬时功率。

功耗 电路的功耗决定了每个操作消耗多少能量以及电路耗散多少热量。这些因素会影响许多重要的电路设计决定，如电源容量、电池寿命、电源线尺寸、封装和冷却要求。

功耗分为静态功耗和动态功耗。后者只发生在门开关的瞬间。这是由于对电容充电以及在电源和地之间有一暂时的电流通路造成的，正比于开关频率：发生开关的次数越多，动态功耗越大。



CL 的电压最后达到 V_{DD}
 电容上存储的电荷为 $Q = CLV_{DD}$
 电源消耗的能量为 $Q \cdot V_{DD} = (CLV_{DD}) \cdot V_{DD}$



$$E_{0 \rightarrow 1} = \int_0^T P_{DD}(t) dt = V_{DD} \int_0^T i_{DD}(t) dt = V_{DD} \int_0^{V_{DD}} C_L dv_{out} = C_L V_{DD}^2$$

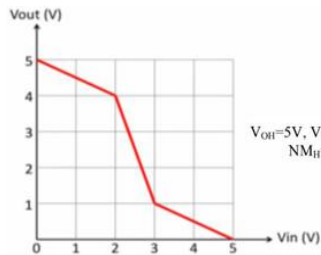
$$E_C = \int_0^T P_C(t) dt = \int_0^T v_{out} i_L(t) dt = \int_0^{V_{DD}} C_L v_{out} dv_{out} = \frac{1}{2} C_L V_{DD}^2$$

对于一个阶跃输入，使电容从 0 充电至 V 伏所需要的能量是阶跃电压和电容大小的函数，而与电阻的值无关。
 E_C 是过渡结束时所传送的能量中有多少存储在电容器上，正好是信号源传送能量的一半。

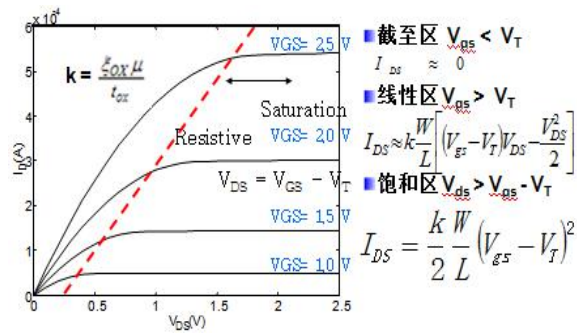
如何评价集成电路设计的好坏？
 1、成本 非重复性费用（NRE）：设计时间、人力成本、掩膜费用等；一次性投入的费用，如设备、软件等 重复性费用：硅片成本、封装成本、测试成本；和产量成正比；和芯片面积成正比
 2、可靠性 高噪声容限；高增益；低输出阻抗；高输入阻抗 希望能够接近理想的反相器的电压传输特性曲线 V_{TC}
 3、性能 传播延时 t_p 一级 RC 网络达到 50% 点的时间为 $0.69RC$ ，从 10% 达到 90% 点的时间为 $2.2RC$
 4、功耗 和电容和电源电压成正比，动态功耗和开关的频率成正比

Q：说明 CMOS 逻辑电路的功耗来源以及产生机理

CMOS 电路的功耗来源有：1、动态功耗，负载电容充、放电所消耗的功耗；2、开关过程中的短路功耗，即输入信号上升或下降过程中，直流导通电流引起的功耗；3、静态功耗，由泄漏电流导致的功耗。



图示是反相器的VTC曲线，它的噪声容限 NM_H 和 NM_L 各是多少？假设
有3个上图所示的反相器串联构成了一个反相器链，这个反相器
链可以被看成是一个新的反相器（复合反相器），那么这个复合
反相器的噪声容限 NM_H 和 NM_L 各是多少？这个复合反相器与上图
所示反相器的VTC和噪声容限有无区别？



静态 CMOS 反相器 1、噪声容限大 2、无比逻辑，逻辑电平和器件尺寸无关 3、低输出阻抗
4、输入电阻极高 5、几乎没有漏电流

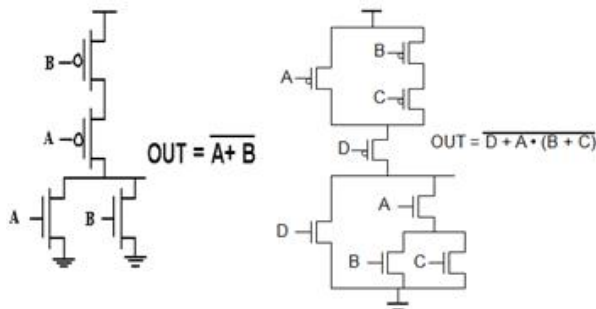
如何提高静态 CMOS 反相器的性能 1、降低电容包括寄生电容和负载电容 2、降低等效导通
电阻增加晶体管尺寸需小心自载效应 3、一定范围内增加 V_{DD}

反相器的功耗分布 1、动态功耗电容充放电 电源和地存在直流通路 2、静态功耗晶体管的
漏电流

降低静态 CMOS 反相器功耗的方法 1、降低电压最为有效的方法 2、减少电路翻转优化设计
架构和电路结构 3、减少物理电容寄生电容和负载电容

静态电路 稳定状态下，输出与电源/地相连 输出由电路结构决定，稳定不变 静态 互
补 CMOS 结构的基本优点是其具有良好的稳定性（即对噪声的灵敏度低）、良好的性能以及
低功耗（没有静态功耗）

动态电路 输出由暂存在电容上的电荷决定 不能长时间保持，需要不断更新 把
信号值暂时存放在高阻抗电路节点的电容上。动态电路的优点是所形成的门比较简单且比较
快，但它的设计和工作比较复杂，并且由于对噪声敏感程度的增加而容易失败。



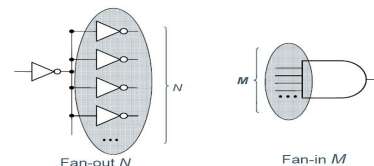
$$\begin{aligned} \text{OUT} &= \overline{(A \cdot B + C \cdot D) \cdot (E + F)} \\ \text{OUT} &= A \cdot B + C \\ \text{OUT} &= \overline{D + A \cdot (B + C)} \end{aligned}$$

一个门的扇入定义为该门输入的数目。扇入较大的门往往比较复杂，这常常会使静态和动态
特性变差。

扇出表示连接到驱动门输出端的负载门的数目 N 。
增加一个门的扇出会影响它的逻辑输出电平。从模拟放
大器中我们知道，通过使负载门的输入电阻尽可能的大
（也就是使输入电流最小）并保持驱动门的输出电阻较
小（即减小负载电流对输出电压的影响），可以使这一影响减到最小。

当扇出较大时，所加的负载会使驱动门的动态性能变差。为此许多通用单元和库单元都定义
了一个最大扇出数来保证该单元的静态和动态性能都能满足规定的技术要求。

互补 CMOS 的缺点：晶体管数目为 $2N$ ，明显增加了它的实现面积；互补 CMOS 门的传播延
时随扇入数迅速增加；一个门的无负载本征延时在最坏情况下是扇入数的二次函数；避免扇
入大于 4。

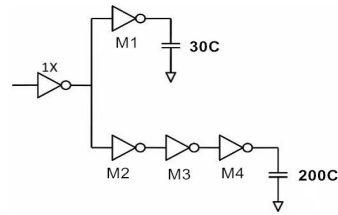


重新安排输入：关键信号和关键路径的概念 关键信号：在所有输入中最后达到稳定值的一个输入信号；关键路径：决定一个结构最终速度的逻辑路径。把关键路径上的晶体管靠近门的输出端可以提高速度。

如何优化一条组合逻辑路径的总体延时？

以反相器链为例：

下图是一个简单的反相器网络，其中第一个反相器的尺寸是规定的最小尺寸（1X），并且其电容值是C。假设比例系数 $\gamma=1$ 。



问题 1：假设上面那条是关键路径，请为剩下的反相器选择尺寸大小，使得关键路径的延迟最短。

问题 2：假设下面那条是关键路径，请为剩下的反相器选择尺寸大小，使得关键路径的延迟最短。

问题 3：假设两条路径的延迟是一样的，请为剩下的反相器选择尺寸大小，使得两条路径的平均延迟最短。

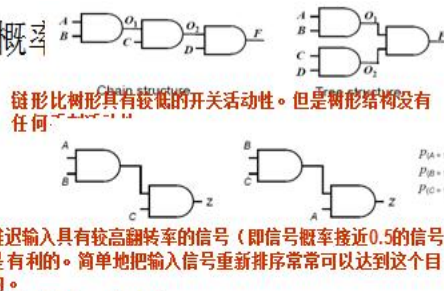
大扇入时的设计技术 A、调整晶体管尺寸：降低串联器件的电阻和减小时间常数 B、逐级加大晶体管尺寸：降低了起主要作用的电阻，同时使电容的增加保持在一定的范围内。C、重新安排输入：把关键路径上的晶体管靠近门的输出端可以提高速度。D、重组逻辑结构：变换逻辑方程的形式有可能降低对扇入的要求，从而减小门的延时。

提高 CMOS 组合逻辑性能 1、调整输入模式 2、控制扇入扇出个数 3、逐级加大 MOS 管尺寸 4、降低输出电压摆幅 5、级联优化

如何降低翻转概率

逻辑重组

输入排序



有比逻辑存在的问题：

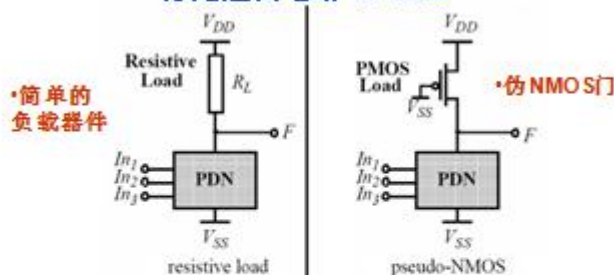
- 1、电压摆幅不够 对后级电路速度产生影响
- 2、存在静态电流 功耗是个大问题
- 3、VOL 和 tpLH 存在矛盾
- 4、如何解决？DCVSL 逻辑门（P195）

均衡信号路径减少毛刺

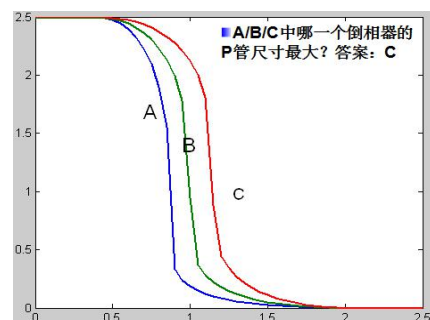


•使信号路径长度匹配可以减少毛刺 所标注的数字表示信号到达的时间

有比逻辑电路（P192）



- 有比逻辑试图减少一个给定逻辑功能所需要的晶体管数目。
- 在有比逻辑中，整个PUN被一个无条件的负载器件所替代。
- 由于输出端的电压摆幅及门的总体功能取决于NMOS和PMOS的尺寸比，所以该电路称为有比电路。这不同于像互补CMOS这样的无比逻辑类型，后者的高低电平与晶体管的尺寸无关。



CMOS 反相器的重要特性:

- 1、输出高电平和低电平分别为 VDD 和 GND。换言之，电压摆幅等于电源电压。因此噪声容限很大。
- 2、逻辑电平与器件的相对尺寸无关，所以晶体管可以采用最小尺寸。具有这一特点的门称为无比逻辑。它不同于有比逻辑，在有比逻辑中逻辑电平是由组成逻辑的晶体管的相对尺寸来决定的。
- 3、稳态时在输出和 VDD 或 GND 之间总存在一条具有有限电阻的通路。因此一个设计良好的 CMOS 反相器具有低输出阻抗，这使它对噪声和干扰不敏感。
- 4、CMOS 反相器的输入电阻极高，因为一个 MOS 管的栅实际上是一个完全的绝缘体。由于反相器的输入节点只连到晶体管的栅上，所以稳态输入电流几乎为零。（理论上，单个反相器可以驱动无穷多个门（或者说具有无穷大的扇出）而仍能正确工作，但是增加扇出也会增加传播延时。尽管扇出不会对稳态特性有任何影响，但它使瞬态响应变差。）
- 5、在稳态工作情况下电源线和地线之间没有直接的通路（即此时输入和输出保持不变）。没有电流存在（忽略漏电流）意味着该门并不消耗任何静态功率。

如何提高性能:

- 1、降低电容 包括寄生电容和负载电容（电容包括门本身的内部扩散电容、互连线电容和扇出电容。细致的版图设计有助于减少扩散电容和互连线电容。）
- 2、降低等效导通电阻 增加晶体管尺寸（增加晶体管的 W/L 比） 需小心自载效应
（增加晶体管尺寸也增加扩散电容，因而增加了 CL。一旦扩散电容开始超过由连线和扇出形成的外部负载，增加门的尺寸就不再对减少延时有帮助。它只是加大了门的面积，这称为自载效应。此外，较宽的晶体管具有较大的栅电容，这就增加了驱动门的扇出系数，从而又反过来影响它的速度。）
- 2、增加 V_{DD} ——是否有用?（一个门的延时可以通过改变电源电压来调整。可以用能量损耗来换取性能。但是增加电源电压超过一定程度后改善就会非常有限。）

CMOS 有哪些功耗?

- 1、动态功耗（电容充放电+电源和地存在直流通路）
- 2、静态功耗（二极管和晶体管的漏电流）
- 3、对 CMOS 电路功耗起支配作用的是由充电和放电电容引起的动态功耗

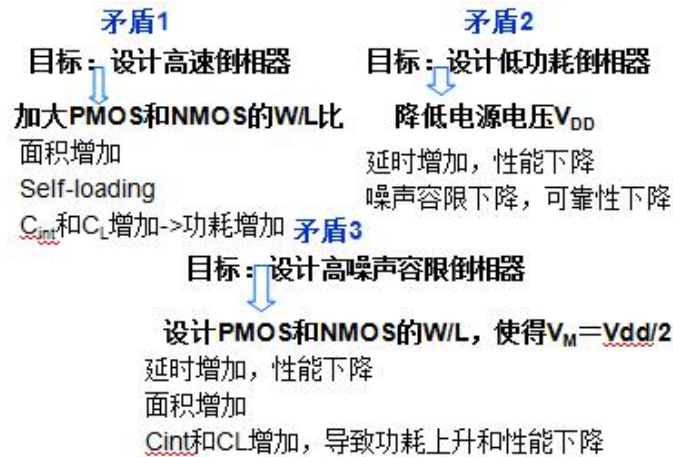
降低动态功耗:

- 1、降低电压 V_{DD}
- 2、降低晶体管尺寸 C
- 3、降低节点翻转速率

What is the shortage of large capacitor load?--->1、Slow down the circuit 2、Cause the short path current in fanout gates 3、Increase dynamic power。

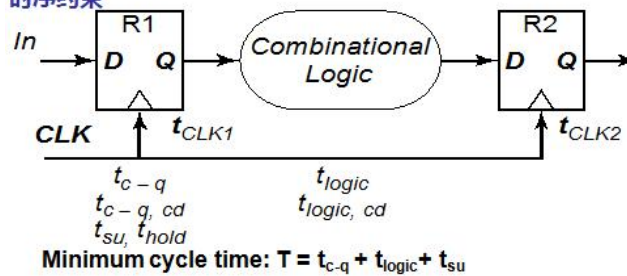
静态电流: 1、在没有开关活动存在时在电源两条轨线之间流动的电流。 2、非工作状态浪费的能量 3、要尽可能避免

降低功耗的方法: 1、首选: 降低电压!（这已经成为最近 10 年降低功耗的重要方法、极低电压的设计仍然是大家研究的热点） 2、减少电路翻转（优化设计架构和电路结构） 3、减少物理电容（寄生电容和负载电容）

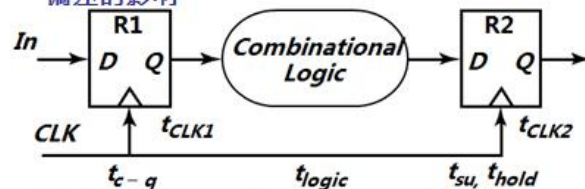


时钟的非理想化：1、时钟偏差（1 时钟沿到达不同空间的时间差别；2 各个周期的偏差相同；3 不造成时钟周期的变化，只有相位的偏移；4 衡量时钟分布好坏的指标；）2、时钟抖动（1 给定空间上时钟周期的变化；2 可正可负，平均值为0的随机量；3 需要严格限定抖动的范围；4 衡量时钟本身好坏的指标；）

时序约束

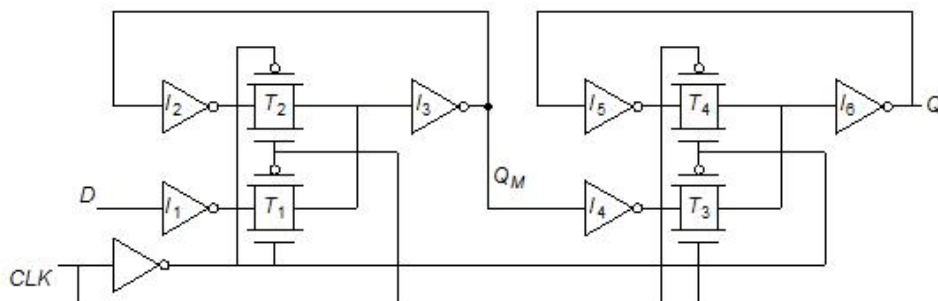


偏差的影响



最小时钟周期（取决于最坏情况下的传播延时）：

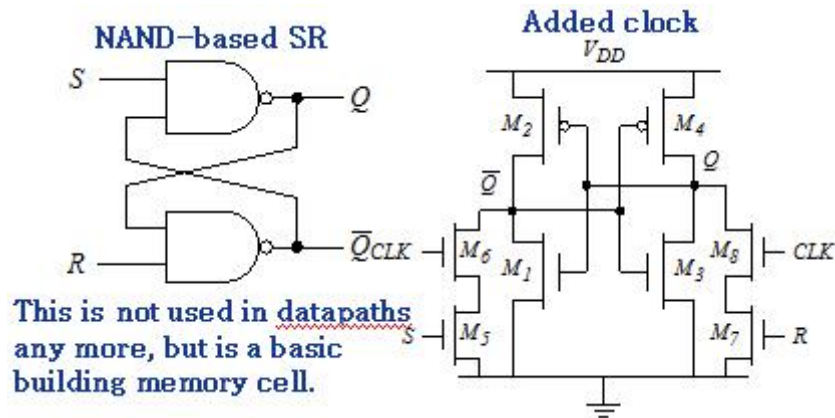
$$T + \delta = t_{c-q} + t_{logic} + t_{su}$$



$t_{setup} = t_{p11} + t_{pT1} + t_{p13} + t_{p12}$, 保证了在传输门T2两端的节点电压值相等

$t_{c2q} = t_{pT3} + t_{p16}$

$t_{hold} = 0$



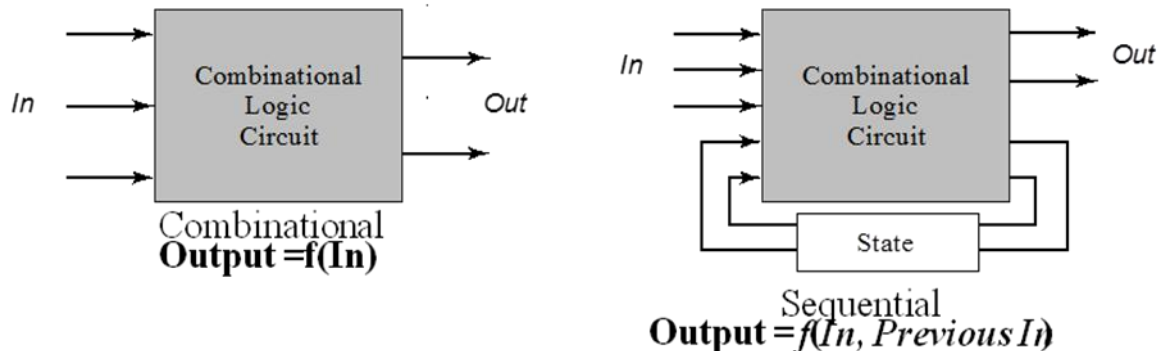
修改：

静态 CMOS 反相器：噪声容限大 无比逻辑，逻辑电平和器件尺寸无关 低输出阻抗
输入电阻极高 几乎没有漏电流

如何提高静态 CMOS 反相器的性能：降低电容 包括寄生电容和负载电容 降低等效导通电阻 增加晶体管尺寸 需小心自载效应 一定范围内增加 V_{DD}

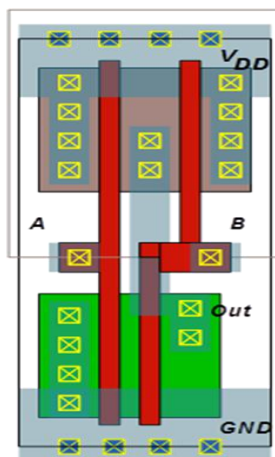
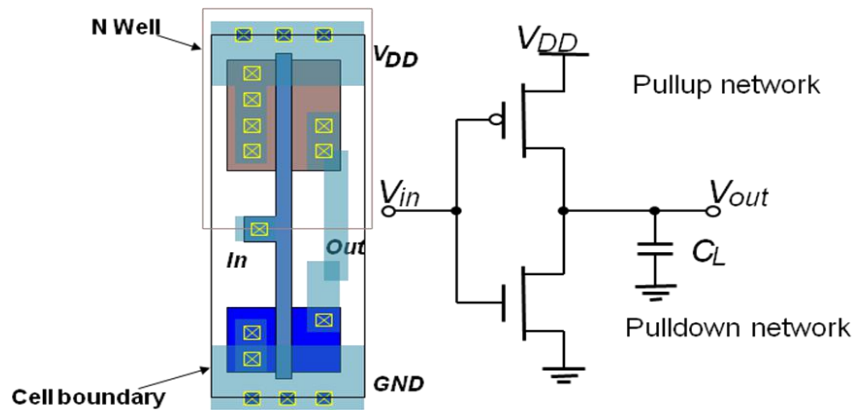
反相器的功耗分布：动态功耗 电容充放电 电源和地存在直流通路 静态功耗 晶体管的漏电流

降低静态 CMOS 反相器功耗的方法：降低电压 最为有效的方法 减少电路翻转 优化设计架构和电路结构 减少物理电容 寄生电容和负载电容

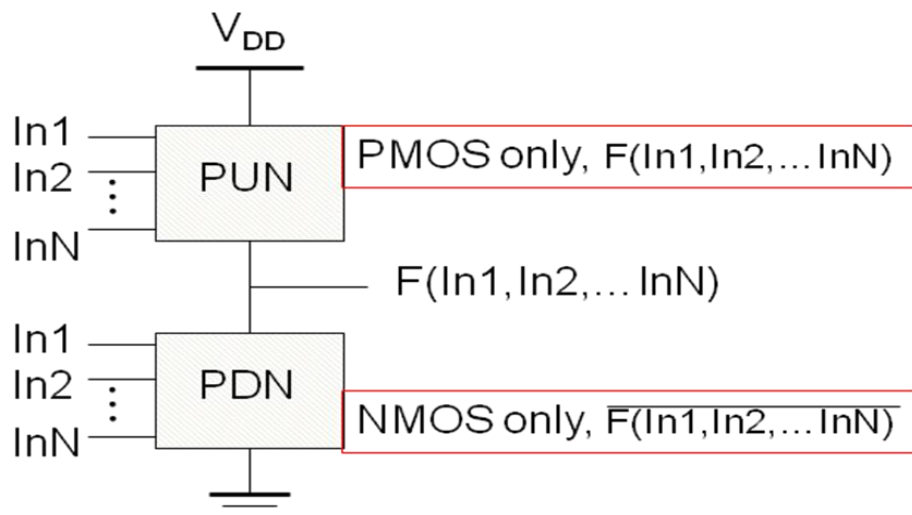
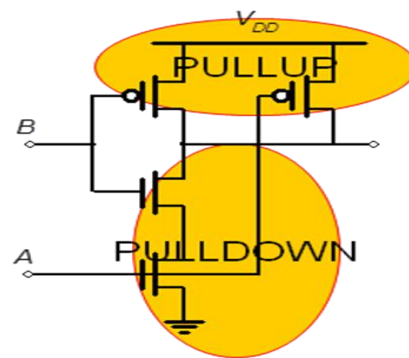


静态电路：稳定状态下，输出与电源/地相连 输出由电路结构决定，稳定不变 静态互补 CMOS 结构的基本优点是其具有良好的稳定性（即对噪声的灵敏度低）、良好的性能以及低功耗（没有静态功耗）

动态电路：输出由暂存在电容上的电荷决定 不能长时间保持，需要不断更新 把信号值暂时存放在高阻抗电路节点的电容上。动态电路的优点是所形成的门比较简单且比较快，但它的设计和工作比较复杂，并且由于对噪声敏感程度的增加而容易失败。

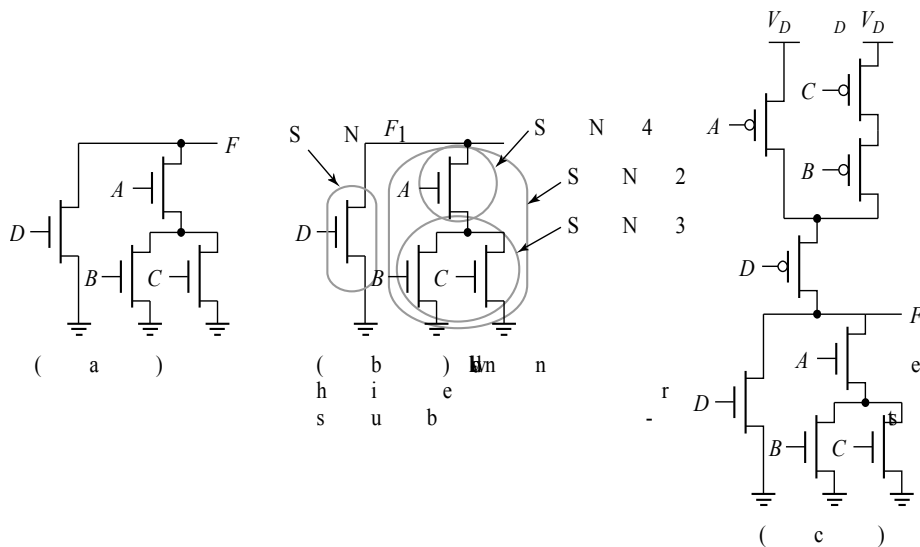
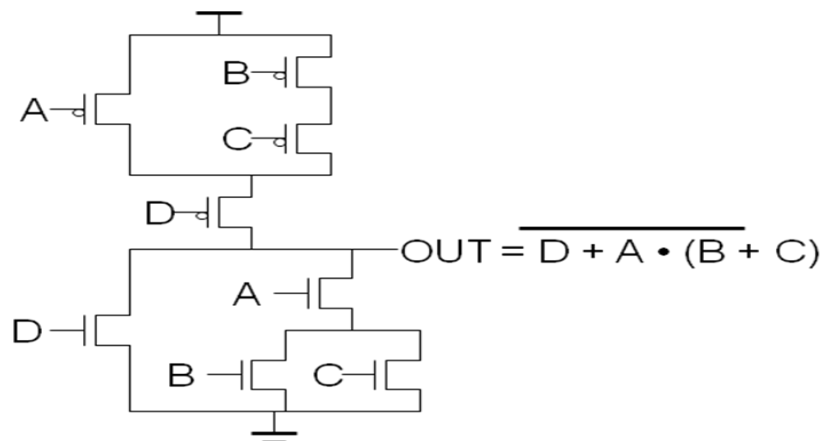
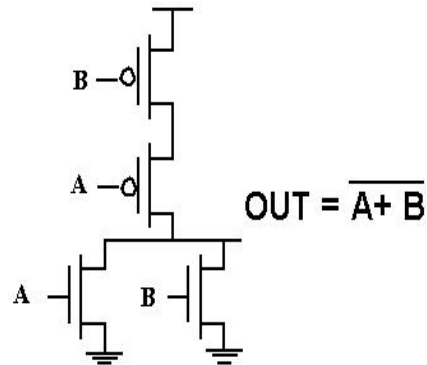


2-input NAND gate



A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Truth Table of a 2 input NOR gate

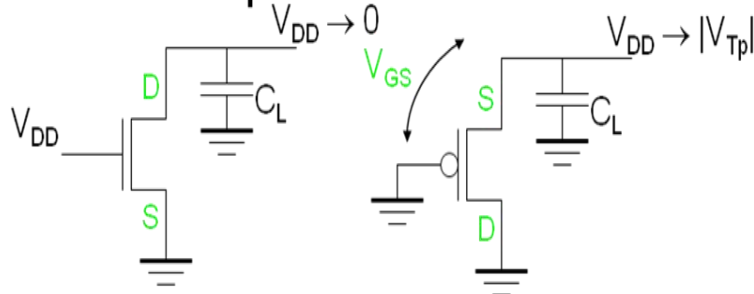


$$\text{OUT} = (A \cdot B + C \cdot D) \cdot (E + F) \quad \text{OUT} = A \cdot B + C \quad \text{OUT} = D + A \cdot (B + C)$$

Full rail-to-rail swing; high noise margins Logic levels not dependent upon the relative device sizes; ratioless Always a path to Vdd or Gnd in steady state; low output impedance

Extremely high input resistance; nearly zero steady-state input current No direct path
 steady state between power and ground; no static power dissipation

Why use PMOS as pull up network, and NMOS as pull down network?



1) What is the function in the following circuit?

