

一、1. 一个门具有再生性的条件是一个门的 VTC 应当具有一个增益绝对值大于 1 的过渡区。

2. 按比例缩小中全比例缩小是指恒定电场 (CE) 下的等比例缩小定律, 要求器件的所有几何尺寸, 包括横向和纵向尺寸, 都缩小 k 倍; 衬底掺杂浓度增大 k 倍; 电源电压下降 k 倍。

3. LUT 是指Look-Up-Table。

4. CMOS 反相器静态特性评估中最重要的两个参数包括开关阈值、噪声容限。

5. 门的传输延迟是指门电路在输入脉冲波形的作用下, 其输出波形相对于输入波形延迟了多长的时间。

6. 数字集成电路设计中, 时钟的正偏差对于电路的影响是引起时钟重叠, 降低时钟周期, 增加电路的数据通过量。

7. 列举三种解决降低大扇入电路延时的方法逐级加大晶体管的尺寸、调整晶体管顺序, 关键路径上的晶体管靠近输出、优化逻辑结构, 减少扇入的个数。

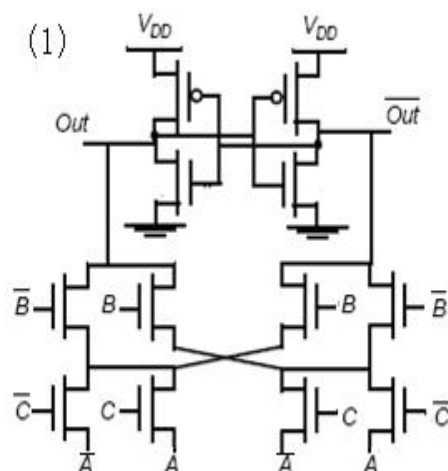
8. 锁存器是指一种对脉冲电平敏感的存储单元电路, 它们可以在特定输入脉冲电平作用下改变状态。

9. 标准单元是指针对不同扇入和扇出情况而设计的一些规模较小的各种电路模块, 被放在单元库中, 如基本逻辑门、D 触发器、寄存器等。

10. 电迁移是指在电场的作用下导电离子运动造成元件或电路失效的现象。

11. 如图(1)所示的电路中, out 的逻辑表达式是

$$out = (\bar{A}\bar{C} + AC)\bar{B} + (\bar{A}C + A\bar{C})B$$

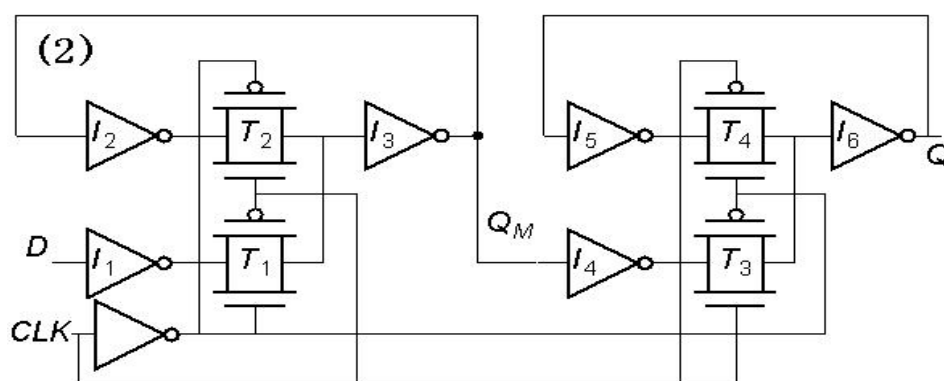


12. 在 CMOS 反相器设计中, 增大 P 管的宽度, 其它参数保持不变,  $V_M$  将向 VDD 移动。(填 VDD 或 VSS)

13. 3 输入与非门的逻辑功效 (Logic Effort) 是 5/3。

二、图(2)给出了一种基于锁存器的触发器, 分析此触发器的基本工作原理; 并

判断其建立时间，维持时间，传播延时分别应满足什么条件？



### 1) 工作原理

当时钟处于低电平时，T1 导通，T2 关断，输入 D 被采样到节点 QM 上，在此期间，T3 和 T4 分别关断和导通，交叉耦合的反相器 (I5、I6) 保持从锁存器的状态。当时钟上升到高电平时，主级停止采样输入并进入维持状态。T1 关断，T2 导通，交叉耦合的反相器 I2 和 I3 保持 QM 状态，同时，T3 导通，T4 关断，QM 被复制到输出上。

2)  $t_{setup} = t_{pI1} + t_{pT1} + t_{pI3} + t_{pI2}$ , 保证了在传输门 T2 两端的节点电压值相等

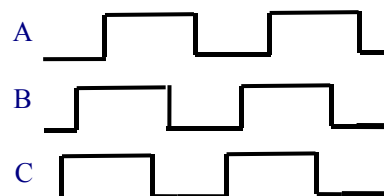
$$t_{c2q} = t_{pT3} + t_{pI6}$$

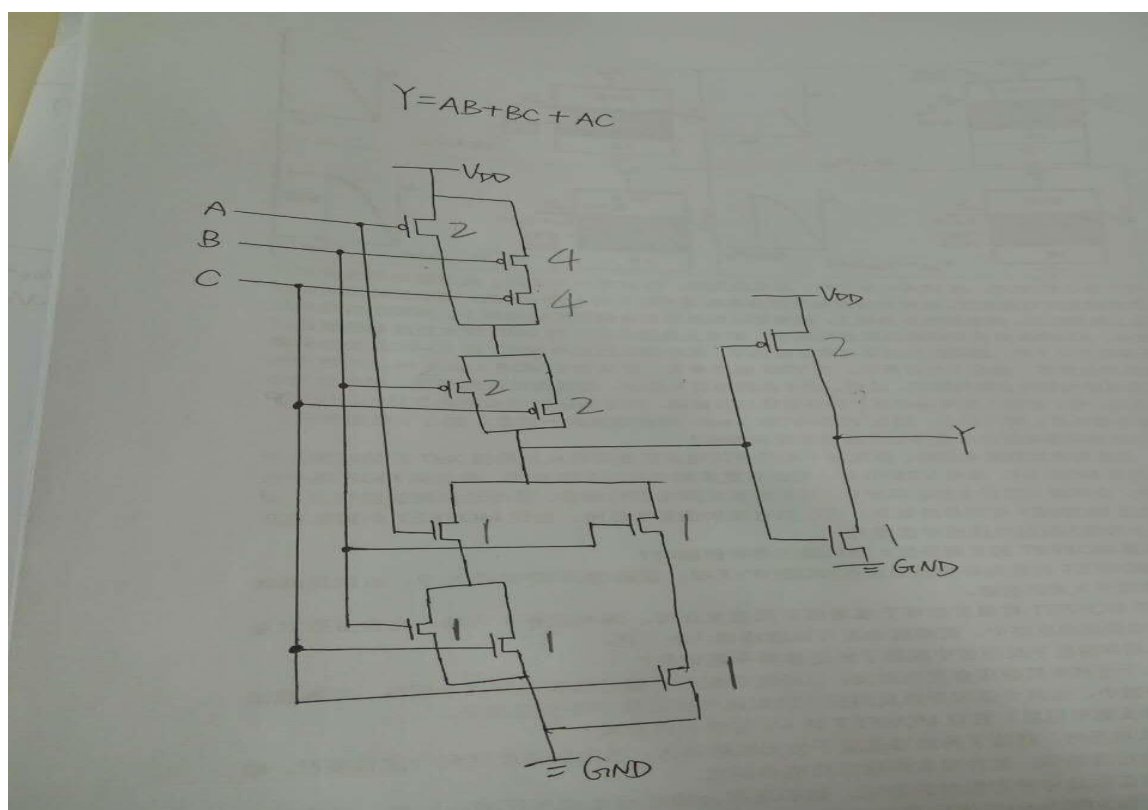
$$t_{hold} = 0$$

三、如右图所示为输入信号 A,B,C 的时序图， $Y = AB + BC + AC$ 。

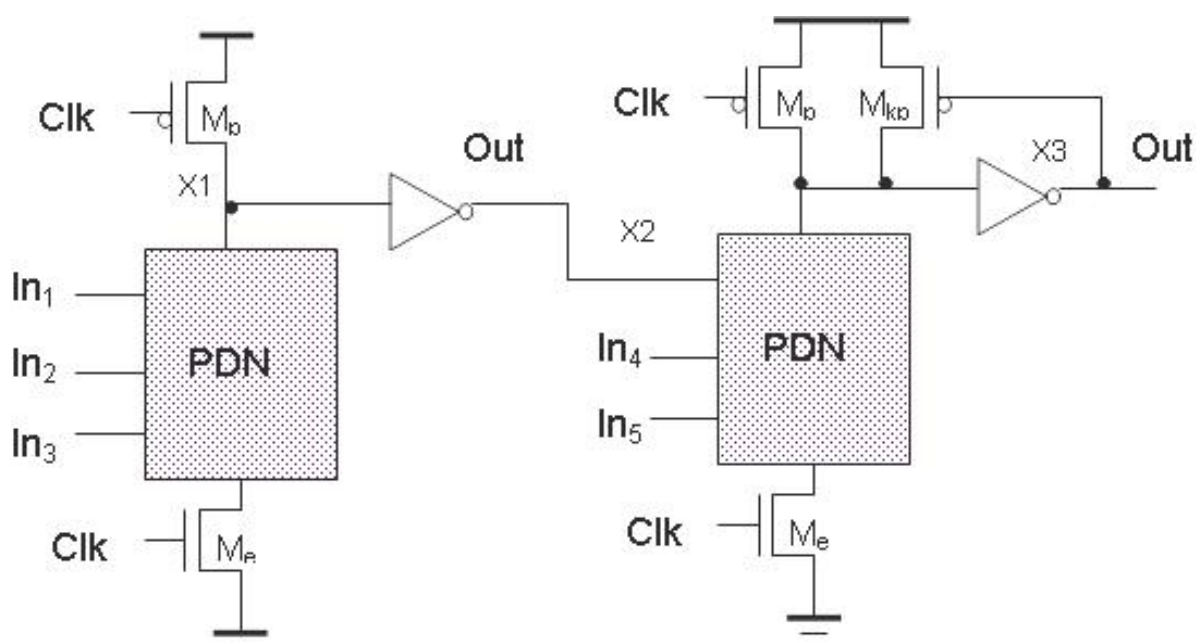
(1) 试利用互补 CMOS 结构实现该逻辑的晶体管级电路（尽量使用较少的晶体管实现较高的性能）；

(2) 并确定使其  $T_{phl}$  和  $T_{plh}$  近似相等所需的晶体管尺寸（以最小尺寸反相器为标准，反相器中  $(W_p/L_p)/(W_n/L_n)=2/1$ ）。





四、下图中所示为两级多米诺逻辑链，试解释以下问题：



1.  $M_p$  管起何作用？若使  $M_p$  的栅极恒接 GND，会对电路产生何种影响？

$M_p$  管在时钟信号 Clk 为低电平时对输出进行预充电；若使  $M_p$  的栅极恒接地 GND，输出一直为高电平，无法实现输出对输入的响应。

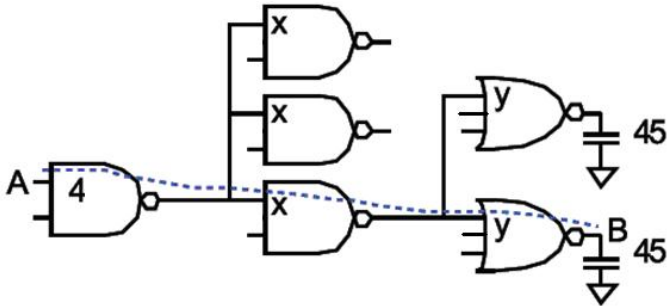
2.  $M_e$  管起何种作用？若取消  $M_e$  管（源、漏极短接），会对电路产生何种影响？

Me 管在时钟信号 Clk 为高电平时对电路进行求值，实现输出对输入的响应。；若取消 Me 管，即使时钟信号 Clk 为低电平时，输入均为高电平，也会进行求值，造成输出竞争。

3. X1 和 X2 之间的反相器起何种作用？若 X1 与 X2 直接相连，会对电路产生何种影响？  
 缓冲作用 信号会逐渐减弱 提高抗噪声能力 减小输出节点电容  
 提高抗噪声能力，由于缓冲器隔离了内部和负载电容，因而减少了动态输出节点的电容。

4. Mkp 起何种作用？如果去掉 Mkp，会对电路产生何种影响？为什么？  
 电荷补偿

五、采用逻辑功效（Logic Effort）确定门 x 和 y 的最佳晶体管尺寸



$$f1=3*x/4; \quad g1=4/3;$$

$$f2=2*y/x; \quad g2=4/3;$$

$$f3=45/y; \quad g3=7/3;$$

$$H=\prod_{i=1}^3 f_i * g_i, \quad h=\sqrt[3]{H};$$

$$f1*g1=f2*g2=f3*g3=h;$$

逻辑功效就是指  $g_i$ ，求出  $x, y$ ，参数  $x, y$  是逻辑门的电容，与晶体管尺寸成正比，再计算两输入与非门、三输入或非门的晶体管尺寸。

逻辑功效和寄生延迟表

门类型	逻辑功效				寄生延迟			
	输入端个数				输入端个数			
	1	2	3	4	1	2	3	4
反相器	1				1			
与非门		4/3	5/3	6/3		2	3	4
或非门		5/3	7/3	9/3		2	3	4