

东南大学考试卷 (A 卷)

课程名称 CMOS 模拟集成电路设计 考试学期 12-13-1 得分 _____
适用专业 集成电路工程 考试形式 闭卷 考试时间长度 120 分钟

一、填充题目 (每格 1 分, 总 12 分)

1、MOS 管在数字电路中用作开关, 具备导通和截止两个状态; MOS 管在模拟电路中除用作电容外, 还可用作 电阻、恒流源 和 恒压源。

2、对无源 RC 低通滤波器采用交流小信号分析, 电容 C 上的输出电压相位比输入电压相位 滞后, 产生 45° 相位移所对应的信号频率大小为 $1/(2\pi RC)$ Hz, 此频率实际上为该低通滤波器的 -3dB 带宽。

3、对于 CD 共漏电路, 在交流小信号条件下该电路具有 小信号跟随 功能, 在直流共模大信号应用下该电路表现为 直流电平移位 特性。

4、电路瞬态收敛速度与电路中的零、极点性质及其大小有关, 对于开环放大器构成的负反馈闭环系统, 若相位裕度 PM >0 , 闭环系统仍然是收敛的; 若开环放大器存在较小的 RHP 零点, 则闭环系统有可能发散或不收敛, 其原因是 产生 RHP 极点使 $PM < 0$ 。

5、N-bit ADC, 其量化噪声决定的信噪比为 $(6.02N+1.76)\text{dB}$, 但得到的 N-bit ADC 实际信噪比总是偏小, 其原因是 电路中存在噪声、失调等其它类型误差的影响。

二、判断题 (每小题判断 1 分, 对的打勾, 错的打叉, 总 12 分)

题中相关变量如不加特殊说明, 取常规约定的含义, 如 g_m 和 g_d 分别该器件跨导和输出导纳、 V_{TH} 为阈值电压、 V_{BE} 为 PN 结导通电压、 V_{DD} 为电源电压等

1、N 型和 P 型 MOS 管源到漏的方向, 均与该 MOS 管载流子的运动方向相同;

2、MOS 管只要为弱反型偏置, 则沟道电流以扩散电流为主, 而与 V_{DS} 电压无关;

3、当 MOS 管导通时, 只要工作在强反型条件下, 一定有 $g_m \gg g_d$;

4、 $\Delta V/R$ 型自偏置电路中, 产生的偏置电流一般与 V_{DD} 近似无关, 但与温度有关;

5、电压模带隙基准电路的输出支路中，选择 V_{BE} 电压的主要原因是该 PN 结导通电压稳定，即不受温度与工艺变化的影响；

6、两段式(Sub-range)与两步式(2-step)两种类型的 8-bit Flash ADC，虽然依据的原理不同、电路结构有差异，但效果类似，都可以使 Flash ADC 中所需的比较器数目减半。

7、差分放大器的输入采用差分对结构，主要解决共模信号问题，包括共模信号输入范围的扩展，以及通过降低共模增益或对称结构提高电路的共模抑制比；

8、差分运放一般为闭环负反馈应用，差分比较器一般为开环应用，差分比较器存在反馈结构也是允许的，其目的在于实现迟滞特性，只要能够实现迟滞，正反馈也允许；

9、在采用 Miller 电容补偿的两级放大电路中，电路中各结点位置的所有零、极点频率都是由该结点位置处的 RC 串联谐振、RC 并联谐振引起的。

10、CMOS 倒相器的电路结构，在不同的模式或工作条件下，可以看成是 Push-Pull 推挽放大器，也可以看作简单的比较器。

11、只要形成闭环正反馈，就一定可以形成稳定的振荡。

12、MOS 器件只要有合适的静态工作点，且满足小信号近似，就一定可以简化为线性等效模型，并且此线性模型中的参数均与静态工作点的位置无关。

判断选择结果：

1、√； 2、×； 3、×； 4、√； 5、×； 6、×；
7、√； 8、√； 9、×； 10、√； 11、×； 12、×。

三、简述题(每题 6 分，总 18 分)

1、写出 MOS 管交流小信号下的输出电流表达式，根据此表达式，画出 MOS 管的交流等效电路，并根据跨导 g_m 的定义，写出在强反型饱和区与弱反型饱和区下的跨导表达式。

$$i_o = g_m v_{gs} + g_d v_{ds} \quad 2 \text{ 分}$$

等效电路图 略 2 分

$$\text{SI: } g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=C} = k \Delta = \frac{2I}{\Delta} = \sqrt{2kI} \quad 1 \text{ 分}$$

$$\text{W.I. } g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=C} = \frac{I_{DS}}{V_T} \quad 1 \text{ 分}$$

2、简要说明 $\Delta V/R$ 型两路自偏置结构产生的偏置电流与直流电源电压 V_{DD} 近似无关的原因，当电源电压存在小信号扰动时，为何电流的变化很小？

R 引入非线性电流镜，非线性程度由 R 决定，在饱和状态不变的条件下与电源无关，除 0 点外，与线性电流镜产生唯一的交点，交点位置与电源 V_{DD} 无关，如 $\Delta V_{BE} = V_T \ln N$ 。

3 分

自偏置结构中每条支路均包含一个 MOS Diode 低阻恒压源和一个高阻 MOS 恒流源，当电源电压扰动时，扰动电压绝大部分降落在高阻恒流源上，低阻 MOS 管 V_{GS} 变化极小，引起的电流变化很小。

3 分

3、高增益运放为何通常构成闭环负反馈应用，闭环应用相对开环带来哪些改变？为避免闭环应用出现问题性，通常采用频率补偿保证一定的相位裕度，问通常要求的相位裕度是多少，并说明其中的原因。

四点改变：闭环增益下降使增益更稳定可控、线性范围扩展、带宽扩展，输入和输出阻抗变换适应信号源驱动和负载启动。

4 分

闭环会带来稳定性方面的问题，考虑工艺漂移、抑制过冲造成的延迟，因此 $PM \gg 0$ ；另一方面，PM 过大，系统过于稳定，响应速度仍然很慢。选取 $PM=60^\circ$ 的最佳点，在系统稳定和快速响应之间达到最好的平衡。

2 分

四、作图分析题(每题 6 分，总计 12 分)

1、分别画出 NMOS CS 放大器采用线性电阻负载、PMOS Diode 负载、PMOS 恒流源负载的负载特性曲线示意图，并说明高增益 CS 放大器采用恒流负载的主要原因。

负载线图略，可在一张图中，或分三个图描述，反映三种负载特点即可： 4 分

PMOS 恒流负载交流高阻可满足增益要求，直流低阻可满足静态点设置要求，

恒流负载作为非线性元件，交流、直流参数分离，可满足电路交直流要求。 2 分

2、试画出 N 型五管差分对(差分输入、负载电流镜双转单输出)电路结构, 其中开启电压值 $V_{TN} < V_{TP}$, 若电路中所有 MOS 均工作在饱和恒流源区, 且电路中所有 MOS 管的过驱动电压均为相同的 Δ ($\Delta > 0$), 且尾电流 MOS 管输出阻抗为 r_1 , 其余 MOS 管输出阻抗相同为 r_2 , 试写出该电路输入信号允许的共模范围以及共模抑制比的关系式。

差分对图略。 2 分

共模范围下限: $V_{in,CM} \geq V_{GSN} + \Delta = V_{TN} + 2\Delta$ 1 分

共模范围上限: $V_D = V_{DD} - V_{GSP} = V_{DD} - V_{TP} - \Delta$, $V_{in,CM} - V_{TN} \leq V_D$

$V_{in,CM} < V_D + V_{TN} = V_{DD} + V_{TN} - V_{TP} - \Delta$ 1 分

共模范围: $V_{TN} + 2\Delta \leq V_{in,CM} \leq V_{DD} - (V_{TP} - V_{TN} + \Delta)$

共模抑制比: $CMRR = \left| \frac{A_{vd}}{A_{v,CM}} \right| \approx \frac{g_{m1}}{(2g_2)} \frac{g_2}{g_{m1}/(1+2g_{m1}r_1)} = \frac{1+2g_{m1}r_1}{2} \approx g_{m1}r_1$ 2 分

五、推导证明分析题 (总计 30 分)

1、CMOS 倒相器可用于比较器, 其转折电平 V_{in}^* 由两 MOS 管 W/L 关系决定, 设 NMOS、PMOS 管的开启电压值分别为 V_{TN} 、 V_{TP} , 电源电压为 V_{DD} , 试证明:

$$V_{in,min}^* > V_{TN}; \quad V_{in,max}^* < V_{DD} - V_{TP} \quad (8 \text{ 分})$$

证明: 输入临界转折点条件

$$\frac{1}{2}k_n(V_{in}^* - V_{TN})^2 \approx \frac{1}{2}k_p(V_{DD} - V_{in}^* - V_{TP})^2 \quad 2 \text{ 分}$$

解得:

$$V_{in}^* \approx \frac{V_{DD} - V_{TP} + V_{TN} \sqrt{k_n/k_p}}{1 + \sqrt{k_n/k_p}} \approx \frac{V_{TN} + (V_{DD} - V_{TP}) \sqrt{k_p/k_n}}{1 + \sqrt{k_p/k_n}} \quad 2 \text{ 分}$$

当 $k_n/k_p \rightarrow \infty$, $V_{in}^* \approx \frac{V_{DD} - V_{TP} + V_{TN} \infty}{1 + \infty} \approx V_{TN}$, $V_{in}^* > V_{TN}$ 2 分

当 $k_n/k_p \rightarrow 0$, $V_{in}^* \approx \frac{V_{DD} - V_{TP} + V_{TN} \times 0}{1 + 0} \approx V_{DD} - V_{TP}$, $V_{in}^* < V_{DD} - V_{TP}$ 2 分

2、差分对结构参数的失配或非对称性，导致产生输出失调电压，输出失调等效到运放的输入端，定义为差分对的输入失调电压。试证明在强反型条件下差分对工艺随机失调电压的关系式(恒定尾电流偏置)，并说明减小失调的最主要的措施。(10 分)

$$V_{OS} = \Delta V_{TH1,2} + \frac{g_{m3}}{g_{m1}} \Delta V_{TH3,4} + \frac{(V_{GS} - V_{TH})_{1,2}}{2} \left\{ \left[\frac{\Delta(W/L)}{(W/L)} \right]_{1,2} + \left[\frac{\Delta(W/L)}{(W/L)} \right]_{3,4} \right\}$$

式中下标 1,2 指差分对管，3,4 指负载管， ΔV_{TH} 为差分对管或负载对管开启电压的绝对偏差， $\Delta(W/L)/(W/L)$ 为差分对管或负载管 W/L 的相对偏差， $(V_{GS} - V_{TH})_{1,2}$ 为差分对管的过驱动电压， g_{m1} 、 g_{m3} 分别为差分对管和负载管的跨导。

证明： $V_{OS} = V_{out,os}/A_V$

差分输入失配引起的输入失调电压：

$$V_{OS,DP} = \frac{(g_{m1} \Delta V_{GS}) r_o}{A_{Vd}} = \frac{g_{m1} \Delta V_{TH1,2} r_o}{g_{m1} r_o} = \Delta V_{TH1,2} \quad 2 \text{ 分}$$

负载电流镜失配引起的输入失调电压：

$$V_{OS,Mirror} = \frac{(g_{m3} \Delta V_{GS}) r_o}{A_{Vd}} = \frac{g_{m3} \Delta V_{TH3,4} r_o}{g_{m1} r_o} = \frac{g_{m3}}{g_{m1}} \Delta V_{TH3,4} \quad 2 \text{ 分}$$

W/L 变化对电流的影响

$$\frac{\partial I_{DS}}{\partial (W/L)} = \frac{1}{2} k' \Delta^2 (1 + \lambda V_{DS}) = \frac{I_{DS}}{(W/L)}, \quad \Delta I_{DS} = \frac{\Delta(W/L)}{(W/L)} I_{DS} \quad 2 \text{ 分}$$

$$V_{OS,W/L} = \frac{(\Delta I_{DS,DP} + \Delta I_{DS,mirror}) r_o}{g_{m1} r_o} = \frac{I_{DS}}{g_{m1}} \left[\frac{\Delta(W/L)_{1,2}}{(W/L)_{1,2}} + \frac{\Delta(W/L)_{3,4}}{(W/L)_{3,4}} \right]$$

其中 $\frac{I_{DS}}{g_{m1}} = \frac{I_{DS}}{2I_{DS}/\Delta} = \frac{\Delta}{2}$, **亚阈偏置下** $\frac{I_{DS}}{g_{m1}} = \frac{I_{DS}}{I_{DS}/V_T} = V_T$ 2 分

综合以上关系，得证。

由于失调的随机性，每项失调需要降到最低。主要措施有降低差分对管和负载电流镜 V_{TH} 和 W/L 的失配，增大尺寸并采用对称设计；同时增大差分对管 W/L 降低过驱动电压。 2 分

3、已知某差分放大器开环传递函数 $A(s) = \frac{A_0}{(1 + s/p_1)(1 + s/p_2)}$ ，其中 A_{V0} 为开环

运放的低频增益， p_1 为 LHP 主极点频率、 p_2 为 LHP 次极点频率，经 Miller 电容补偿后

开环运放构成的单位负反馈闭环系统稳定。闭环负反馈系数 $F \leq 1$ 。 (12 分)

1)、证明闭环阻尼因子 $\zeta_{CL} \approx \frac{1}{2} \sqrt{\frac{p_2}{(1+F \times A_{v0})p_1}}$ ，以此说明开、闭环阻尼因子大小

的相对关系； 4 分

2)、在相位裕度 $PM=60^\circ$ 的条件下，试证明闭环极点为一对共轭复极点；若闭环极点仍为两个分离的实数极点，则开环次极点 p_2 应满足什么条件？ 4 分

3)、证明开环放大器采用单极点近似的 0dB 带宽总是比实际的 0dB 带宽大。 4 分

证明：

$$1、 A_{vf}(s) = \frac{1}{F + 1/A_v(s)} = \frac{1}{F + \frac{(1+s/p_1)(1+s/p_2)}{A_0}} = \frac{A_0}{FA_0 + 1 + (\frac{1}{p_1} + \frac{1}{p_2})s + \frac{1}{p_1 p_2} s^2}$$

$$A_{vf}(s) = \frac{A_0}{1 + FA_0} \frac{1}{1 + \frac{1}{1 + FA_0} (\frac{1}{p_1} + \frac{1}{p_2})s + \frac{1}{1 + FA_0} \frac{1}{p_1 p_2} s^2} \quad 1 \text{ 分}$$

根据特征频率和阻尼系数的定义，

$$\omega_0 = \sqrt{(1 + FA_0)p_1 p_2}, \quad 1 \text{ 分}$$

$$\zeta_{CL} \approx \frac{1}{2} \omega_0 \frac{1}{1 + FA_0} \frac{1}{p_1} = \frac{1}{2} \frac{\sqrt{(1 + FA_0)p_1 p_2}}{(1 + FA_0)p_1} = \frac{1}{2} \sqrt{\frac{p_2}{(1 + FA_0)p_1}} \quad 1 \text{ 分}$$

$F=0$ 对应开环 ζ_{OL} ，由于 $1 + FA_0 \gg 1$ ，通常有 $\zeta_{OL} \gg \zeta_{CL}$ 1 分

2、闭环为共轭复极点的条件为特征多项式的判别式小于 0，即

$$(\frac{2\zeta_{CL}}{\omega_0})^2 - \frac{4}{\omega_0^2} < 0, \quad \text{或} \quad \zeta_{CL} < 1 \quad 1 \text{ 分}$$

在 $PM=60^\circ$ 的条件下， $p_2 \approx 2GBW = 2FA_0 p_1$ 1 分

带入此条件得到： $\zeta_{CL} \approx \frac{1}{2} \sqrt{\frac{2FA_0 p_1}{(1 + FA_0)p_1}} \approx \frac{\sqrt{2}}{2} < 1$ 为共轭复极点 1 分

由 $\zeta_{CL} > 1$ 得到 $p_2 > 4(1 + FA_0)p_1$ 1 分

3、单极点近似

$$|A(s)| = \left| \frac{A_0}{(0 + s/p_1)(1 + 0)} \right| = \left| \frac{A_0 p_1}{s} \right| = 1, \quad \text{GBW}_0 = A_0 p_1 \quad 2 \text{ 分}$$

考虑次极点影响:

$$|A(s)| = \left| \frac{A_0}{(0 + s/p_1)(1 + s/p_2)} \right| = \frac{A_0 p_1}{\omega \sqrt{1 + (\omega/p_2)^2}} = 1$$

$$\text{由于 } \sqrt{1 + (\omega/p_2)^2} > 1, \text{ 则 } \text{GBW} = \omega = \frac{A_0 p_1}{\sqrt{1 + (\omega/p_2)^2}} < A_0 p_1 \quad 2 \text{ 分}$$

六、分析计算题(总计 16 分)

采用运放控制的电压模带隙电压基准电路设计，电路采用 CMOS 工艺实现，电源电压典型值为 3.3V; (16 分)

- 1、 给出完整的带隙基准电路结构设计，图中标出关键参数的相对比例关系，同时正确标注差分运放的输入极性，分析运放电路在基准电路中的作用; 5 分
- 2、 对于电路中采用的差分运放，差分输入级采用 N 差分对还是 P 差分对，给出完整的差分运放内部电路结构，并说明选择这种结构的原因; 5 分
- 3、 如果运放存在失调，试分析运放失调对基准温度特性的影响，在所设计的基准电路中，如何抑制运放失调对基准温度特性的影响? 6 分

1、图略：完整电路包含几个部分：

偏置或基准启动电路、偏置电路：1 分；基准内核(主体)电路：1 分；

运放控制的环路极性标注正确性：1 分；

利用运放输入虚短控制，输出提供线性电流镜偏置：2 分

2、运放输入箝位在 0.65V 附近，考虑共模范围通常采用 PMOS 差分对

(除非输入增加一级电平移位，再采用 NMOS 差分对)

考虑增益和输出共模范围的需要，采用两级运放结构，输出级为 NMOS CS，内部采用 Miller 电容补偿，尽量压缩主极点，将所有次极点推到环路 0dB 带宽外。或者采用单级 OTA 差分放大器（输出摆幅）、或 Fold cascade 单级运放，少一个极点，运放可无需补偿。

图略：3分 原因分析：2分，只要合理均可得分

3、 $V_{ref} = V_{BE} + M \frac{\Delta V_{BE} + V_{OS}}{R_0} R_1 = V_{BE} + M \frac{R_1}{R_0} (V_T \ln N + V_{OS}) = V_{ref,0} + M \frac{R_2}{R_1} V_{OS}$ 2分

由于 V_{OS} 失调电压温度特性的不确定性， V_{OS} 给基准带来温度系数的严重退化。1分
降低失调影响，一是直接降低 OP 的输入失调电压 V_{OS} ，其次是降低失调电压总的传输系数 $M R_2 / R_1$ 。1分

由于线性补偿系数 $M(R_2/R_1)\ln N$ 为常数，因此最总归结于提高 $\ln N$ 值。

$$\ln N = \ln(N_1 N_2) = \ln\left(\frac{S_{e1}}{S_{e2}} \frac{I_2}{I_1}\right)$$

N_1 为 $Se1/Se2$ 两管发射区面积之比， N_2 为两核心支路电流之比，

通常 $N_2=1$ ，需要很大的 N_1 ，面积开销大，采用 $N_2>1$ ，牺牲功耗换取面积降低。

小面积 PN 结流过更大的电流，产生更大的 ΔV_{BE} ， V_{OS} 的作用相对减弱。2分