

一、EDA 设计的主要流程包括哪些步骤？（10'）

需求分析---功能划分---设计输入---功能仿真---逻辑综合和优化---布局布线---时序分析---流片---芯片测试

二、可以在哪几个抽象层次描述一个数字集成电路系统？这几个抽象层次的特点是什么？（10'）

设计规范：描述芯片的功能和输入输出管脚；架构：描述主要的占用的资源以及连接关系；功能：主要由逻辑块（优先状态机）和信号连接关系组成；逻辑：门，触发器，锁存器以及他们之间的连接关系；电路：晶体管，寄生元件等以及他们之间的连接关系；版图：掩膜层

三、逻辑综合的输入文件和输出文件分别是什么？逻辑综合的英文全称是什么？试验中所用的综合工具是什么？（10'）

输入文件是.v 文件，输出是.sdf .sdc 综合是将 RTL 源代码转换成门级网表的过程 Logic Synthesis 常用的综合工具有 Synopsys 公司的 Design Compiler 和 Candance 公司的 Enconter RTL Compiler

四、逻辑综合的基本流程是什么？（10'）

1.准备 RTL 代码：RTL 代码经过前端仿真后才能用于综合。2.定义库：设定好所需要用到的综合库等多种库。3.读入设计：综合工具读入 RTL 代码并进行分析。4.定义设计环境：设定设计的工作环境、端口的驱动和负载，线负载模型等。5.设置设计约束：这是综合的一个极其重要的环节，设定好正确的约束才能得到正确的综合结果。约束要适当，不能过紧或过松。主要是定义时钟和 I/O 的约束。6.设置综合策略：有 top-down 和 bottom-up 两种策略，各有所长，对于不同的设计要具体分析。7.优化设计：综合工具可以根据约束对电路进行优化，也可以人为地加入命令，改变优化方法。8.分析和解决设计的问题：在设计综合（compile）后，根据报告来分析设计中出现的问题，进而修订所出现的问题。9.保存设计数据：综合完成后，保存各种数据，以供后续的布局布线使用（需先通过验证）。

五、简要说明时钟的非理想性 Skew 和 Jitter 的联系和区别。（10'）

时钟偏差 Skew:时钟沿到达不同空间的时间差别;各个周期的偏差相同；不造成时钟周期的变化，只有相位的偏移；衡量时钟分布好坏的指标；

时钟抖动 Jitter:给定空间上时钟周期的变化;可正可负，平均值为 0 的随机量；需要严格限定抖动的范围；衡量时钟本身好坏的指标；

六、DRC, LVS 指什么（英文全称，中文翻译及用途）？（10'）

设计规则检查（Design Rule Checking, DRC）DRC 的主要目的是检查版图中的所有因违反设计规则而引起潜在断路、短路或不良效应的物理验证过程；电路规则检查（layout versus schematic,LVS）

LVS 主要目的是验证版图与原理图的电路结构是否一致。

七、建立时间和保持时间是指什么？英文全称是什么？（10'）

建立时间（tsu）是在时钟翻转（对于正沿触发寄存器为 0->1 的翻转）之前数据输入（D）必须有效的时间。维持时间（thold）是在时钟边沿之后数据输入必须仍然有效的时间。假设建立和维持时间都满足要求，那么输入端 D 处的数据则在最坏情况下的传播延时 tc-q（相对于时钟边沿）之后被复制到输出端 Q。

八、物理设计是什么？它包括哪些步骤？它的输入文件和输出文件是什么？实验中所用的布局布线工具是什么？（10'）

物理设计是把电路信息转换成 foundry 厂可用于掩膜的版图信息的过程，它包括数据准备、布局、时钟树综合、布线及 DRC、LVS 等步骤

常用的布局布线工具有 Synopsys 公司的 IC Compiler、Astro 和 Candance 公司的 SOC-Enconter。

## 第一章

1、摩尔定律：单个芯片上的晶体管数目没 18~24 个月会增加一倍

实际上,单个芯片上的晶体管数目每两年增加一倍;工作频率每两年提高一倍, 现在已放慢了速度; 功耗曾经每两年提高不止一倍, 现在已不再增加,因为功率密度的增加会导致散热成本大大增加

2、摩尔定律所带来的挑战：物理限制: 65nm 工艺下, SiO<sub>2</sub> 的厚度大概是 5 个原子直径大小; 设计越来越复杂, 不能用传统的手工方法来设计; 功耗变大, 散热成为不得不考虑的问题; 电路复杂以后, 产生噪声和互相干扰; 器件多了以后, 互连线也随之增加, 连线占用了大量的硅片面积; 互连线变长, 连线上的延时增加, 成为限制电路性能的主要因素之一; 芯片的规模每两年增加一倍, 但设计工程师的数量并没有每两年增加一倍

## 第二章：

1、如何评价集成电路设计的好坏？

(1) 成本 非重复性费用 (NRE): 设计时间、人力成本、掩膜费用等; 一次性投入的费用, 如设备、软件等; 重复性费用: 硅片成本、封装成本、测试成本; 和产量成正比; 和芯片面积成正比

(2) 可靠性: 高噪声容限; 高增益; 低输出阻抗; 高输入阻抗 希望能够接近理想的反相器的电压传输特性曲线 VTC (3) 性能: 传播延时  $t_p$  和 RC 成正比, 一级 RC 网络达到 50% 点的时间为  $0.69RC$ , 从 10% 达到 90% 点的时间为  $2.2RC$  (4) 功耗: 和电容和电源电压成正比, 动态功耗和开关的频率成正比

## 第三章:

1、静态 CMOS 反相器 的重要特性

(1) 噪声容限大 : 输出高电平和低电平分别为 VDD 和 GND。换言之, 电压摆幅等于电源电压。因此噪声容限很大;(2) 无比逻辑, 逻辑电平和器件尺寸无关 , 所以晶体管可以采用最小尺寸。具有这一特点的门称为无比逻辑。(3) 低输出阻抗 : 稳态时在输出和 VDD 或 GND 之间总存在一条具有有限电阻的通路。因此一个设计良好的 CMOS 反相器具有低输出阻抗, 这使它对噪声和干扰不敏感;(4) 输入电阻极高 : CMOS 反相器的输入电阻极高, 因为一个 MOS 管的栅实际上是一个完全的绝缘体, 因此不取任何 dc (直流) 输入电流;(5) 在稳态工作情况下电源线和地线之间没有直接的通路, 不消耗任何静态功率, 几乎没有漏电流。

2、如何提高静态 CMOS 反相器的性能

(1) 降低电容: 包括寄生电容和负载电容; (2) 降低等效导通电阻: 增加晶体管尺寸; 需小心自载效应 (3) 一定范围内增加 VDD

3、反相器的功耗分布

(1) 动态功耗: 电容充放电; 电源和地存在直流通路 (2) 静态功耗 : 二极管和晶体管的漏电流对 CMOS 电路功耗起支配作用的是由充电和放电电容引起的动态功耗

4、降低静态 CMOS 反相器功耗的方法

(1) 降低电压 • 最为有效的方法; (2) 减少电路翻转: 优化设计架构和电路结构

(3) 减少物理电容: 寄生电容和负载电容

## 第四章:

1、组合逻辑电路: 当前的输出只与当前的输入有关, 与电路原来的状态无关。

2、静态互补 CMOS 组合逻辑电路用 NMOS 做 PDN (上拉网络), PMOS 做 PUN 上拉网络

NMOS 管产生“强零”而 PMOS 器件产生“强 1”。输出电容最初被充电至 VDD。在放电时, 一个 NMOS 器件将输出一直下拉至 GND, 而一个 PMOS 只能把输出拉低到  $V_{Tp}$  为止, 此时 PMOS 关断并停止提供放电电流。因此 NMOS 管适于用在 PDN 中。

3、如何构建静态 CMOS 组合逻辑电路

(1) 反向输出  $out = xx \& xxx \mid xxxx$ ; (2) 下拉网络(NMOS)和上拉网络(PMOS) (3) 以输出为分界线呈对称互补关系 : 晶体管数目相同, 逻辑关系相反;

对于 NMOS 网络：划分子模块，以“与/或”为基本运算；与：晶体管串联，或：晶体管并联；  
4、静态互补 CMOS 组合逻辑的特性：全摆幅，高噪声容限，输出高电平-> V<sub>dd</sub>, 输出低电平->GND；  
无比电路：输出和晶体管尺寸比例无关；低输出阻抗：输出和电源地总有通路；高输入阻抗：输入有 SiO<sub>2</sub> 隔离，输入电流几乎为 0，直流扇出系数非常大；静态功耗极小；稳定状态下无电源地直流通路

5、影响静态 CMOS 组合逻辑电路性能的几个因素

(1)延时和输入方式有关：当输入 A=B=1-> 0 变化时，延时最小；当输入 A= 1-> 0, B=1 变化时，延时最大  
(2)延时随着扇入个数的增多而快速上升：避免扇入大于或等于 4 的情况  
(3)延时随着扇出数的增多而线性增加：扇出应小于等于 4

6、降低大扇入电路的延时的方法

逐级加大晶体管的尺寸

调整晶体管顺序，关键路径上的晶体管靠近输出

优化逻辑结构，减少扇入的个数

7、影响静态 CMOS 组合逻辑电路功耗的因素

电压摆幅；物理电容；翻转概率

如何降低翻转概率：逻辑重组，选择具有较低的开关活动性的逻辑电路结构；输入排序，推迟输入具有较高翻转率的信号，均衡信号路径减少毛刺

8、静态门的特点是对噪声具有稳定性，具有良好的性能以及低功耗。是最适合于一般要求的逻辑设计类型。但是对于具有大扇入的复合门，互补 CMOS 就其面积和性能而言代价太大。

伪 NMOS 结构简单，速度很快，但以减少噪声容限和增加静态功耗为代价。

传输管逻辑十分适合于实现许多特殊的电路，如多路开关和加法器这样的以 XOR 为主的逻辑。

动态逻辑可以实现较快和面积较小的复杂逻辑门。缺点是设计和工作比较复杂，并且由于对噪声敏感程度的增加而容易失败；需要进行周期性的刷新，于是限制了电路的最低工作频率。

当前的趋势是互补静态 CMOS 的运用增多。这一倾向是由于在逻辑设计层次上越来越多地运用了设计自动化工具。这些工具的重点是放在逻辑层次而不是电路层次的优化上，并且非常重视提高稳定性。另一个原因静态 CMOS 比其它方法更适合于按比例降低电压。

## 第五章

1 时序逻辑电路：输出不仅取决于当前的输入值，也取决于原先的输入值。

时序逻辑电路的存储类型：静态：基于正反馈；动态：基于电容，降低复杂性、高性能、低功耗，抗干扰能力差，有最小刷新频率要求

锁存器：电平触发；正锁存器和负锁存器

寄存器：边沿触发；基于主从结构的上升沿触发器：由负锁存器和正锁存器构成

2 寄存器的时序参数：建立时间  $t_{su}$ ：在时钟翻转之前输入数据必须有效的的时间；保持时间  $t_{hold}$ ：在时钟边沿之后输入数据必须仍然有效的的时间；传播延时  $t_{c-q}$ ：输入端 D 的数据复制到输出端 Q 的延时；

3 其他电路结构单稳结构：只有一个稳定状态，可作脉冲发出器；非稳逻辑：无稳定状态，来回翻转，可做振荡器；施密特触发器：快速翻转，可抑制噪声

## 第六章：

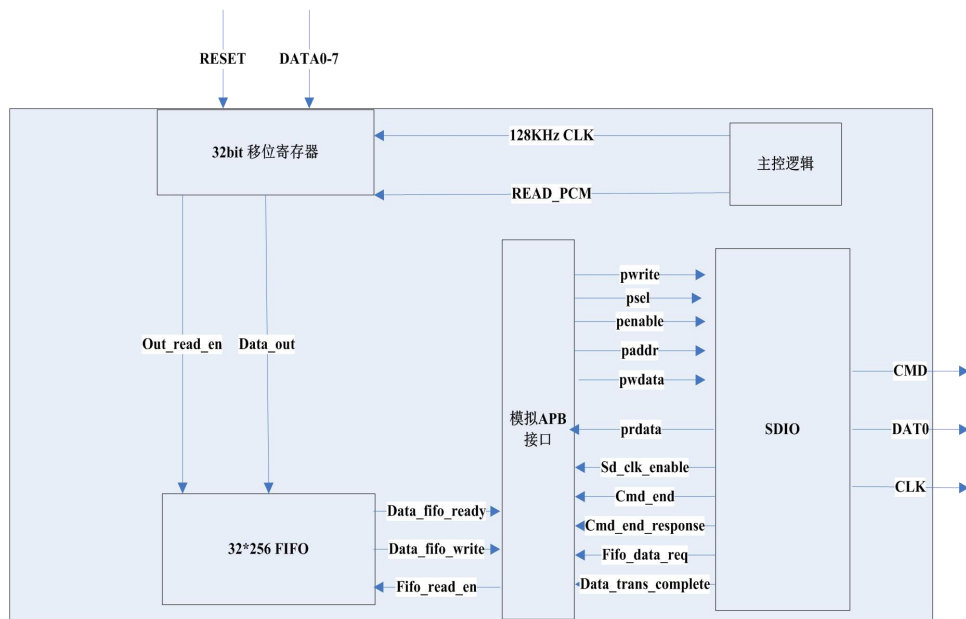
1.最常用的时钟分布技术：H 树形时钟分布

2.:同步电路：围绕一个时钟设计（全局时钟信号）；需要考虑最坏情况（木桶效应）；时钟的翻转带来极大的功耗；要考虑时钟偏差和抖动

异步电路：设计和时钟无关；各个电路可分别工作在不同的速度；根据需要翻转，降低时钟上的功耗；无木桶效应

## 第 8 章录音芯片设计

1. 芯片的设计内容及具体实现方法：



(1) 主控逻辑：SD 卡初始化；读取卡容量等；(2) 移位寄存器逻辑：是一种具有移位功能的寄存器，是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的移位寄存器称为双向移位寄存器，只需要改变左、右移的控制信号便可实现双向移位。根据存取信息的方式不同移位寄存器可分为：串入串出、串入并出、并入串出、并入并出四种形式；(3) FIFO：该 FIFO 的大小设置要大于  $128 \times 512 = 640$  单位字节。为了仿真方便，选取两片 512bytes 的 SRAM 模型；(4) 模拟 APB 接口：模拟 APB 接口 FSM: State Transform 本设计中 SDIO 有 Idle、Ready2Trans、StandBy 以及 DataTrans 四种状态:Idle 状态为 SDIO 最初始状态;Ready2Trans 表示初始化 MicroSD 卡完毕，SDIO 等待数据传输；StandBy 表示 CMD25 命令发送完毕，SDIO 等待 FIFO 中 DataReady 脉冲进行数据传输；DataTrans 状态表示 SDIO 将传输过来的数据进行存储至 MicroSD 操作；(5) SDIO：特性：该模块的外部信号主要用来和模拟 APB 接口通信，在此基础上，外部添加 CMD、CLK、DAT0（1 位数据传输模式）三根信号线，用来实现和 SD 卡的连接。

2.芯片前端模块验证方法：（1）子模块单独功能验证。子模块划分：32 位移位寄存 32×256 ；FIFO；模拟 APB 接口；SDIO；（2）模块连接起来整体功能验证