1. **半导体器件物理基础**
2. **半导体器件的基本构成（4种）**
3. 金半接触：金属+半导体（界面）；
4. PN结：N型半导体+P型半导体;
5. 异质结：半导体A+半导体B；
6. 金属氧化物半导体：金属+氧化物+半导体。
7. **半导体材料发展**

第一代半导体：元素半导体（Si、Ge）；

第二代半导体：化合物半导体（GaAs、InP等）；

第三代半导体：宽禁带半导体（GaN、SiC、ZnO、金刚石等）；

新型半导体：稀磁半导体、低纬半导体等。

1. **半导体材料分类**

元素半导体：Si、Ge；

化合物半导体材料：GaAs、GaN、SiC等；

非晶半导体：非晶硅等；

有机半导体：C8BTBT等。

1. **晶体**
2. 常见的晶体结构主要包括五种：简单立方，体心立方，面心立方，金刚石结构，闪锌矿结构。
3. 原胞：~~在晶格中取一个格点为顶点，由此点向相邻的三个点作三个不共面的矢量，以此三个矢量为边作平行六面体即为固体物理学的原胞。~~
4. 格点：~~格点只在平行六面体的顶角上，面上和内部均无格点，平均每个原胞包含一个格点，反映了晶格结构的周期性。~~
5. 基矢：~~代表原胞三个边的矢量称为原胞的基本平移矢量，简称基矢。~~
6. 晶胞：~~结晶学上选取的对称性比较高的、体积较大的重复单元。~~
7. 密勒指数：以晶胞的三条棱a,b,c为坐标系，决定的指数，称为密勒指数。（确定某一平面在坐标系上三个轴上的截距，然后取截距倒数，约化为三个最小的整数。）

1. **能带结构**
2. 能带：~~孤立硅原子随着原子间距的减小，原子间的相互作用力使各个简并的能级分裂，能级的分裂形成十分接近的允许态，称为能带。~~
3. 价带：~~0K条件下被电子填充的能量最高的能带，用E~~~~V~~~~表示。~~
4. 导带：0K条件下未被电子填充的能量最低的能带，用EC表示。
5. 禁带：~~导带底与价带顶之间没有电子存在的能带，用E~~~~G~~~~表示，E~~~~G~~~~=E~~~~C~~~~-E~~~~V~~~~。~~

金属：没有禁带，半满带的电子可以自由移动，导电能力强；

半导体：有禁带，且禁带宽度较小，室温下可以激发部分电子从价带进入导带，导电能

力较弱；

绝缘体：有禁带，且禁带宽度较大，没有自由电子可以导电，导电能力差。

1. 禁带宽度的大小与温度有关，一般情况下，温度升高EG变小。
2. **载流子模型**
3. 能态密度：~~单位体积内单位能量间隔中允许存在的能态。~~

 ~~~~

1. 费米分布：能量为E的有效状态被电子占据的几率。

本征费米能级在禁带中央。



1. 本征载流子浓度：





1. ~~导带有效态密度： 价带有效态密度：~~
2. 费米能级：

N型半导体：

随着施主杂质的增加，减小，费米能级从能量之上有规律地向上移动

P型半导体：

随着受主杂质的增加，减小，费米能级从能量之下有规律地向下移动

1. **载流子输运**
2. 漂移：电子在电场力作用下的运动。

迁移率：单位场强下电子的平均漂移速度，，，单位为

当掺杂浓度较低时，晶格振动散射占主导，迁移率随温度升高而降低。

当掺杂浓度较高时（低温时，杂质散射占主导，迁移率随温度升高而升高。高温时，晶格振动散射占主导，迁移率随温度升高而下降。

漂移速度：，

电流密度：

电导率（）：

电阻率（）：

1. 扩散

扩散电流：载流子从浓度高的地方向浓度低的地方移动所产生的电流。

扩散系数（）：

扩散电流：

扩散系数与迁移率的关系：爱因斯坦关系，

电流=漂移电流+扩散电流，总电流

1. 产生与复合

产生率G:~~单位时间单位体积内产生电子空穴对的数量~~。

复合率R:~~单位时间单位体积内电子与空穴复合的数量。~~

直接复合：电子在导带和价带之间的直接跃迁，引起电子和空穴的直接复合。

间接复合：电子和空穴通过禁带的能级（复合中心）进行复合。

1. 半导体内载流子运动的基本方程

电流密度方程：， , 

连续性方程：， 

泊松方程：

扩散长度：，

1. **PN结**
2. **静态特性**
3. 能带结构图：画法步骤见PPT
4. 内建电势：
5. ~~空间电荷区长度：~~**~~~~**
6. 连续性方程：静态  ****

动态  ****

****

****

****

1. **I-V特性**

七个工作区：扩散电流、双集输运、大注入、耗尽区产生复合、反向击穿、缺陷辅助产生复合、川崎遂穿。

* 1. 扩散电流。
  2. 双集输运区：电流斜率为理想状态下的1/2，电子和空穴的数量都很多。
  3. 大注入区：理想pn结电流随正向偏压指数增大，大注入区随着正向偏压的增大，体区分压增大，体区准费米能级水平的假设不成立，电流增长速度变缓。
  4. 产生复合：平衡状态下，没有产生复合电流，施加偏压后，有产生复合电流，且结区缺陷多，产生复合电流大，其复合电流斜率为q/（2kT）
  5. 川崎遂穿：遂穿发生在正向偏压较小的区域，存在“负电阻”现象。
  6. 反向击穿：施加的反向偏压超过某个特定值后出现一个非常大的电流，有雪崩击穿和齐纳击穿。

雪崩击穿与齐纳击穿：两者均发生在反向电流较大的时刻。

雪崩击穿：掺杂浓度低，碰撞电离过程产生，施加的偏压较高，正温度系数；

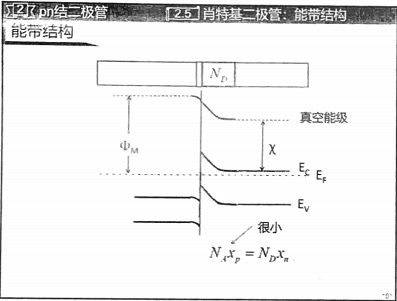
齐纳击穿：掺杂浓度高，隧穿过程产生，施加偏压较低，负温度系数。

1. **小信号响应**
   1. 势垒电容：当PN结加正向偏压时，势垒区的电场随正向偏压的增加而减弱，势垒区宽度变窄，空间电荷数量减小，这个效应引起的电容称为势垒电容。
   2. 扩散电容：由于扩散区的电荷数量随外加电压的变化所产生的电容效应称为PN结的扩散电容。
2. **瞬态特性**

关断特性：t<0时，Q、IF为定值，不随时间变化；t>0时，IR为定值，不随时间变化。

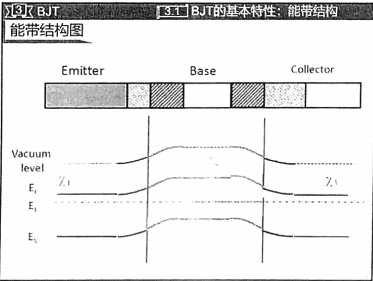
电荷存储时间与电流和少子寿命相关，可以将狭窄的低掺杂区夹在高掺杂的p和n区之间，这种特殊掺杂的剖面使贮存的少子电荷非常靠近耗尽区边界，从而在贮存延迟时间结束前可以更容易地把全部电荷移走。

1. **肖特基二极管**
   1. 能带结构

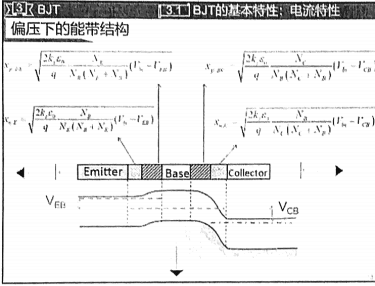


* 1. 利用金属-半导体接触特性制成的二极管称为肖特基二极管，它和PN结二极管一样具有类似的电流电压关系，也具有单向导电性。区别在于肖特基二极管为多子器件其中不存在少子输运，因此不存在扩散电容，而PN结二极管为少子器件，存在扩散电容。

1. **BJT**
2. **基本特性**
   1. 能带结构



* 1. 偏压下的能带结构



* 1. BJT的优化



减少基区掺杂浓度，但掺杂浓度过低会引起电流聚集效应、不一致开启、基区串通、基区宽度调制效应和厄利效应；

降低集电极掺杂浓度，可以增大集电极耗尽区宽度，但会引起柯尔克效应和基区展宽；

增大发射区掺杂浓度，但要避免禁带变窄；

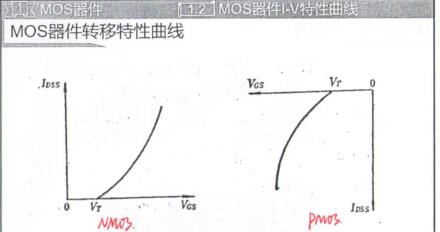
减小基区宽度，但要避免串通;

其他方案如使用异质结晶体管、肖特基晶体管、多晶硅发射极等。

1. **MOS**
2. **MOS管相对于BJT的优势**

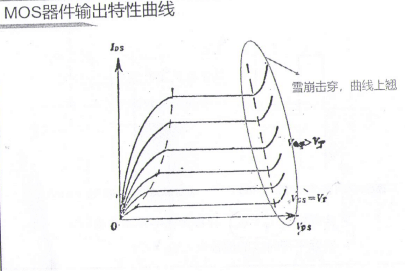
输入阻抗高、源漏可互换、可作为压控电阻、低噪声等.

1. **MOS器件转移特性曲线**



注意：开启之前并不是完全没有电流，开启之后电流也不是一直随指数增加，而是呈平方关系增加。

1. **MOS器件输出特性曲线**



线性区：设VD从零开始增加，当增加一个小的正电压时，表面沟通类似于一个简单的电阻，漏端电流和成正比。

饱和区：当继续增加至零点几伏时，会使沟道从源到漏逐渐变窄，反型层载流子数目相应减少，从而引起沟道电导的降低，由此反应到I-V特性曲线斜率的减小。当沟道出现夹断时，I-V特性曲线斜率近乎为0。

雪崩击穿：当VD继续增加，因为漏极反偏PN结处电场线密集，电场高，所以发生碰撞电离，即雪崩击穿现象，I-V曲线会迅速上翘。

曲线回滞：VD继续增加，寄生BJT开启,集电极（源极）电压快速返回晶体管基极开路时的击穿电压，故I-V曲线回滞。之后，低阻导通状态下电流继续增加，直至热烧毁。

1. **非理想MOS种类：金属半导体功函数差、氧化层电荷、衬底偏置（重点）**
   1. 金属半导体功函数差

来源：金属和半导体的真空能级和费米能级差不可能相同。

影响：栅极半导体侧的能带变弯曲。

消除办法：施加一定的栅电压以补偿内建电压。

⑵氧化层电荷包括：可动离子、固定电荷、界面态陷阱电荷、氧化层陷阱电荷

1. 可动离子：钠、钾离子

来源：来自于制备工艺中的试剂、工艺操作人员自身等；

对阈值影响：氧化层中的正离子会引起C-V特性曲线负向漂移增大，阈值负漂；

消除方法：磷稳定化+氯中性化。

1. 固定电荷

来源：位于界面位置，来源于氧化工艺中界面处过量离化硅，决定于氧化温度、氛围、硅晶向；

对阈值影响：阈值负漂；

消除方法：调整氧化工艺。

1. 界面态陷阱电荷

来源：半导体表面未完全成键的悬挂键引起，分布于半导体禁带中，且禁带中间分布的浓度的更大；

对阈值影响：阈值电压负漂；

消除方法：氢气氛围的热退火，氢原子与悬挂键结合，使其失去电活性。

1. 氧化层陷阱电荷

来源：外应力（雪崩热载流子注入、辐射诱导等）产生的电子、空穴陷落在氧化层中；

对阈值影响：阈值电压负漂；

消除方法：热退火，排出注入的电子和空穴；干氧化法加固本身的氧化层质量；降低界面附近的电场，减小注入能量的提供。

⑶衬底偏置效应

来源：源体电压不为零；

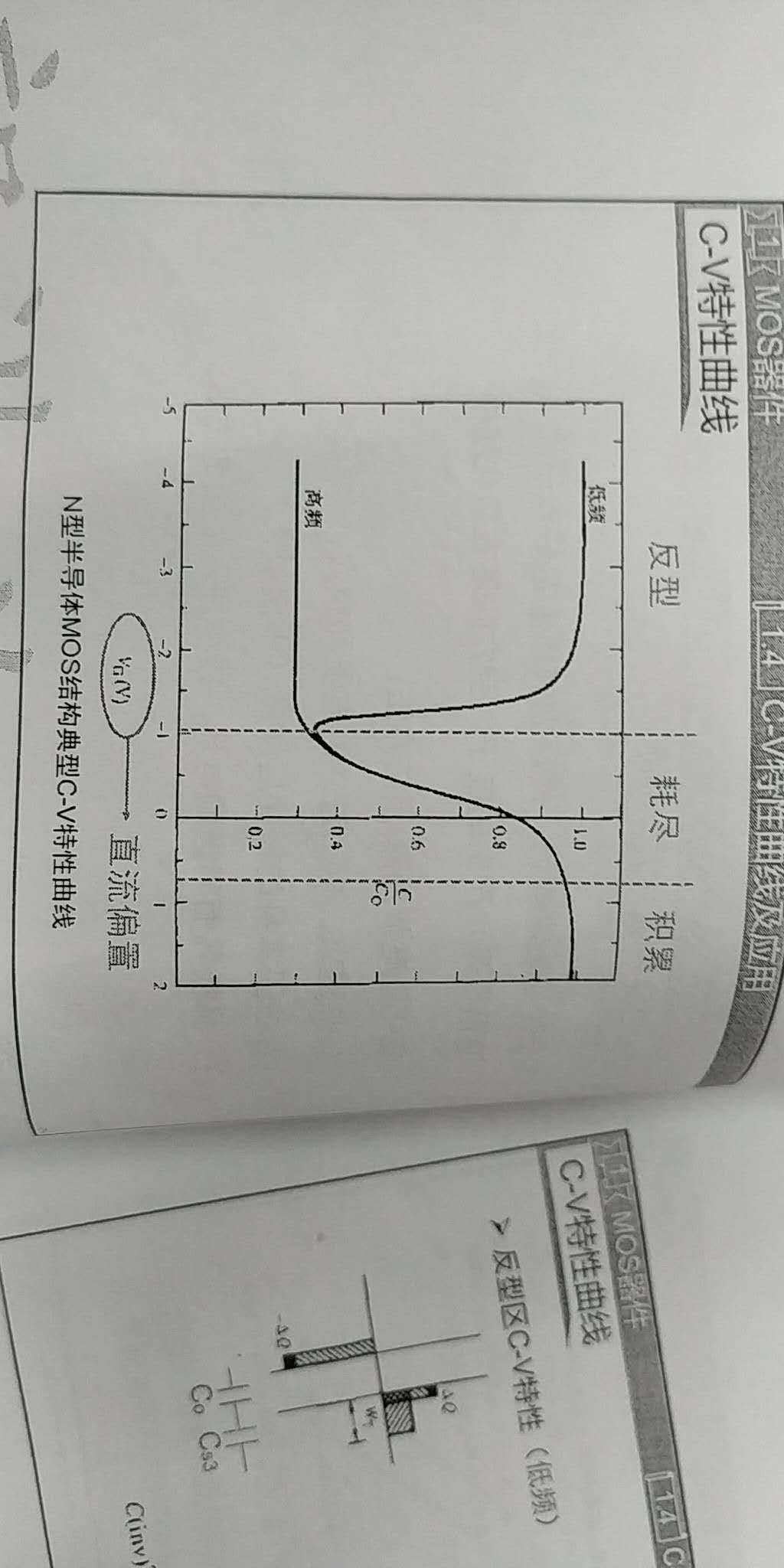
影响：造成N管阈值更正，P管阈值更负；

消除方法：把源和衬底短接，改进电路结构。

1. **C-V特性曲线（重点）**

MOS电容的C-V特性可以揭示器件结构的内部性质，还可以理解在氧化层和半导体中与理想情况之间的偏差。

应用：氧化层没有电流，可利用C-V特性监测MOS结构内部性质及氧化层损伤变化等。



1. 积累区：

氧化层-半导体界面多数载流子堆积，而且积累条件下系统状态可以变化很快。积累器件在工作时的载流子可以在很小数量级的时间内达到平衡，因此较高的频率对电容影响也很小，此时的电容本质上是一个普通的平行板电容。

1. 耗尽区：

半导体中出现耗尽层，耗尽层电荷与多数载流子被排斥直接相关，因此器件工作也是只与多数载流子相关，系统状态也可以变化很快。此时的电容本质上是氧化层电容和半导体电容的串联，其值为，由于W随耗尽偏置增加而增大，所以等效电容C会相应地减小。

1. 反型区：

在氧化层-半导体界面附近会堆积大量的少数载流子，此时反型层电荷可能会相应于交流信号有明显的涨落，另外平衡栅电荷变化量的半导体电荷来源于耗尽层宽度的变化。当频率很低时，少数载流子的产生或消除可以跟上交流信号，电荷在单层绝缘层的边缘增加或减少，因此C:\Users\ADMINI~1\AppData\Local\Temp\ksohtml\wps8017.tmp.png（类比积累区）。当频率很高时，少数载流子的产生或消除跟不上交流信号，因此反型层的少数载流子数目固定在直流值，仅耗尽层宽度涨落，因此（类比耗尽区）。

1. **MOS器件线性展宽**

⑴原因：提高器件开关速度、增加器件密度、降低芯片功耗、增强芯片功能性、降低制备成本。

⑵展宽带来的小尺寸效应：

1. 短沟道（L）效应：沟道下方耗尽层与源/漏衬底的PN结耗尽层有部分电荷“共享”，导致器件阈值电压下降，有衬底偏置时短沟效应减弱。
2. 窄沟道（W）效应：栅极“边缘场”使场氧化层下表面耗尽区的空间电荷有所增加，导致器件阈值电压上升，衬底掺杂浓度增加，窄沟道效应增强。
3. 速度饱和效应：随着沟道缩短，器件工作电压并未等比下降，导致沟道内电场增强，出现载流子速度饱和现象，迁移率会下降，从而饱和电流不遵循平方率，而是与呈线性变化。
4. 漏感应势垒降低（DIBL）：沟道长度L减小，增加，进而源和漏的耗尽区靠近，电力线可从漏穿越到源，导致漏端势垒降低，从源注入到沟道的电子增加，增加。
5. 寄生BJT开启与穿通：

开启：沟道减小时，工作电压未等比下降，漏极电场增强，碰撞电离空穴造成源端PN结正偏，触发寄生BJT，栅极失去控制，电流倍增；

穿通：沟道过短，源漏PN结耗尽层相交，BJT穿通，栅极失去控制，源漏穿通电流。

1. 寄生电阻：包括接触电阻、扩展电阻、薄层电阻、积累电阻等。
2. **器件可靠性**
   1. 长程可靠性：栅氧经时击穿（TDDB）、热载流子退化（HCI）、负偏温度不稳定性（NBTI）、电迁移（EM）等
      1. 栅氧经时击穿（TDDB）

原理：当MOS栅氧承受超过足够大的电场时，栅氧将击穿.

改进：增加栅氧化层的厚度，降低栅氧内部电场；采用更高介电常数的栅介质材料；改进栅氧工艺，提高栅氧质量。

* + 1. 热载流子退化（HCI）

原理：漏端强电场带来碰撞电离，产生的热载流子向栅氧注入，形成氧化层陷阱电荷或在界面产生界面态陷阱，导致器件阈值电压、导通电阻等电学参数退化，最终导致器件功能紊乱。

改进：优化栅氧工艺，提升栅氧质量；LDD技术。

* + 1. 电迁移（EM）

原理：器件工作时，金属互连线内有一定电流通过，金属离子会在“电子风”长期作用下，沿导体产生质量的输运，导致导体的某些部位产生空洞或晶须，造成短路、断路，或者互联电阻增加

* 1. 短程可靠性：静电泄放（ESD）、闩锁（LU）、自热效应（Self-heating）等。
     1. 静电泄放（ESD）

主要模式：HBM(Human Body)模式、MM(Machine)模式、CDM(Charged-Device)模式。

防护结构：二极管防护结构、ggMOS防护结构、晶闸管（SCR）防护结构、低触发电压SCR防护结构。

* + 1. 闩锁效应（LU）

原理：衬底扰动造成寄生BJT开启，电源对地形成通路，栅极失去控制，最终发生热积累失效。

抑制方法：阱底重掺杂，降低寄生电阻，采用SOI结构。

* + 1. 自热效应（Self-heating）

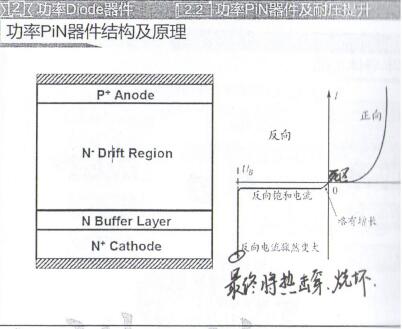
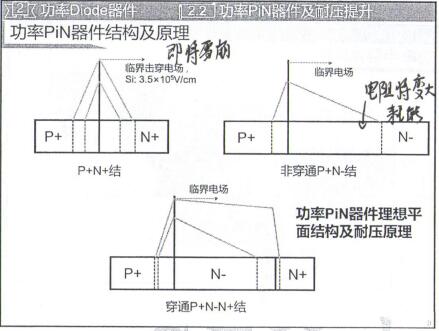
原理：高压大电流操作条件下，期间发热严重，SOI等工艺散热困难，自热效应严重，晶格振动散射加强，载流子迁移率下降，电流下降，器件易烧毁。

1. **失效分析原则：**

从简答到复杂，从非破坏到破坏，尽量不损坏芯片原有状态。

1. **功率Diode**

**1、功率PiN器件结构**



1. **耐压提升技术：**平面结终端拐角部分电力线密集，电场聚集，提前击穿，导致实际器件击穿电压远低于平面结
   1. 浮空场限环技术：耗尽层展宽，电场将变弱。
   2. 场板技术：正偏压，吸引电子，耗尽层收缩，增加结电场，降低击穿电压。
   3. 场限环+场板技术.
2. **功率SBD器件**

**优势：**正向压降低，开态功耗小；多子运动，无少子注入，反向恢复速度快没有电荷存储，适合高频应用。

**劣势：**反向漏电大，击穿电压低；不适合高温应用。

1. **功率JBS（结势垒肖特基）器件**

**优势：**反偏能力强，漏电少。

**劣势：**占面积，有效使用率低。

1. **功率TMBS器件**

**优势：**正向偏置下抑制PN结耗尽层扩展，提升肖特基区域面积

**劣势：**介质击穿点易发生在槽底。

1. **功率DMOS器件**
2. **耐压原理：**增加了可以耐压的N-漂移区，沟道通过双阱扩散差形成。不能通过增加P沟道长度来增加耐压，易在N-漂移区拐点处发生击穿。
3. **功率DMOS分类**
   1. 纵向DMOS器件（VDMOS）:适用于分立器件，便于大电流累加设计，散热好，可靠性高。
   2. 横向DMOS器件（LDMOS）：电极表面引出，适用于集成IC芯片；表面电场集聚严重，超高电压设计难度大。

注：VDMOS外有一层环，其作用是提高集成耐压度，防止元胞击穿；

VDMOS关态耐压，在N-drift和N+衬底之间加N-buffer是为了防止穿透漏电。

1. **VDOMS导通电阻：**源区接触电阻、源区电阻、沟道电阻、积累区电阻、JFET区电阻、漂移区电阻、衬底电阻、漏区接触电阻。

更高击穿电压VDMOS将会导致JFET区电阻、漂移区电阻发生明显变化。

1. **VDMOS准饱和效应**

**现象：**栅压增加到一定程度，不能对器件电流产生调控作用，输出特性曲线出现集聚甚至重合的现象。

**原因：**栅控电阻在栅压增加到一定程度时比重变得很低，整体电阻由漂移区电阻决定，而漂移区电阻不受栅压控制。

1. **VDMOS发展矛盾：击穿电压与导通电阻的矛盾**
   1. **超结技术：**P-柱辅助N-漂移区耗尽，允许同样耐压下，增加N-漂移区浓度降低导通电阻；
   2. **槽底浮空层UMOS：**通过设置积累区增强层，弱化槽底浮空层对积累区的耗尽作用，降低积累区JFET卡口效应，减小导通电阻；
   3. **源极场板+厚栅氧化层：**优化拐角电场，降低击穿可能。
2. **LDMOS特殊效应**
   1. 准饱和效应
   2. 柯尔克效应：高Vgs条件下，器件漂移区发生大注入，通过增加漏极buffer降低电场，减小碰撞电离率。
3. **LDMOS导通电阻：**源区接触电阻、源区电阻、沟道电阻、积累区电阻、漂移区电阻、衬底电阻、漏区接触电阻。

**电阻降低技术（记住几个即可，猜测不超过三个）**

* 1. 延长漏技术：优点是与低压CMOS工艺直接兼容，制备方便；缺点是工作电压幅度有限，容易发生栅漏击穿问题。
  2. LOCOS技术：优点是可以承受较高的工作电压；缺点是漂移区长度较长，导通电阻相对较大。
  3. STI技术：优点是可以承受较高的工作电压，显著降低漂移区长度，电阻相对更小；缺点是STI工艺由线宽限制，辅助耐压效果也不明显。
  4. 3D-STI技术：优点是利用STI纵向辅助耐压作用，分裂STI结构，明显降低导通电阻；缺点是击穿能力有所弱化，漏电会增加。
  5. DTI技术：优点是相同耐压能力下的漂移区可以很短，导通电阻较低；缺点是深槽底部的可靠性要求高，工艺难度大。
  6. SOI技术：优点是全介质隔离，纵向辅助耐压，击穿电压高，防串扰；缺点是自热效应严重，容易导致SOA偏窄。
  7. 超结技术：优点是利用纵向辅助技术，增加真实漂移区浓度，保持击穿特性前提下降低导通电阻；缺点是对工艺要求较高，难以承受大的窗口波动。
  8. 场板技术：优点是场板的辅助耗尽，可以增加漂移区浓度，在保持击穿电压前提下降低导通电阻；缺点是需要一定的尺寸长度空间，一般适用于较高击穿电压的LDMOS器件。
  9. 体埋层技术：优点是埋层辅助漂移区耗尽，在相同击穿特性下，漂移区浓度更大，导通电阻更低；缺点是浮空埋层耗尽以后恢复需要时间，会造成电阻突增。

**LDMOS结构击穿电压与导通电阻的矛盾通过降低表面电场，提升漂移区浓度来优化。**

1. **功率IGBT**
2. **LIGBT为何比LDMOS大的电流能力大2-3倍？**

由于IGBT的电流不仅由MOS管开启后的电流决定，更多的是由内部的BJT导通提供，且由于BJT的空穴在缓冲区的移动会电导调制效应会减小缓冲区电阻，而LDMOS的电流只为MOS管引起的电流，且缓冲区电阻相对较大，故IGBT的电流比LDMOS的电流能力大2-3倍。

1. **IGBT大的优缺点**

**优点：**

* 1. IGBT在正常工作时，导通电阻较低，增大了器件的电流容量；
  2. IGBT的输出电流和跨导都大于相同尺寸的MOSFET;
  3. 较宽的低掺杂漂移区（N-区）能够承受很高的电压，因而可以实现高耐压的器件；
  4. IGBT利用栅极可以关断很大的漏极电流；
  5. 与MOSFET一样，IGBT具有很大的输入电阻和较小的输入电容，则驱动功率低，开关速度高。

**缺点：**工作频率较低；存在寄生晶闸管。

**克服缺点：**采用电子辐射；采用阴极短路技术。

1. **IGBT相对于LDMOS**

**优势：**高电流密度，输出驱动能力强；节省芯片面积。

**劣势：**开启存在死区；自热相对LDMOS更严重；关断速度相对较慢，不适用于高频；存在空穴电流分量及寄生BJT较多，容易发生闩锁。

1. **IGBT改进（增优补劣）**
   1. **提升电流密度：**多发射极技术、 3D沟道+多发射极技术、 U型弯折沟道技术、

漂移区倒掺杂技术、 W-shape buffer技术、级联技术。

* 1. **提升关断速度：**载流子存储优化技术、集电极短路技术；
  2. **抑制闩锁：**体区电阻调整技术、空穴路径调整技术、发射极短路技术、基区电势调整技术、三明治深槽技术。

1. **宽禁带**
2. **宽禁带材料**

宽禁带通常相对于Si来说，SiC、GaN等。

1. **宽禁带器件优势**

体积减小，重量减小，电流纹波下降，效率提升

1. **宽禁带材料特性**
   * 1. 禁带宽度随温度升高而降低；
     2. 本征载流子浓度随温度升高而升高；
     3. 开启电压小，漏电流小，耐压高；
     4. 迁移率随浓度、温度的升高而降低；
     5. 面积小，故其所充电压变小，开关速度快；