1. **什么是PN结过渡区电容和扩散电容。它们之间的区别和联系。**

势垒电容：势垒区是积累空间电荷的区域，当电压变化时，就会引起积累在势垒区的空间电荷的变化，这样所表现出的电容是势垒电容。

扩散电容：为了形成正向电流（扩散电流），注入P区的少子(电子)在P区有浓度差，越靠近PN结浓度越大，即在P区有电子的积累。同理，在N区有空穴的积累。正向电流越大，积累的电荷越多，这样所产生的电容就是扩散电容。

区别和联系：PN结势垒电容主要研究的是多子，是由多子数量的变化引起电容的变化。而扩散电容研究的是少子，外加正电压时，以扩散电容为主，外加反向电压时，以势垒电容为主。

势垒电容：

（1）由势垒区中电离杂质电荷随外加电压变化产生；

（2）正负电荷在空间上是分离的；

（3）与直流偏压成幂数关系；

（4）正反偏压下均存在；

（5）可作电容器使用；

（6）要使CT减小，应使面积A减小，SiO2厚度tox增大。

扩散电容：

（1）由中性区中非平衡载流子电荷随外加电压的变化产生；

（2）正负电荷在空间上是重叠的；

（3）与直流电流呈线性关系，与直流偏压成指数关系；

（4）只存在正向偏压下；

（5）不能作电容器使用；

（6）要使CD减小，应使电流Ii减小（面积A减小，正偏偏压减小）

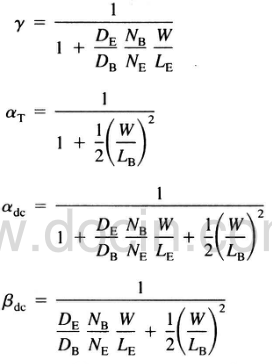
1. **基区宽度对器件电学性能的影响**

BJT中与基区宽度变化相关的效应主要有两个：基区宽度调制效应(Early效应)和基区展宽效应(Kirk效应)。

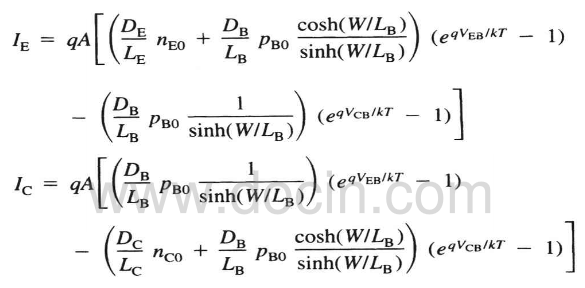
基区宽度调制效应的影响：导致BJT的电流放大系数提高，从而输出集电极电流不饱和，即导致BJT输出交流电阻下降；同时输入交流电阻也将要减小。基区宽度调制效应（厄尔利效应），为减小厄尔利效应，应增大基区宽度Wb，减小集电结耗尽区在基区内的宽度Xdb，即增大基区掺杂浓度Nb。

基区展宽效应的影响：①使基区空间体积增大，导致存储少子电荷数量增加，开关速度下降；②使电流放大系数b下降，导致工作电流受到限制；③使少子渡越基区的时间增长，器件频率特性变差。

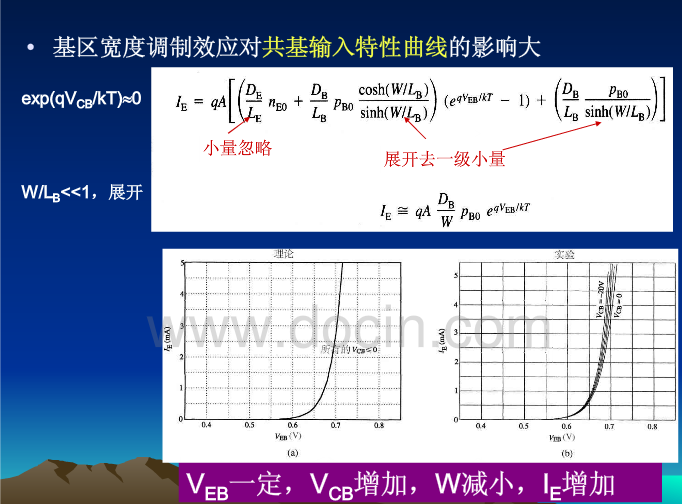
在特性曲线的水平部分，仍随着集电极-发射极间电压的增加而略向上倾斜，这是由于集电极-发射极间电压增加时，集电结空间电荷区变宽，基区变窄，使载流子在基区的复合机会减少，即电流放大系数（共发射极直流电流放大系数）增大，故在基极电流不变的情况下，集电极输出电流随集电极-发射极间电压增加而略有增加，特性曲线略向上倾斜，这种现象称为基区宽度调制效应(Base-width modulation effects)，又称为厄尔利（Early）效应。基区宽变效应使输入特性曲线随Uce的增大而稍向右移(门槛电压变大)。例如当Uce由 3 伏增大到 6 伏时，集电结势垒区变宽，基区有效宽度变窄，这样基区复合就减小，Ib 也随之减小。因此在相同的Ube下， Uce 越大，则 Ib 越小．曲线越向右偏移。



基区宽度调制效应对共基输入和共发射极输出影响大

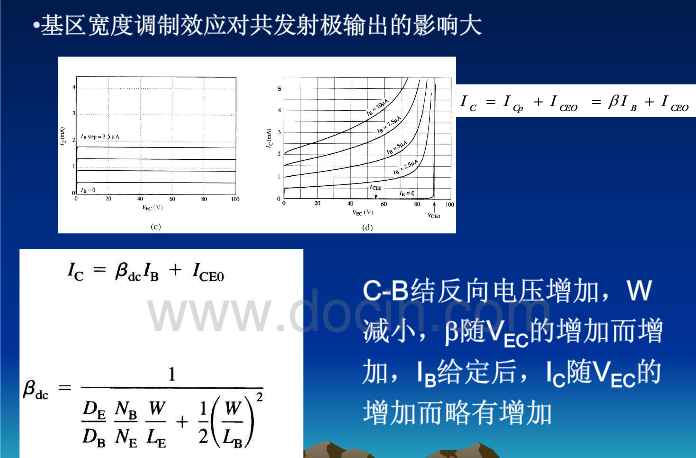


1. **基区宽度调制效应对共基输入特性曲线的影响大**



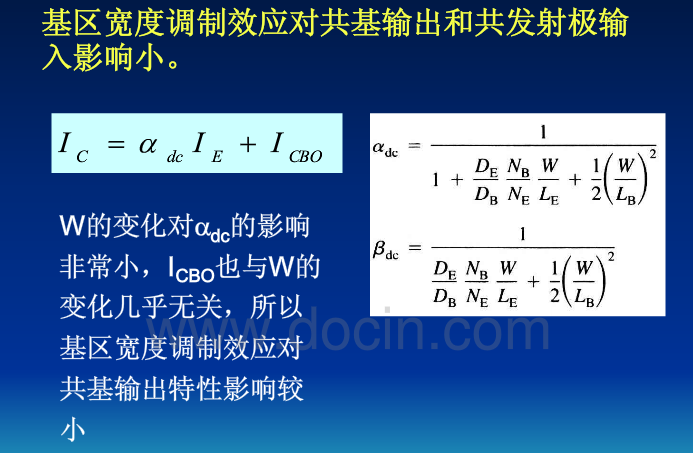
1. **基区宽度调制效应对共发射极输出影响大**

C-B结反向电压增加，W减小，β随的增加而增加，给定后，随的增加而略有增加。



1. **基区宽度调制效应对共基极输出和共发射极输入影响小**

W的变化对的影响非常小，也与W的变化几乎无关，所以基区宽度调制效应对共基极输出特性影响较小。



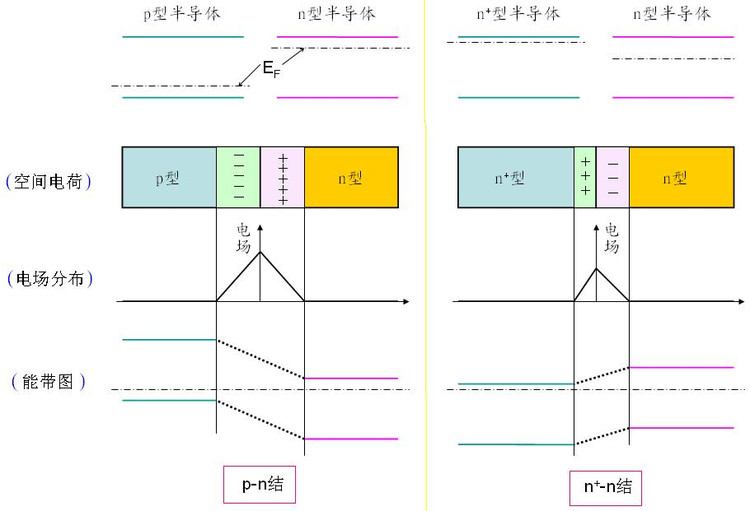
**（4）晶体管的掺杂和偏置模式对基区宽度调制效应的灵敏度：**Ne>>Nb>>Nc,E-B结耗尽区主要在B区，Vbe很小，对基区宽度调制影响小，C-B结的耗尽层宽度大部分位于C区，使对基区宽度调制效应的影响减到最小。但是若在倒置模式下工作，基区宽度调制效应将会很明显。

1. **高低结构的能带图，N到N+加正向电位的能带图**

由相同导电型号、但掺杂浓度高低不同的两种半导体组成的体系，称为**高低结**，例如n+-n结。

**（**1）高低结中的电荷、电场和势垒**：**

在热平衡时，与常规的p-n结一样，高低结中也存在空间电荷、内建电场和势垒区。在图1中比较地示出了p-n结与n+-n高低结的空间电荷、内建电场和能带图；因为当两种半导体达到热平衡时，它们的EF能级要拉平，所以就会发生电荷的转移（实际上是电子从功函数较小的一边转移到功函数较大的一边去），从而产生出空间电荷和相应的内建电场。



****（2）n+-n高低结的特点和性能：****

由图1可见，n+-n高低结具有以下特点：

①在界面处，高掺杂一侧出现正空间电荷，低掺杂一侧出现负空间电荷。

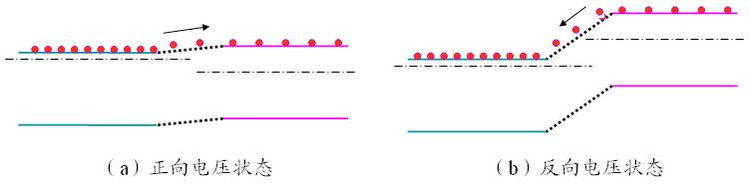
②存在空间电荷，就会有内建电场和势垒，只是这里的势垒是阻挡高掺杂n+一边的多数载流子往低掺杂n一边的输运，因此正向电压的极性应该是n+接负、n接正，反向电压是n+接正、n接负。同时，势垒的高度和厚度也将随着外加电压而变化：正向电压使势垒高度降低、势垒厚度减薄；反向电压的作用恰相反。

③因为高低结完全是借助于一种载流子的浓度差来扩散、并实现平衡的，因此所产生的空间电荷数量较少，也因而内建电场较弱、势垒高度较低（在非简并情况下，势垒高度<Eg/2），从而势垒厚度也就较薄。

④当外加正向电压时，势垒高度降低，则高掺杂n+一边的电子很容易输运到低掺杂n一边去（见图2（a）），会形成很大的正向漂移电流；当外加反向电压时，虽然势垒高度增大，但是低掺杂n一边的电子则更加容易漂移到高掺杂n+一边去（见图2（b）），即有很大的反向漂移电流。所以，高低结没有单向导电性，而且通过的正向、反向电流都是漂移电流。

⑤高低结的势垒区与空间电荷一致。由于存在空间电荷，并且势垒厚度将随着外加电压而变化，所以高低结同样存在与势垒厚度有关的微分电容——势垒电容。该势垒电容也将随着正向电压的增大而增加、随着反向电压的增大而减小。

**总之，高低结的内部状况与常规p-n结一样，具有空间电荷、内建电场和势垒区，因此也就存在势垒电容等性能，但是与常规p-n结的最大不同点就是：高低结没有整流性能，即为一种欧姆接触，而且通过的电流不是扩散电流（而是漂移电流）。**



****（3）特殊的n+-i高低结：****

对于高掺杂半导体与本征半导体的接触，即为n+-i高低结。这时，高掺杂n+表面附近的电子将转移到本征半导体，并产生正、负空间电荷，同样也会形成势垒；而且高低结的势垒高度将达到最大（势垒高度≈Eg/2），势垒厚度也很大（整个本征半导体都是存在电场的势垒区）。

当有外加正向电压时（n+半导体接电源负极），即有大部分电压降落在本征半导体上（即本征半导体中存在漂移电场），同时势垒高度的降低，就使得高掺杂n+中的电子能够大量往本征半导体输运，从而能够产生很大的漂移电流；而当外加有反向电压时（n+半导体接电源正极），势垒高度增大，但是，这时因为本征半导体中没有载流子，所以反向电流为0。可见，n+-i高低结具有一定的单向导电性。

本征半导体虽然类似于绝缘体，但是又有本质的不同。所以，如果把i半导体改变为真正的绝缘体、构成类似n+-i的高低结时，则因为绝缘体禁带宽度很大，就不能发生电荷的转移，所以也就不会产生内建电场和能带的弯曲等效应，当然也就不可能存在单向导电性了。

1. **晶体管为什么能放大？当发射结反偏集电结正偏还能放大吗？请分析原因**

晶体管能放大的原因：①基区宽度很小，即从发射区注入到基区的载流子绝大部分可以到达集电区；②发射结正偏，不仅使结电阻很小，而且基区中存在大量由发射区注入的少数载流子；③集电结反偏，结电阻很大。

不能放大。发射区和集电区的杂质浓度不同，发射区杂质浓度特别高，这样才能把大量的载流子“发射”到基区，并通过基区到达集电极。如果基区杂质浓度比发射区高的话，那么将是基区将大量的载流子“发射”到发射区，就不能形成集电极电流了。集电区杂质浓度最低，如果把晶体管的发射极与集电极反过来使用，出现的效果就是放大倍数β特别小，仅仅有几倍而已。

1. **什么是短沟道效应？产生的机理**

短沟道效应：当MOS晶体管的沟道长度小到可以和漏结的耗尽层厚度相比拟时，会出现一些不同于长沟道MOS管特性的下娘，统称为短沟道效应。

产生的机理：如果沟道长度缩短，源结与漏结耗尽层的厚度可与沟道长度相比拟时，沟道区的电势分布将不仅与栅电压及衬底偏置决定的纵向电场Ey有关，而且与由漏极电压控制的横向电场Ex也有关。换句话说，此时缓变沟道近似不成立。这个二维电势分布会导致阈值电压L的缩短而下降，亚阈值特性的降级以及由于穿通效应而使饱和电流失效。当沟道长度缩短，沟道横向电场增大时，沟道区载流子的迁移率变成与电场有关，最后使载流子速度达到饱和。当电场进一步增大时，靠近漏端出发生载流子倍增，从而导致衬底电流及产生寄生双极型晶体管效应。强电场也促使热载流子注入氧化层，导致氧化层内增加负电荷及引起阈值电压移动、跨导下降等。

**6、MOS器件的阈值电压受哪些因素影响？MOS器件的栅源电压和阈值电压有何关系？**

**影响因素：**1、氧化层的厚度。2、氧化层中正电荷Qss的影响。3、金属与半导体功函数之差的影响。4、多晶硅的掺杂浓度。5、衬底浓度。

**栅源电压和阈值电压的关系：**栅源电压和阈值电压的差值决定了MOS器件的工作区，当VGS < VTH时，MOS管没有开启，处于截至状态。当VGS >VTH时,MOS管反型层沟道形成，当VGS-VTH<VDS工作在亚阈区，VGS-VTH>VDS时工作在饱和区。

（1）作为介质的二氧化硅(栅氧化层)中的电荷Qss以及电荷的性质。这种电荷通常是由多种原因产生的，其中的一部分带正电，一部分带负电，其净电荷的极性显然会对衬底表面产生电荷感应，从而影响反型层的形成，或者是使器件耗尽，或者是阻碍反型层的形成。Qss通常为可动正电荷。

（2）衬底的掺杂浓度。从前面的分析可知，要在衬底的上表面产生反型层，必须施加能够将表面耗尽并且形成衬底少数载流子的积累的栅源电压，这个电压的大小与衬底的掺杂浓度有直接的关系。衬底掺杂浓度(QB)越低，多数载流子的浓度也越低，使衬底表面耗尽和反型所需要的电压VGS越小。

所以，衬底掺杂浓度是一个重要的参数，衬底掺杂浓度越低，器件的阈值电压数值将越小，反之则阈值电压值越高。对于一个成熟稳定的工艺和器件基本结构，器件阈值电压的调整，主要通过改变衬底掺杂浓度或衬底表面掺杂浓度进行。衬底表面掺杂浓度的调整是通过离子注入杂质离子进行。

（3）由栅氧化层厚度tox决定的单位面积栅电容的大小。单位面积栅电容越大，电荷数量变化对VGS的变化越敏感，器件的阈值电压则越小。

实际的效应是，栅氧化层的厚度越薄，单位面积栅电容越大，相应的阈值电压数值越低。但因为栅氧化层越薄，氧化层中的场强越大，因此，栅氧化层的厚度受到氧化层击穿电压的限制。选用其他介质材料做栅介质是当前工艺中的一个方向。例如选用氮氧化硅 SiNxOy 替代二氧化硅是一个微电子技术的发展方向。正在研究其它具有高介电常数的材料，称为高k栅绝缘介质。

（4）栅材料与硅衬底的功函数差ΦMS的数值，这和栅材料性质以及衬底的掺杂类型有关，在一定的衬底掺杂条件下，栅极材料类型和栅极掺杂条件都将改变阈值电压。对于以多晶硅为栅极的器件，器件的阈值电压因多晶硅的掺杂类型以及掺杂浓度而发生变化。

可见，在正常条件下，很容易得到增强型PMOS管。为了制得增强型NMOS管，则需注意减少Qss、Qox，增加QB。采用硅栅工艺对制做增强型NMOS管和绝对值小的增强型PMOS管有利。

1. **定性说明晶体管电流放大系数随频率升高而下降的原因。（89~90）**
2. 当信号频率升高时，集体管的放大系数减小，主要原因是势垒电容和扩散电容的充放电。少子通过基区需要经过一定时间tb,由于少子的运动是在热运动的基础上叠加扩散运动，而前者的运动速度又远高于后者，造成少子通过基区时在时间上的分散，这使基区输运系数随频率的升高而减小；
3. 由于发射结的**势垒电容CTe**的充放电，使其具有分流作用，随着频率的升高，经过势垒电容的电流变大，发射效率减小。
4. **试分析晶体管发生大注入时对其特性的影响（基区沟道调制效应和自建电场102）**

大注入是指从发射区到基区的少数载流子密度很大(NPN中少子指的是电子)，与基区中的多数载流子密度接近甚至更大的情况。大注入效应分两种：基区电导调制效应和大注入自建电场效应。

1. **基区电导调制效应**

在发生大注入时，注入到基区的少数载流子已不能忽略，为维持基区的电中性，在几区中建立了和注入少子有同样密度梯度的多子分部，从而使基区电阻率显著下降，这称为基区电导调制效应。

1. **大注入自建场效应**

对于npn结，由于空穴密度梯度的存在，必定会向集电结方向扩散，集电结上加的是反向偏压，它阻止空穴流向集电区，因此在集电结的基区侧有空穴积累，由于扩散运动，在发射结的基区侧空穴密度将降低，从而在基区中产生由集电结指向发射结的电场E，这一自建电场称为大注入自建电场。

**（3）对性能的影响**

由于大量载流子注入到基区，产生基区电导调制效应和自建电场，因此会对晶体管特性产生影响。在发生大注入时，注入到基区的少数载流子已不能忽略，为了维持基区的电中性，在基区中建立了和注入少子有同样密度梯度的多子分布**，从而使基区电阻率显著下降，这就使基区电导调制效应。发射效率随着发射级电流的增加而降低，因此电流放大系数也减小。**

**但是，大注入使发射极延迟时间tc、基区渡运时间te减小，从而使得频率特性提高，即fT提高。**

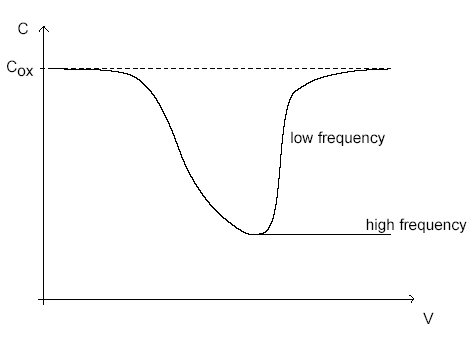
1. **超量储存电荷对晶体管开关时间的影响（136）(131概念、139改进)**

超量存储电荷影响晶体管关断时间，当晶体管基极回路上的正脉冲突然消失时，由于VBB的作用，发散结仍处于正值，因此存在基区电流IB2，在此电流的作用下基区和集电区中空穴被抽走，在超量存储电荷被抽完之前，发射结和集电结仍处于正偏，知道全部抽完集电极电流ICS才开始下降，进入下降过程。故要减小超量存储电荷来减小晶体管的关断时间。

1. **基区电场因子对缓变基区晶体管开关时间的影响96 105 4-17 4-28**
2. **试述Si-SiO2界面，真实表面和理想表面之间的区别（141~143） （刘237）**
3. 什么是？Si-siO2界面：指的是器件覆盖的**一层二氧化硅**与**半导体**的接触面
4. 理想表面：表面层中原子排列的对称性与体原子内完全相同，且表面上不附着任何原子或分子的半导体表面。原子完全有规则排列所终止的一个平面。表面硅原子之于体内硅原子形成共价键，故一定会出现悬挂键。
5. 真实表面：表面层中的原子排列与体内原子不同，并不是完全有规则的排列，且存在着大量悬挂键、杂质电荷，如可动离子、固定电荷、界面态和电离陷阱电荷等。
6. **讨论硅MOS结构中半导体表面产生空间电荷的原因（145）叙述该结构的半导体表面导电能力外加栅压VG的关系（VG>0、VG=0、VG<0）**

原因：以P衬底mos管为例，由于siO2中存在正电荷（固定和可动都有），将会排斥P型衬底中的空穴，形成负的空间电荷区，同时形成一个指向半导体内部的电场。

1. VG<0时，当反向栅压的作用等于或大于空间电荷的作用时，siO2中的正电荷相当于被抵消，不会存在空间电荷，无表面电场。
2. VG=0时，界面正电荷会在P衬底中形成负的空间电荷区，但此时表面电场较小。
3. VG>0时，此时正向栅压会加强界面正电荷在P衬底中形成负的空间电荷区，吸引衬底中的少子电子到空间电荷区中，形成反型层。这时的表面电场较大。
4. **理想MOS结构C-V曲线低频和高频时的异同及原因（157）√**



如图所示，（以P mos为例）

1）当MOS管还未形成反型层之前，低频与高频曲线一致，这是因为当VG远小于0时，多子空穴堆积，此时mos管的总电容为氧化层平板电容与空间电荷区电容串联，Cox远小于Cs，所以总电容近似为COX，曲线保持不变；**当VG逐渐变大时，多子堆积越来越少，**导致Cs逐渐变小，此时Cox与Cs相比仍较小，串联电容随Cs的减小而降低。

2）当反型层开始出现时，高低频差异显现出来。对于低频来说，少子电子能够随着低频信号的增加而增加，此时电子形成的等效电容与Cs并联，那么Cs会随着电子等效电容增加而增加，直到栅压大到一定程度时，Cox相对较小，串联取Cox，所以曲线先升后保持在Cox大小处不变；对于高频来说，由于频率较高，少子电子不能随着信号的增大而增加，而此时的耗尽层随着VG变大逐渐变宽，导致Cs变小。**当出现强反型层，空间电荷区达到最宽，CS电容达到最小极值，并保持不变，所以曲线先下降一部分然后保持不变。**且高频的最小值要小于低频的最小值。

1. **实际MOS结构C-V曲线又怎么样（159）引起它们之间差别的原因：Si-SiO2界面结构的影响及金属半导体之间的函数之差（重新整理）6-43**

实际的C-V曲线左右平移或在反型时左右平移。

原因：a、金属半导体功函数差，使其存在一个VMS电压差，使P型衬底的C-V曲线向左平移一个VMS压差的距离；b、siO2-si界面中的正电荷和可动正电荷相当于提供了栅电压VG’，也会时C-V曲线向左平移VG’距离。

**10、为使晶体管具有良好的开关状态，有以下五个要求：**

（1）**ICE0**小，使开关电路截止时接近于断路（开路），关断性良好；

（2）**VCES**小，使开关电路接通时接近于短路状态，接通性良好；

（3）开关时间尽可能短，这点将在以后内容中详细分析；

（4）启动功率小，启动功率是晶体管从截止态转变为饱和态时所需的功率IBVBES；

（5）开关功率大，即要求在截止态时能承受较高的反向电压，在导通时，允许通过较大的电流；

1. **影响的因素和提高的途径（105）**
2. 影响的因素
3. 基区渡越时间=
4. 发射极延迟时间=
5. 、较、小，但高频管若采取措施降低了、，则应考虑此两项延迟。

=

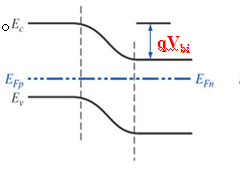
1. 提高的途径
2. 减薄基区宽度Wb，可采用浅结扩散或离子注入技术
3. 降低基区掺杂浓度Nb以提高Dnb；适当提高基区杂质浓度梯度，以建立一定的基区自建电场
4. 减小结面积Ac，以减小电容
5. 减小集电区电阻及厚度，采用外延结构，以减小Xmc及rcs
6. 做好AL电极欧姆接触
7. 注意管壳的设计及选择，以减小杂散电容
8. 在结构参数均相同时，npn管较pnpgauntlet有较高的（电子迁移率大于空穴迁移率）

=

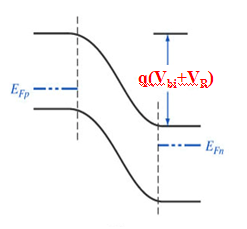
**1.空间电荷区是怎样形成的。画出零偏与反偏状态下pn结的能带图。**

答：当p型半导体和n型半导体紧密结合时，在其交界面附近存在载流子的浓度梯度，它将引起p区空穴向n区扩散，n区电子向p区扩散。因此在交界面附近，p区留下了不能移动的带负电的电离受主，n区留下了不能移动的带正电的电离施主，形成所谓空间电荷区。

PN结零偏时的能带图：



PN结反偏时的能带图：



**2.为什么反偏状态下的pn结存在电容？为什么随着反偏电压的增加，势垒电容反而下降？**

答：①由于空间电荷区宽度是反偏电压的函数，其随反偏电压的增加而增加。空间电荷区内的正电荷与负电荷在空间上又是分离的，当外加反偏电压时，空间电荷区内的正负电荷数会跟随其发生相应的变化，这样PN结就有了电容的充放电效应。对于大的正向偏压，有大量载流子通过空间电荷区, 耗尽层近似不再成立，势垒电容效应不凸显。所以，只有在反偏状态下的PN结存在电容。

②由于反偏电压越大，空间电荷区的宽度越大。势垒电容相当于极板间距为耗尽层宽度的平板电容，电容的大小又与宽度成反比。所以随着反偏电压的增加，势垒电容反而下降。

**3.什么是单边突变结？为什么pn结低掺杂一侧的空间电荷区较宽？**

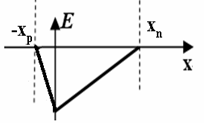
答：①对于一个半导体，当其P区的掺杂浓度远大于N区（即Nd>>Na）时，我们称这种结为P+N；当其N区的掺杂浓度远大于N区（即Na >> Nd）时，我们称这种结为N+P。这两类特殊的结就是单边突变结。

②由于PN结**空间电荷区内Ｐ区的受主离子所带负电荷量与Ｎ区的施主离子所带正电荷的量是相等的，**而这两种带电离子是不能自由移动的。所以，对于空间电荷区内的低掺杂一侧，其带电离子的浓度相对较低，为了与高掺杂一侧的带电离子的数量进行匹配，只有增加低掺杂一侧的宽度。因此,PN结低掺杂一侧的空间电荷区较宽。

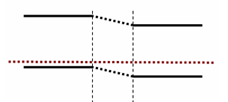
**4.对于突变p+-n结，分别示意地画出其中的电场分布曲线和能带图：**

答：①热平衡状态时：

突变p+-n结的电场分布曲线：



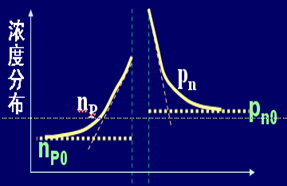
突变p+-n结的能带图：



注：画的时候把两条虚线对齐。

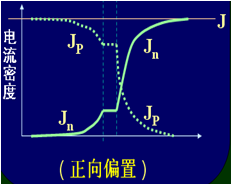
**5.画出正偏时pn结的稳态少子浓度分布图。**

**答：**

****

**6.画出正偏pn结二极管电子和空穴电流图。**

**答：**

****

**7.解释pn结二极管扩散电容形成的机制；解释产生电流和复合电流的形成机制。**

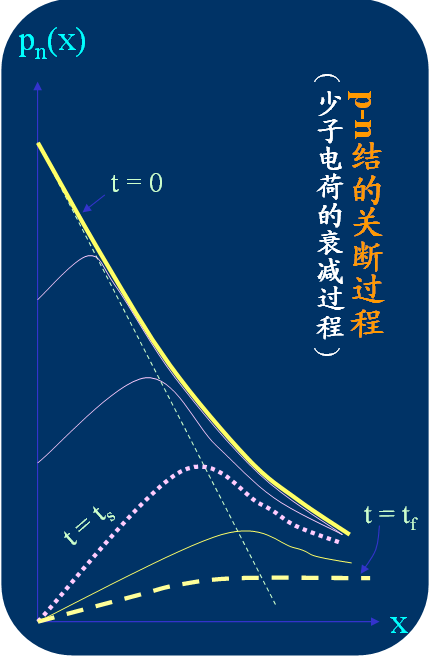
答：①在扩散区中存在有等量的非平衡电子和空穴的电荷,在直流电压下的少子浓度会随其中的交流成分的改变而改变。随着外加电压的变化，由于少子浓度变化而形成的少子电荷存储量的变化△Ｑ不断地被交替充电与放电，从而表现为电容效应，少子电荷存储量的变化与电压变化量的比值即为扩散电容。  
　②反偏产生电流的形成机制：反偏电压下，空间电荷区产生了新的电子—空穴对，由于反偏空间电荷区的电子浓度与空穴浓度为零，这些新产生的电子—空穴对会重新建立新的热平衡。电子—空穴对一经产生，就会被电场扫出空间电荷区。这些被扫出电荷流动产生的电流即为反偏产生电流。

正偏复合电流的形成机制：当PN结外加正偏电压时，电子与空穴会穿过空间电荷区注入到相应的区域，电子与空穴在穿越空间电荷区时有可能会发生复合，这部分复合的电子与空穴的相对运动形成的电流即为复合电流。

**8.什么是存储时间？**

答：P区与N区均存在过剩载流子。空间电荷区边缘的过剩载流子由正偏PN结电压维持。当外加电压由正偏变为反偏时，空间电荷区边缘处的少子浓度就不能再维持，于是就会慢慢衰减，如下图所示。

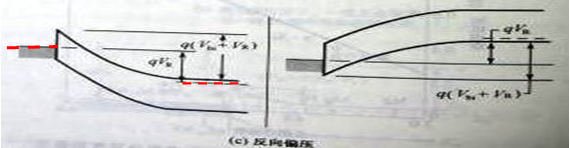
空间电荷区边缘少子浓度达到热平衡值时所经历的时间ts即为存储时间。存储时间内，反向电流大小是基本不变的。



**9.为什么随着掺杂浓度的增大，击穿电压反而下降？**

答：随着掺杂浓度的增大，杂质原子之间彼此靠的很近而发生相互影响，分离能级就会扩展成微带，**会使原来的导带底下移，造成禁带宽度变窄，**不加外加电压时，能带的倾斜处隧道长度Δx变得更短，当Δx短到一定程度，当加微小电压时，就会使P区价带中的电子通过隧道效应穿过窄窄的禁带而到达N区导带**，使得反向电流急剧增大而发生隧道击穿。**所以，掺杂浓度越大，禁带宽度越窄，也就越容易发生隧穿，击穿电压也就越小。

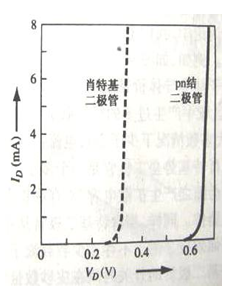
**10.画出有偏压时理想金属半导体结的能带图，在图上标出肖特基势垒。**

答：

注：左边是N型金属半导体结能带图，右边是P型金属半导体能带图，肖特基势垒图中已标出。

**11.比较肖特基二极管和pn结二极管正偏时的I-V特性。**

答：



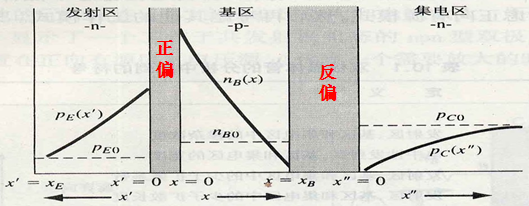
1. I-V关系式形式相同，由于电流输运机制不同，肖特基二极管的电流要比pn结的大几个数量级。
2. 相应的肖特基二极管的导通压降也比较低。
3. 因为肖特基二极管是单极性器件，只有多子，少子很少，可认为无少子存储电荷，高频特性好，开关时间短，一般在ps数量级。pn结开关时间在ns数量级。

**12.什么是异质结？**

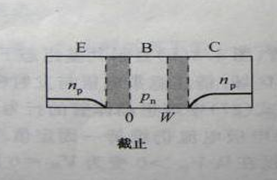
答：用两种不同材料组成的一个结叫做异质结，它可以按照不同的分类标准又分为由导电类型相同的两种不同材料所形成的同型异质结和由导电类型相反的两种不同材料所形成的反型异质结，以及突变异质结和缓变异质结。

**13. 对于n+pn晶体管（基区宽度<<少数载流子扩散长度），分别示意画出其中各个区域中的少数载流子浓度的分布曲线：**

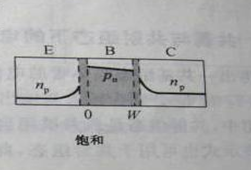
①正向放大工作状态；



②截止状态；

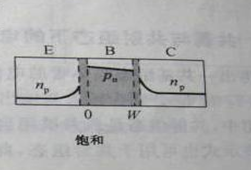


③临界饱和状态；



注：该图C区的少子电子的浓度应维持在平衡浓度上，临界饱和的条件就是（Vbe>0,Vbc=0）.

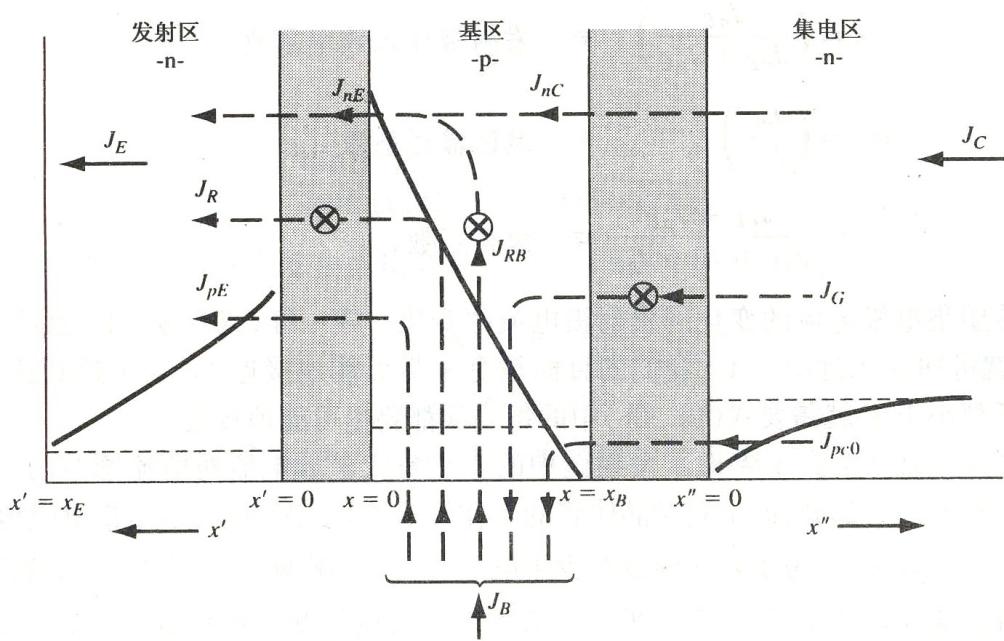
④深饱和状态。

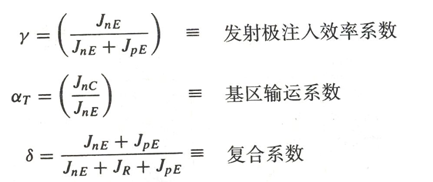


**14共基极电流增益的三个限制因素（发射极注入效率系数、基区输运系数和复合系数）的定义和对共基极电流增益的影响。**

答：

**交流共基极电流增益：**





发射极注入效率系数：考虑了发射区中的少子空穴扩散电流对电流增益的影响。该电流是发射极的一部分，但它对晶体管的工作没有作用，因为JpE不是集电极电流的一部分，它的存在会降低共基极电流的增益。

基区输运系数：考虑了基区过剩少子电子的复合作用的影响。理想情况下，我们是希望基区中没有复合的，不过复合是不可避免的，所以复合的存在使基区输运系数小于1，也就降低了共基极电流的增益。

复合系数：考虑了正偏B-E结中的复合的影响。电流JR对发射极电流有贡献，但对集电极电流没有贡献，所以它的存在也降低了共基极电流的增益。

**15.什么是基区宽度调制效应？该效应的另一个称呼是什么？**

答：事实上，晶体管的基区宽度是B-C结电压的函数，因为随着结电压的变化，B-C结空间电荷区会扩展进基区。随着B-C结反偏电压的增加，B-C结空间电荷区宽度增加，使得基区宽度减小。中性基区宽度的变化使得集电极电流发生变化，基区宽度的减小使得少子浓度梯度增加，这种效应称为基区宽度调制效应，又称厄尔利（Early）效应。

**16.什么是大注入效应？**

答：我们确定少子分布时所用的双极传输方程默认采用了小注入。但随着VBE的增加，注入的少子浓度开始接近，甚至变得比多子浓度还要大。如果我们假定准电荷中性，那么p型基区中在靠近发射区的那一侧由于过剩空穴的存在，多子空穴浓度将会增加。此时发生大注入，促使晶体管发生两种效应①发射极注入效率降低 ( Webster效应 )；②集电极电流增大速率变慢。这种效应就是大注入效应。

**17.晶体管的截止频率是如何定义的？限制双极型晶体管的频率响应的延时因素有那些？**

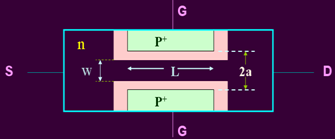
答：①. α截止频率 fα ：共基极电流放大系数减小到低频值的1/√2 时所对应的频率.

β截止频率f β ：共发射极电流放大系数减小到低频值的1/√2 时所对应的频率.

②.晶体管的频率参数与晶体管的载流子渡越时间有关,它包括电子从发射极到集电极的有效渡越时间、发射结充电时间、发射极扩散电容充电时间、集电结耗尽区渡越时间等。

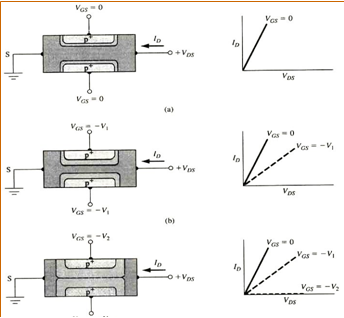
**18.大致绘出p沟道pnJFET的截面图，标明器件工作时的电压极性。**

答：



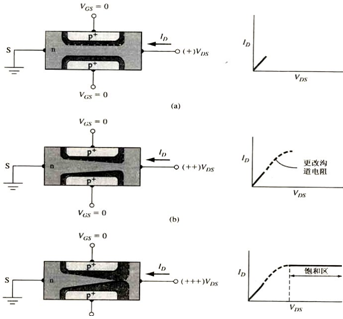
注：这是n沟道的，类似的p沟道可画出，并标明工作电压极性。

**19.定性阐述n沟道耗尽型pnJFET的基本工作原理。**



答：

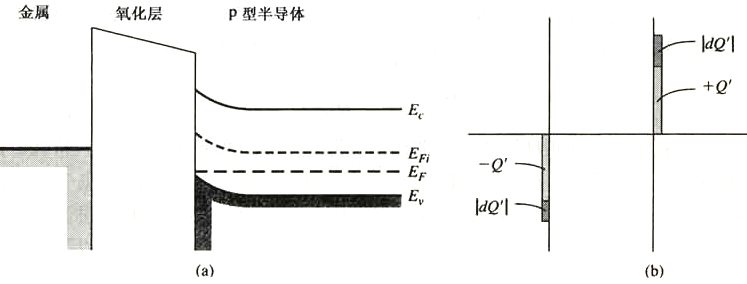
基本工作原理：如上图1，显示了一个当栅极零偏时的n沟道pnJFET。如果源极接地，并在漏极上加一个小的正电压，这漏极产生一个漏电流ID。n沟道实质上是个电阻，因此，对于小的VDS，ID与VDS的曲线接近于线性变化，如上图１所示。当我们给pnJFET的栅极与源极之间加一个电压后，沟道电导系数就会发生变化，如上图２所示，当在栅极加一个负压时，栅极与沟道形成ｐｎ结反偏，其空间电荷区增宽，沟道宽度变窄，沟道电阻增加。当反偏电压达到一定程度时，空间电荷区会将沟道完全填满，这种情况称为沟道夹断，此时漏电流几乎为零，因为耗尽层隔离了源端与漏端。



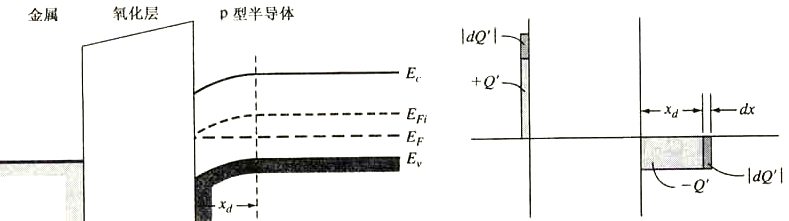
当栅电压为零，漏电压变化时，如上图，随着漏源电压的增大（正值），栅与沟道形成的ｐｎ结反偏，空间电荷区向沟道区扩展。随着空间电荷区的扩展，有效沟道电阻增大。此时沿沟道长度方向，沟道电阻随位置的不同而变化，而沟道电流是一个常数，所以沟道压降将随位置的不同发生相应的变化。如果漏极电压进一步升高，沟道将在漏极处夹断。漏电压继续增大，漏电流将保持不变，此时晶体管工作在饱和区，漏电流与VDS无关，将体现为栅压控制。

**20.分别绘出工作在堆积、耗尽和反型模式下的n型衬底MOS电容的能带图。**

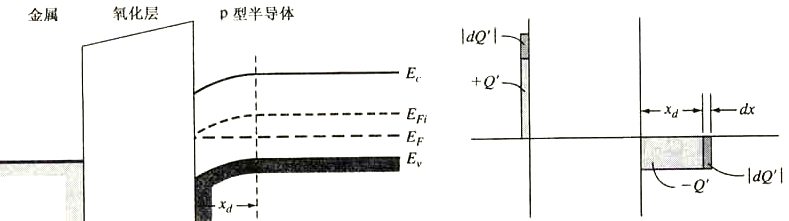
答：堆积模式：



耗尽模式：



反型模式：

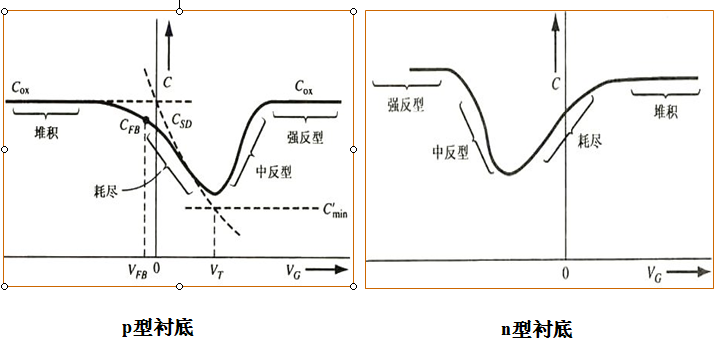


**21.为什么当反型层形成时MOS电容器的空间电荷区认为达到最大宽度？**

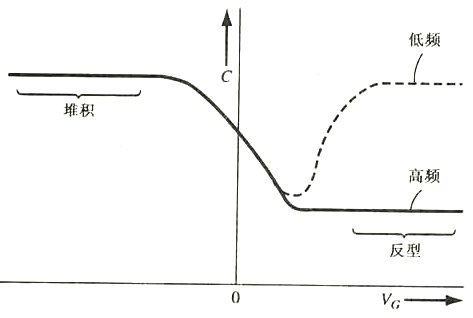
答：当反型层形成时，表面处的的少子浓度等于半导体体内多子的浓度，此时所加电压称为阈值电压。如果栅压大于这个阈值，导带会轻微向费米能级弯曲，表面处导带的变化只是栅压的函数，然而表面少子的浓度是表面势的指数函数。表面势增加数伏特（ＫＴ／ｅ），将使电子浓度以１０的幂次方增加，电子浓度大导致空间电荷区的宽度的变换却非常微弱，几乎耗不动，这种情况下，空间电荷区已经达到了最大值。

**22.绘出低频时n型衬底MOS电容器的C-V特性曲线。当高频时曲线如何变化？**

答：低频时：

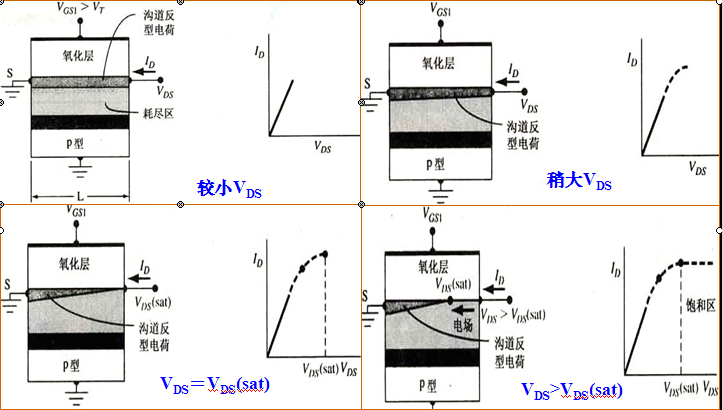


高频时：



**23.定性阐述MOSFET的基本工作原理。**

答：



对于较小的VDS，当VDS＜ＶＴ时，漏电流为零。当VDS＞ＶＴ时，反型层的厚度会定性的表明相对电荷密度，这时的相对电荷密度在沟道长度方向上为一常数，相应的特征曲线如左上角图所示。随着漏电压的增大，漏端附近的反型层电荷密度也将减小，漏端的沟道电导减小，ID-VDS特性曲线的斜率也将减小，如右上角图所示。当VDS增大到漏端的氧化层压降等于ＶＴ时，漏端的反型层电荷密度为零，此时漏端的电导为零，即ID-VDS特性曲线的斜率也为零，如左下角图所示。当VDS继续增大，使其大于VDS（sat）时，沟道中的反型电荷为零的点移向源端。这时，电子从源端进入沟道，通过沟道流向漏端。在电荷为零的点处，电子被注入空间电荷区，并被电场扫向漏端。如果假设沟道长度的变化△L相对于初始沟道长度L而言很小，那么VDS>VDS（sat）时漏电流为一常数，如右下角图所示。

**24.衬底加偏置电压会对器件工作造成怎样的影响？**

答： 当在衬底加偏置电压时，氧化层下面的空间电荷区宽度将从初始值XdT开始增加，对于n沟道MOSFET，当有VSB>0时，将会有更多的电荷与此区有关。考虑到MOS电中性的条件，金属栅上的正电荷必须增多，以补偿负空间电荷的增多，从而达到阈值反型点。对于p沟道MOSFET有同样的效果，所以当衬底加偏置电压时，会使MOSFET的阈值电压增加（p沟道为阈值电压绝对值增大）。

**25.什么是MOSFET的亚阈特性？对电路工作有何影响？**

答：①MOSFET的亚阈特性就是指在|VGS|≦VT时，漏源电流ID并不为零，也就是晶体管不能准确进入关断状态。

②如果MOSFET被偏置在等于或稍低于阈值电压时，漏电流并不为零。在含有数以百万计的大规模集成电路中，亚阈值电流可以造成很大的功耗。

**26.为什么通常情况下反型层中载流子的迁移率不是常数？**

答：一是由于迁移率随栅压会发生改变；二是随着载流子接近饱和速度这个极限，有效载流子迁移率将减小。这两个原因导致反型层中的载流子的迁移率不会是常数。

**27.什么是速度饱和现象？它对MOSFET的I-V特性有何影响？**

答：①在增大电场时，载流子的漂移速度不会无限地增大，当电场强度达到一定程度时，载流子的速度会出现饱和，这种现象叫做速度饱和现象。

②由于垂直电场与表面散射的影响，饱和速度会随着所见栅压而减小一些。速度饱和会导致ID(sat)和VDS(sat)的值比理想关系中的小些。ID(sat)大约是VGS的线性函数，而不是理想的平方律关系。



**28.什么是MOSFET的恒定电场(CE)缩小规则？它的应用限制是什么？**

答：①MOSFET的恒定电场（ＣＥ）缩小规则是指器件尺寸和电压等比例地缩小，而电场（水平和垂直）保持不变，让器件内的电场的分布和强度与长沟道MOSFET的相同，减短了沟道长度而又保持了原来的长沟道特性。

　②对于亚阈工作的MOSFET，ＣＥ缩小规则将使电流密度增大ａ倍，而栅电压大于ＶＴ时的总电流却减小ａ倍，导致器件的开关特效变坏，此外，电源电压也不能按ＣＥ规则减小。

　　对亚阈工作的数字电路，不宜采用CE缩小规则。

