

Πανεπιστήμιο Πατρών
Τμήμα Μηχ. Η/Υ & Πληροφορικής

VLSI I

Ακαδημαϊκό Έτος 2019-2020
Αναφορά Εργαστηρίου

Αναστάσιος Χανδρινός – ΑΜ:1047171

Ορέστης Παπανικολάου – ΑΜ: 5870

Περιεχόμενα

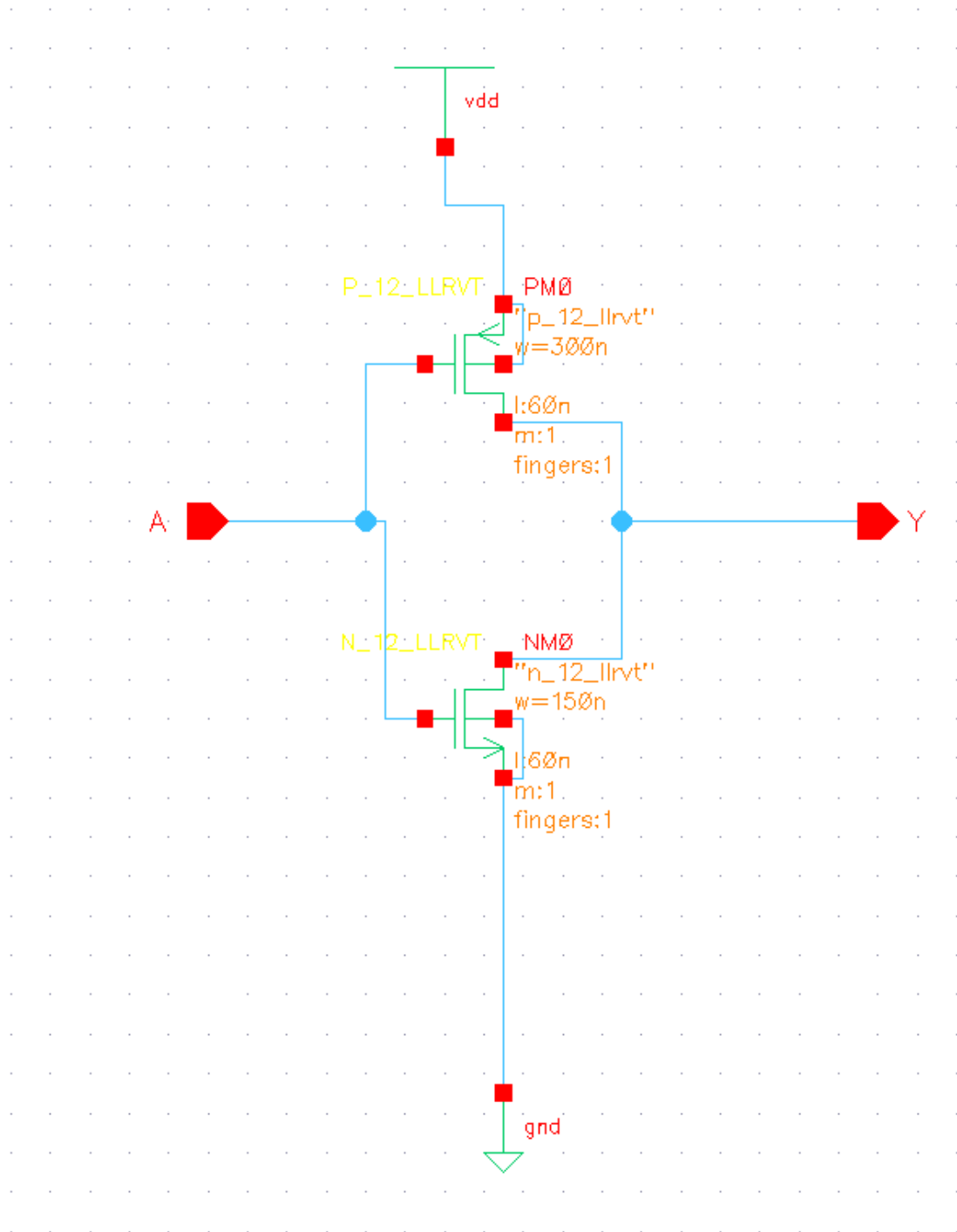
Inverter	4
Schematic.....	4
Transient analysis.....	5
Layout(Άσκηση 4).....	6
Εργασία για το σπίτι	7
Schematic.....	7
Layout(Άσκηση 4 – Εργασία για το σπίτι 1)	8
NAND 2 εισόδων	10
Schematic (Άσκηση 2)	10
Transient analysis.....	11
Καθυστέρηση διάδοσης σήματος(Άσκηση 3 – Εργασία για το σπίτι)	12
Layout(Άσκηση 4 – Εργασία για το σπίτι 2).....	14
NOR 2 εισόδων	15
Schematic(Άσκηση 2)	15
Transient analysis.....	16
Καθυστέρηση διάδοσης σήματος(Άσκηση 3 – Εργασία για το σπίτι)	17
Layout(Άσκηση 4 – Εργασία για το σπίτι 2).....	19
Άσκηση 3	20
Schematic.....	20
Transient analysis.....	22
DC analysis	26
Άσκηση 5	27
Schematic.....	28
Transient analysis.....	30
DC analysis	32
Layout.....	33
Άσκηση 6	34
FULL ADDER	34
Schematic.....	34
Transient Analysis	35
Layout.....	35
Σειριακός Αθροιστή 4 ^{ων} bit	36

Schematic.....	36
Transient analysis.....	37
Layout.....	38
Ερωτήματα.....	38
1. Γιατί προτιμήθηκε η χρήση της κυψέλης QDFFNCSRX1 αντί της QDFFCSRX1 στην διάδοση του κρατουμένου εξόδου?	38
2. Πως θα ήταν επιτρεπτό να χρησιμοποιήσουμε την κυψέλη QDFFCSRX1 στην διάδοση του κρατουμένου εξόδου?	38
3. Το χρονικό διάστημα γύρω από τα 10.3ns γιατί η έξοδος Cout κατέρχεται και ανέρχεται? (Εξαρτάται από τον σχεδιασμό σας αν θα δείτε αυτή τη συμπεριφορά στα 10.3ns)	38
4. Την χρονική στιγμή 15ns στην έξοδο του κυκλώματος βλέπουμε την απόκρισή του για τιμές των εισόδων που δόθηκαν ποιά χρονική στιγμή?	38

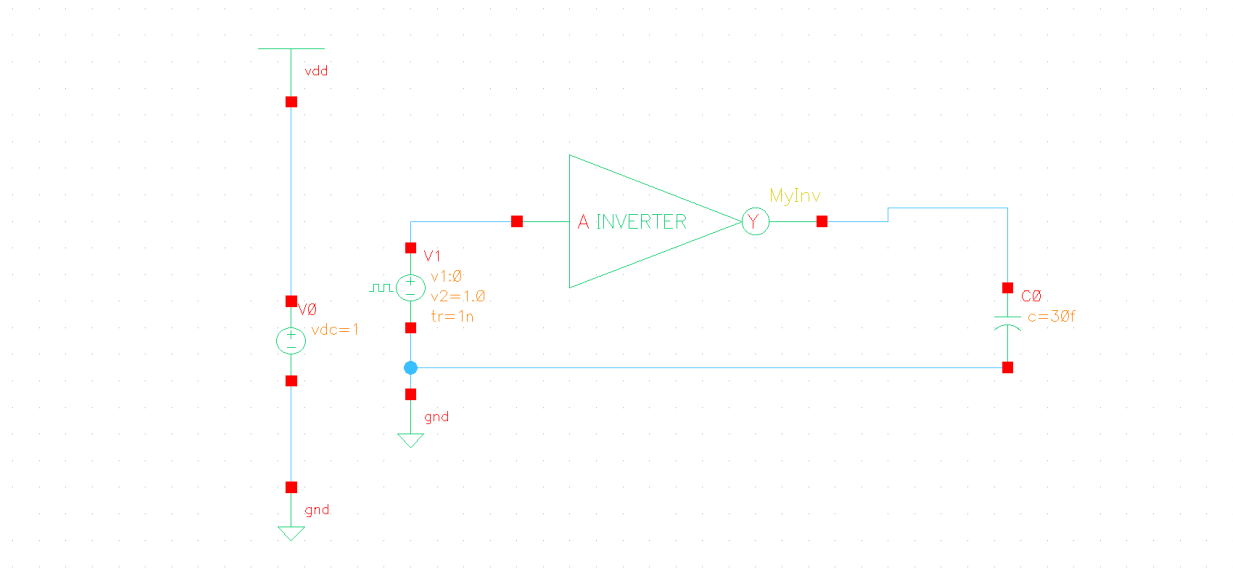
Inverter

Schematic

Με τη βοήθεια του user manual, δημιουργήσαμε έναν inverter με pmos=300nm και nmos=150nm, και μήκος καναλιού και για τα δύο τρανζίστορ 60nm(ελάχιστο δυνατό).

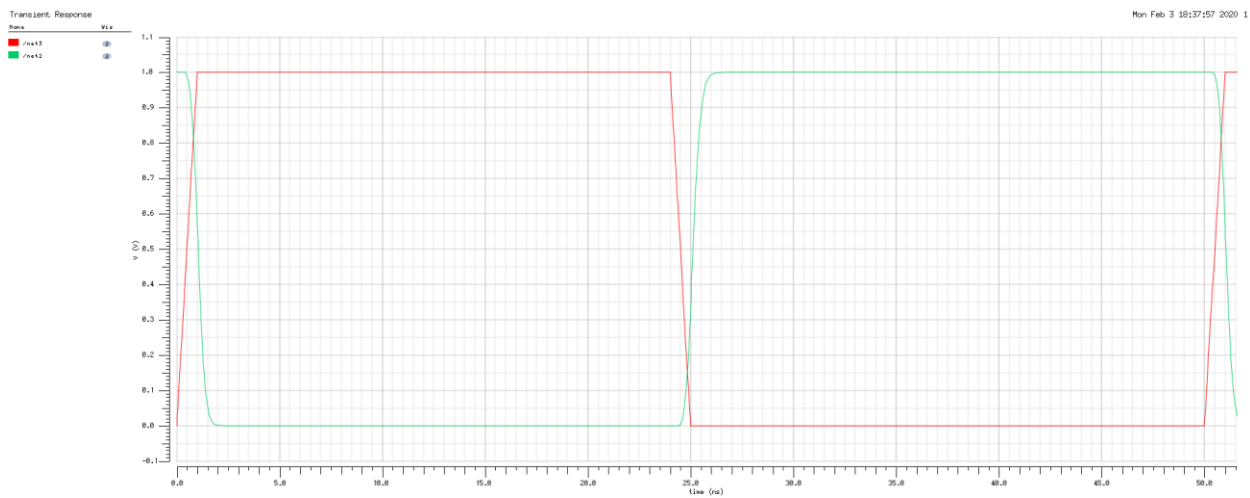


Επίσης δοκιμάσαμε τον inverter με τη βοήθεια αυτού του σχηματικού, τοποθετώντας πυκνωτή 30f F στην έξοδο. Στο npulse που χρησιμοποιήθηκε ως είσοδος του inverter δώσαμε περίοδο 50n s, με pulse width 23n s αντίστοιχα. Τα rise και fall time είναι της τάξης του 1n s.



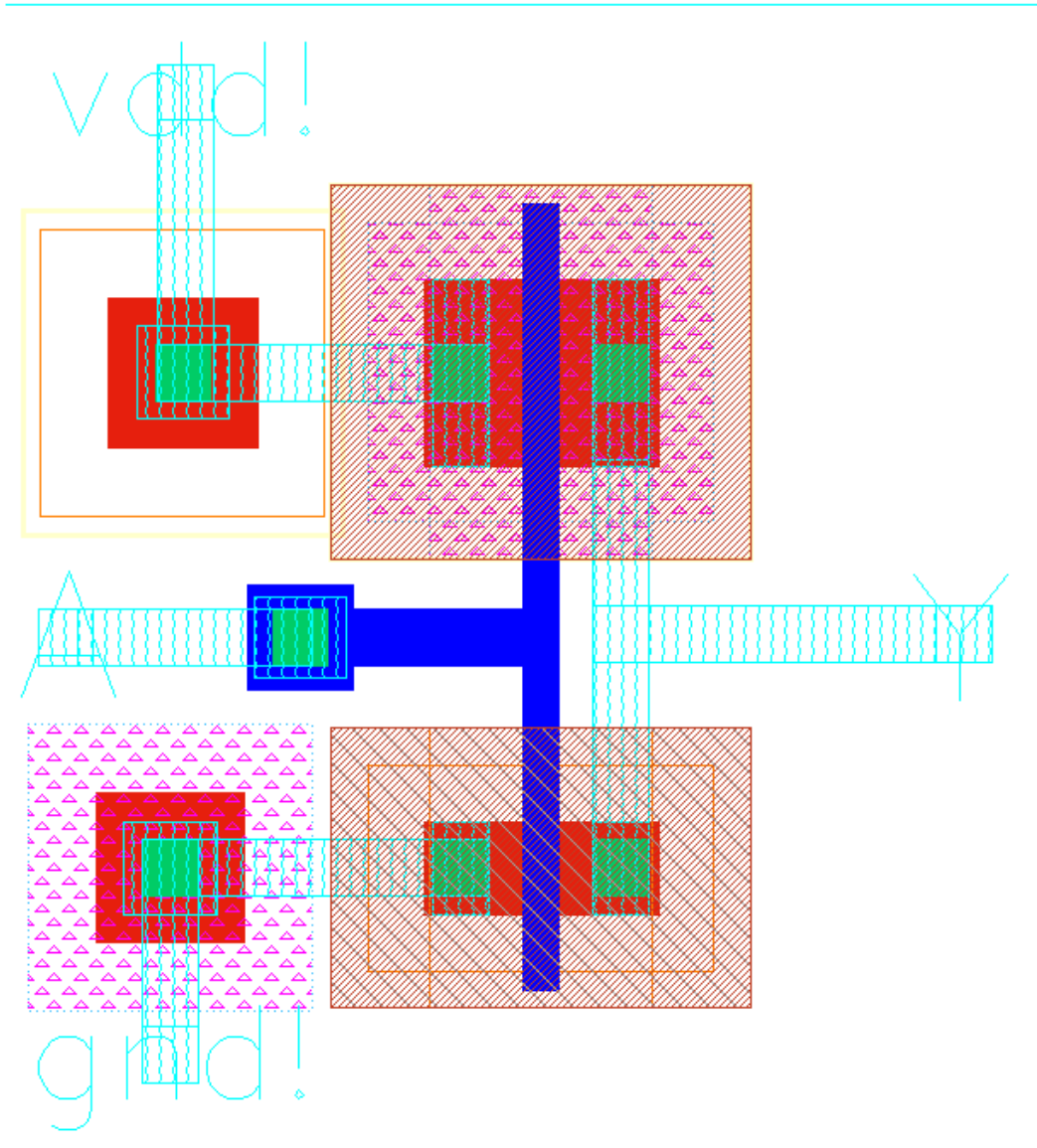
Transient analysis

Μέσω του εργαλείου ADE L, κάναμε transient analysis του σχηματικού και είδαμε πως παίρνουμε τα επιθυμητά αποτελέσματα.



Layout(Άσκηση 4)

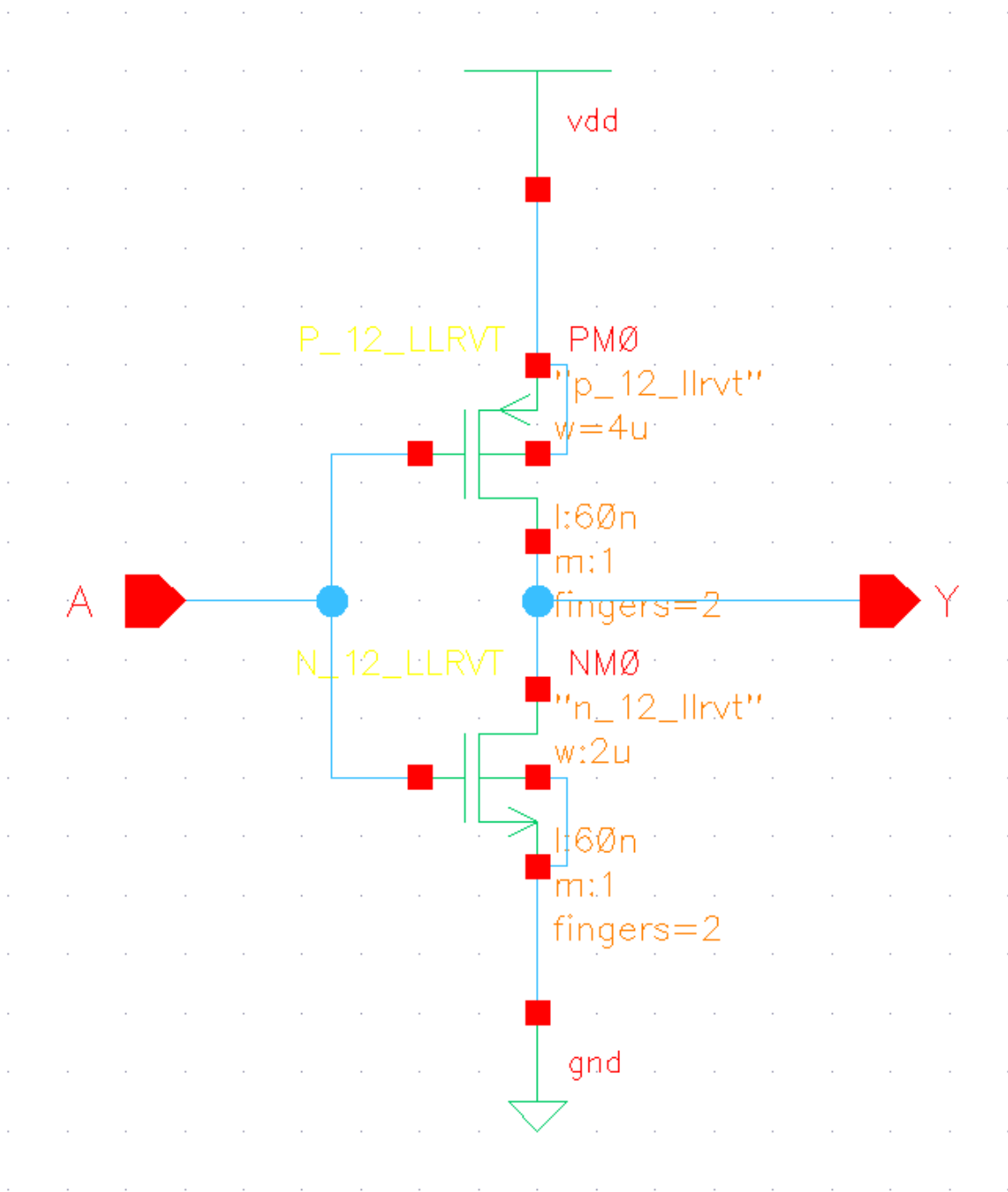
Ακόμη, υλοποιήσαμε το layout του inverter, όπως ζητήθηκε στην 4^η άσκηση. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία LVS(*schematic and layout match*).



Εργασία για το σπίτι

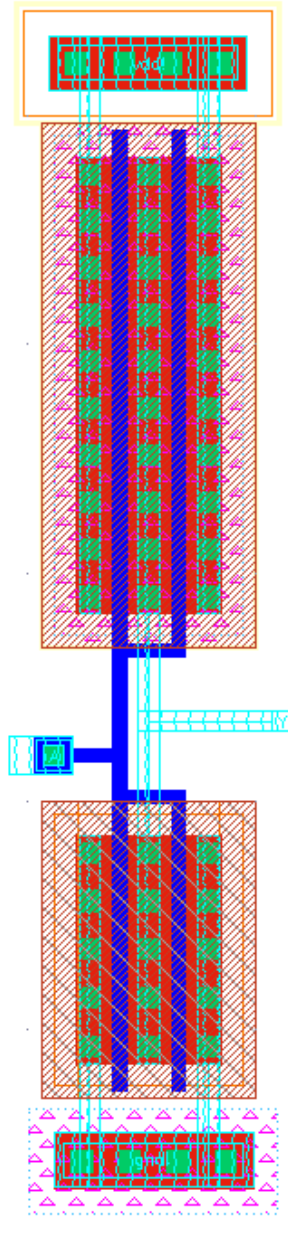
Schematic

Στη συνέχεια, επαναλάβαμε τη διαδικασία σε διαφορετικό cell, με μεγέθη πλάτους καναλιού 4 μm για το pmos και 2 μm για το nmos, και με μήκος καναλιού 60nm(ελάχιστο δυνατό). Τώρα το κάθε transistor σχηματίζεται από 2 fingers.

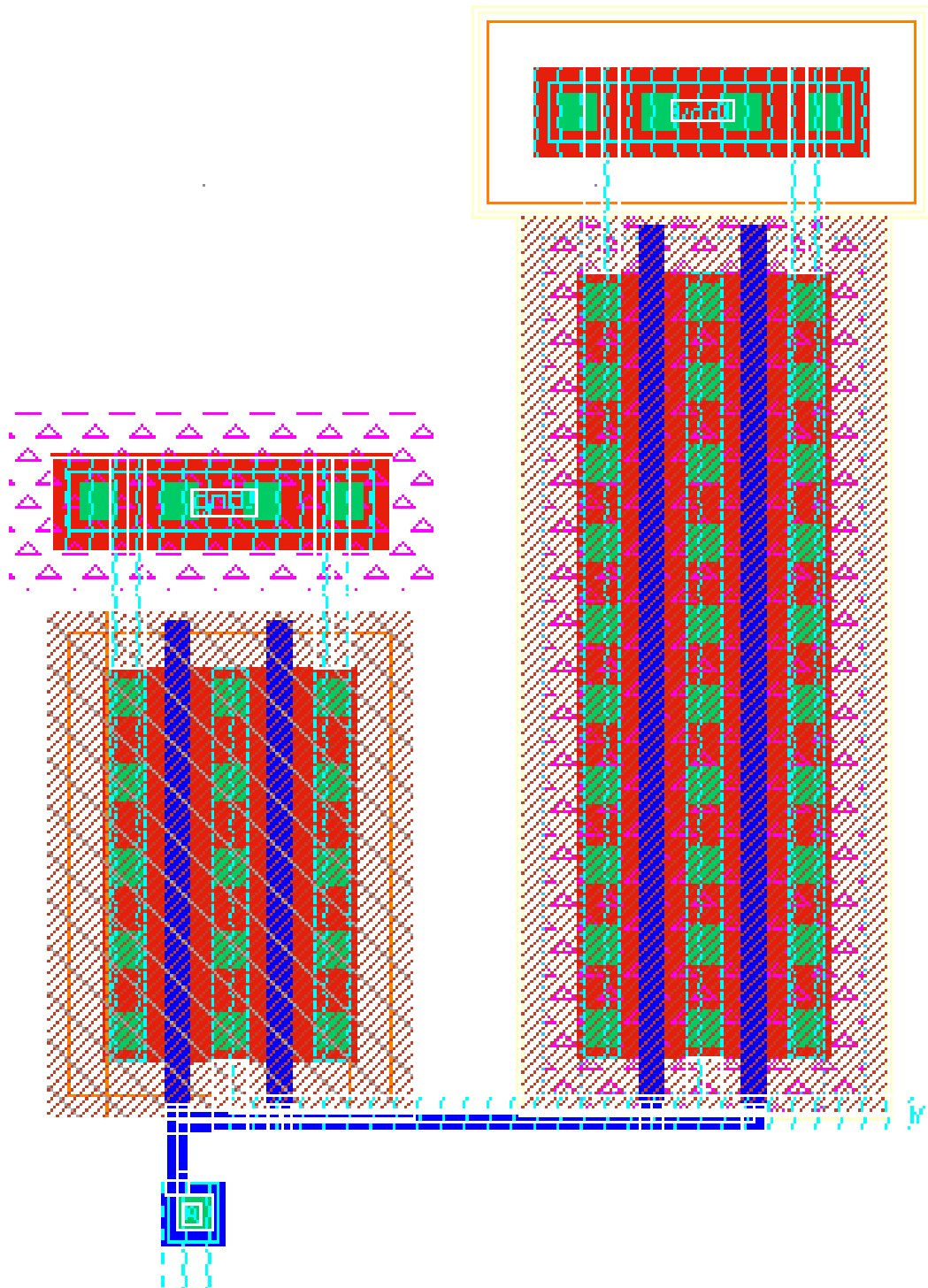


Layout(Άσκηση 4 – Εργασία για το σπίτι 1)

Επίσης, υλοποιήσαμε το layout του inverter με ρητος πλάτους καναλιού 4 μ m και ημος πλάτους καναλιού 2 μ m. Και τα δύο υλοποιούνται μέσω 2 fingers στο σχεδιασμό. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία LVS(*schematic and layout match*).



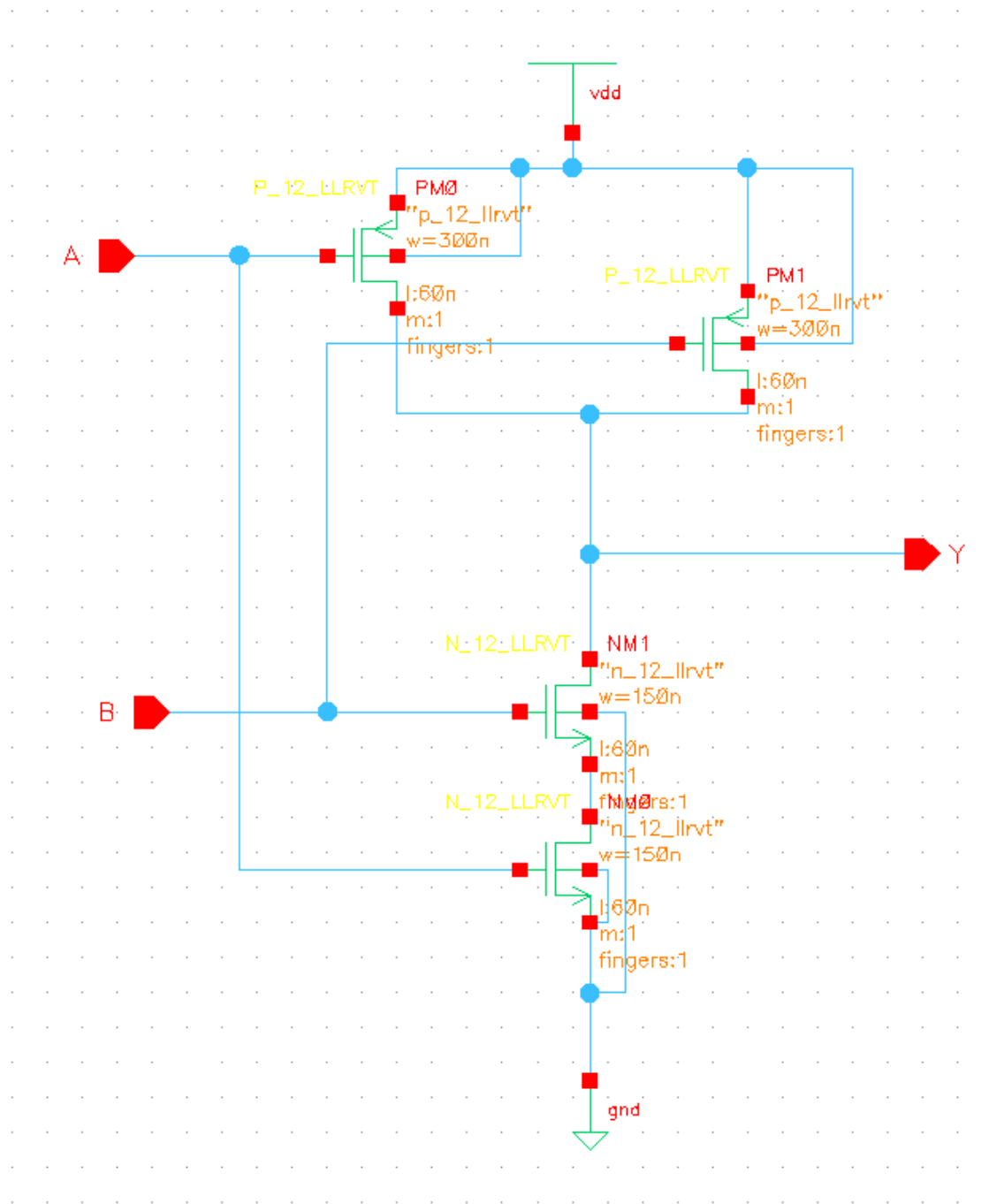
Παρακάτω παραθέτουμε μία εναλλακτική προσέγγιση στο layout του ίδιου ερωτήματος. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία LVS(schematic and layout match), και στη συγκεκριμένη προσέγγιση.



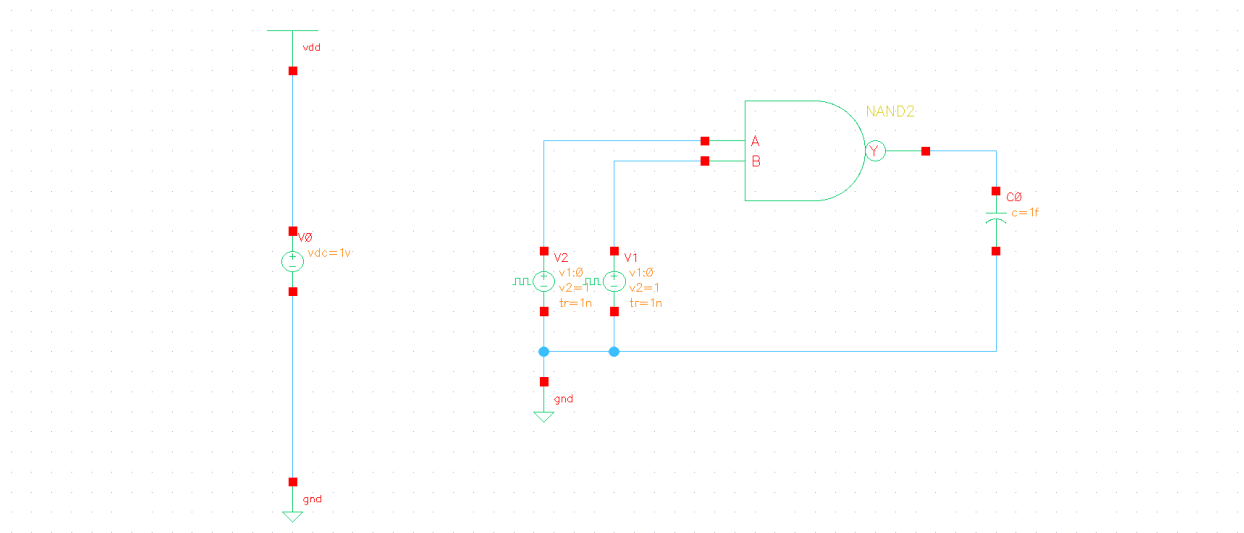
NAND 2 εισόδων

Schematic (Άσκηση 2)

Εδώ σχεδιάστηκε μια πύλη NAND 2 εισόδων, ομοίως με τον τρόπο που δημιουργήθηκε ο αντιστροφέας της πρώτης άσκησης.

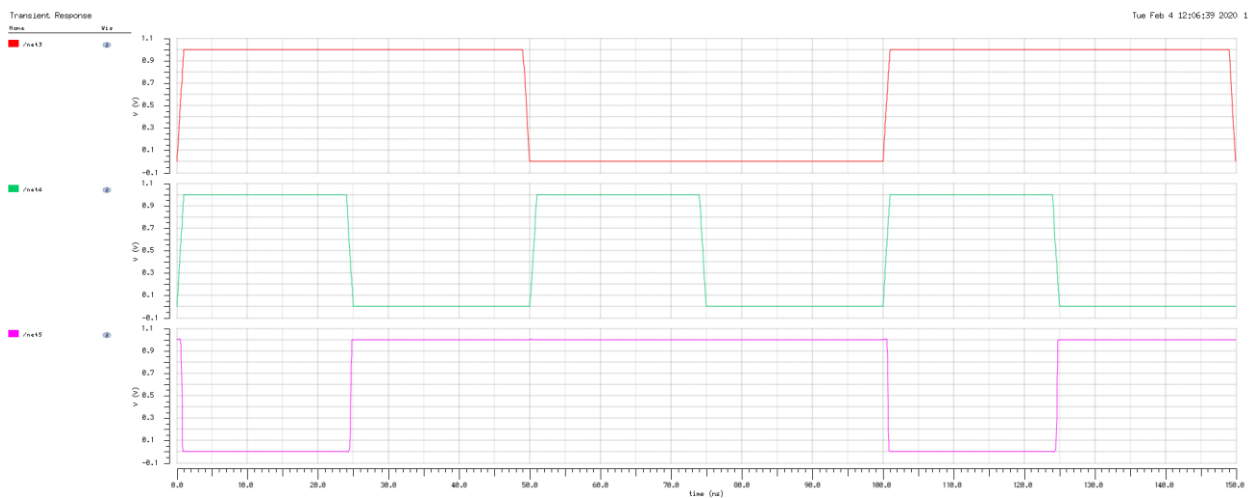


Επίσης δοκιμάσαμε την NAND με τη βοήθεια αυτού του σχηματικού, τοποθετώντας πυκνωτή 1f F στην έξοδο. Στα vpulse που χρησιμοποιήθηκαν ως είσοδοι της NAND δώσαμε περιόδους 100n s και 50n s σε κάθε μία, με pulse width 48n s και 23n s αντίστοιχα. Τα rise και fall time είναι της τάξης του 1n s.



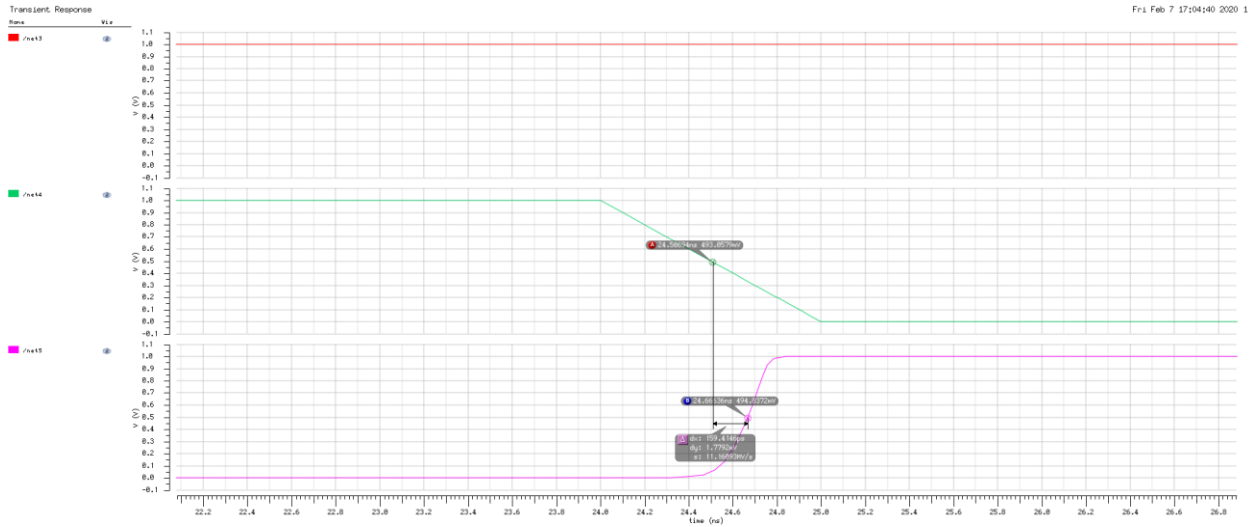
Transient analysis

Μέσω του εργαλείου ADE L, κάναμε transient analysis του σχηματικού και είδαμε πως παίρνουμε τα επιθυμητά αποτελέσματα.

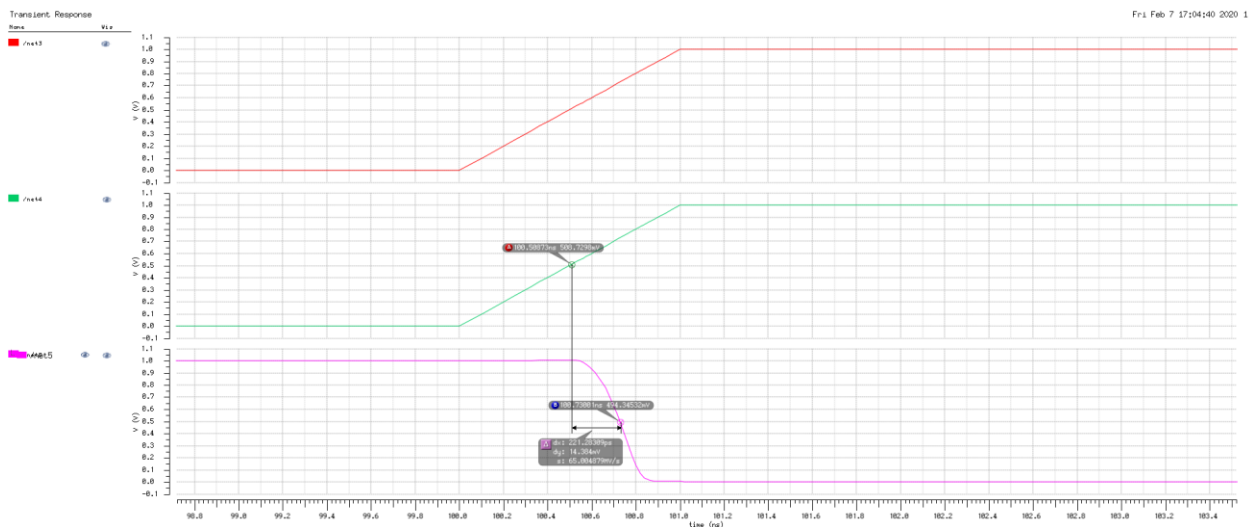


Καθυστέρηση διάδοσης σήματος(Άσκηση 3 – Εργασία για το σπίτι)

Για την περίπτωση καθυστέρησης διάδοσης σήματος από 0 σε 1 σε μία πύλη, δηλαδή ο χρόνος που απαιτείται για να μεταδοθεί μία αλλαγή τιμών από το σήμα εισόδου στο σήμα εξόδου, ο χρόνος είναι ίσος με: $t_{rLH}=24.66636 - 24.50694 = 0.15942 \text{ n s.}$ (Όταν εξαρτάται από την είσοδο B)

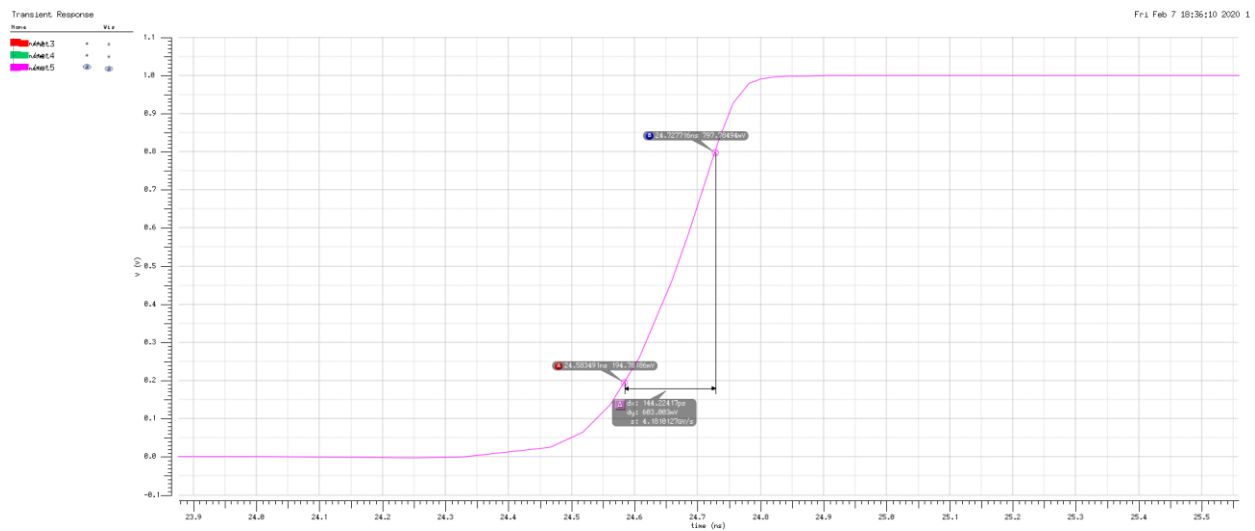


Για την περίπτωση καθυστέρησης διάδοσης σήματος από 1 σε 0 σε μία πύλη ο χρόνος είναι ίσος με: $t_{rHL}= 100.73001 - 100.50873 = 0.22128 \text{ n s.}$ (Εξαρτάται και από τις δύο εισόδους)

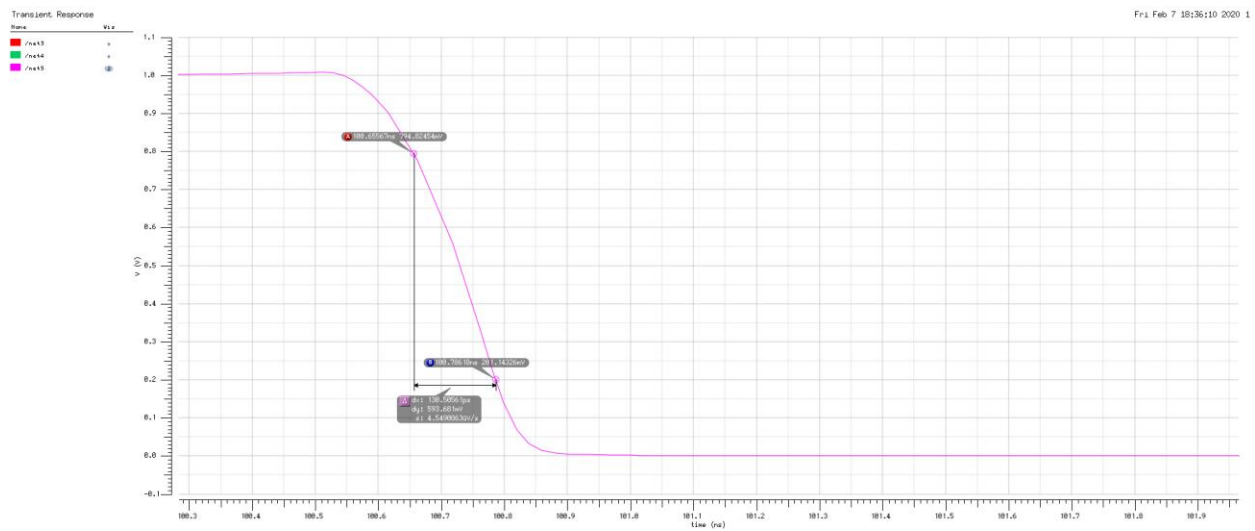


Οι χρόνοι ανόδου και καθόδου αντίστοιχα, υπολογίστηκαν όπως φαίνεται στις παρακάτω εικόνες, και είναι οι εξής:

$$t_R = 0.14321 \text{ ns}$$

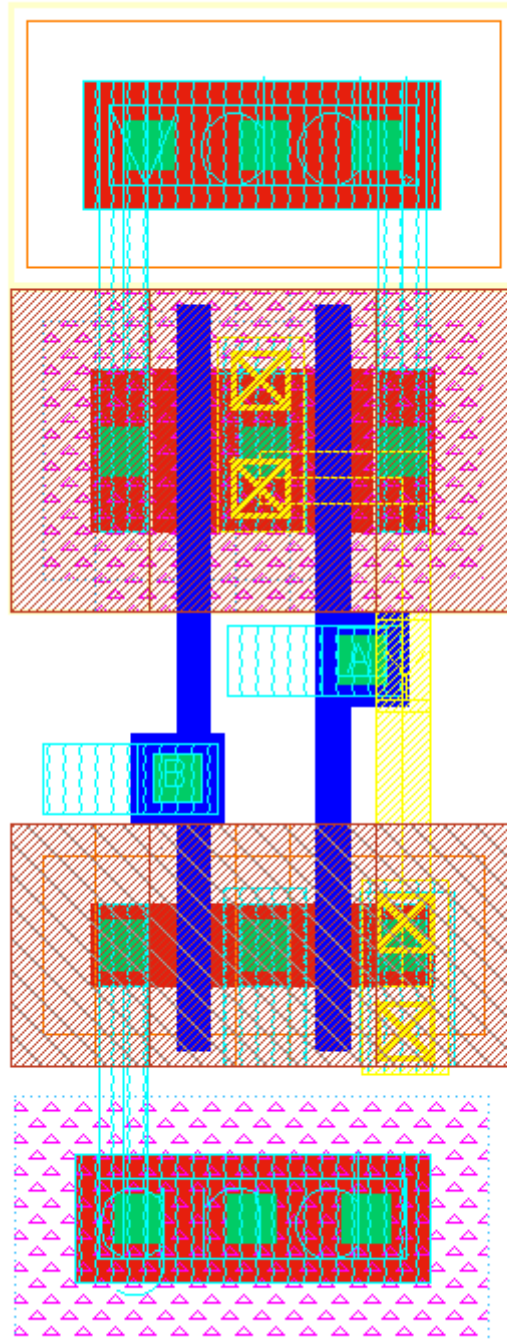


$$t_L = 0.131677 \text{ ns}$$



Layout(Άσκηση 4 – Εργασία για το σπίτι 2)

Ακόμη, υλοποιήσαμε το layout της NAND, όπως ζητήθηκε στην 2^η εργασία για το σπίτι της 4^{ης} άσκησης. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία

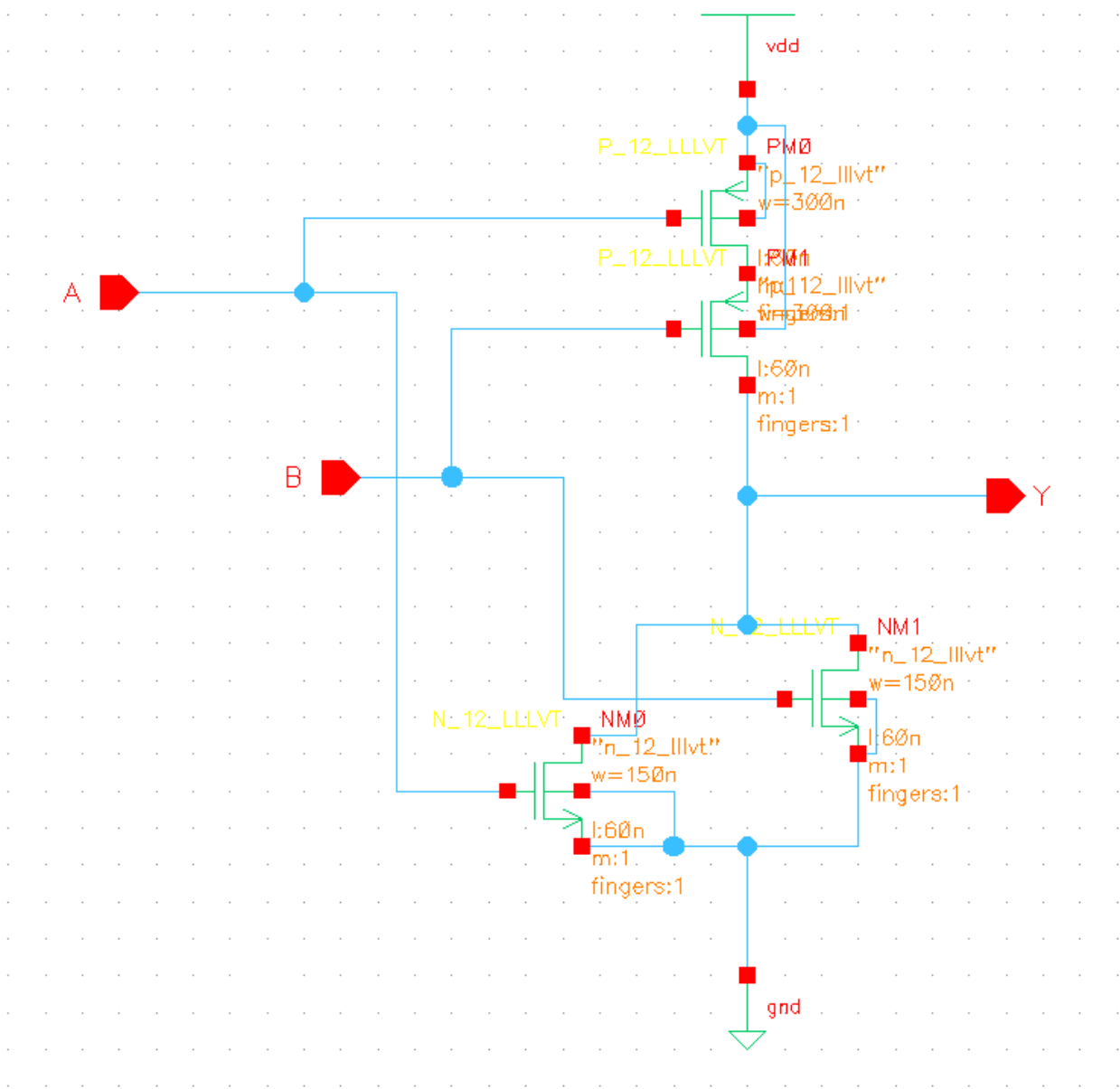


LVS(schematic and layout match).

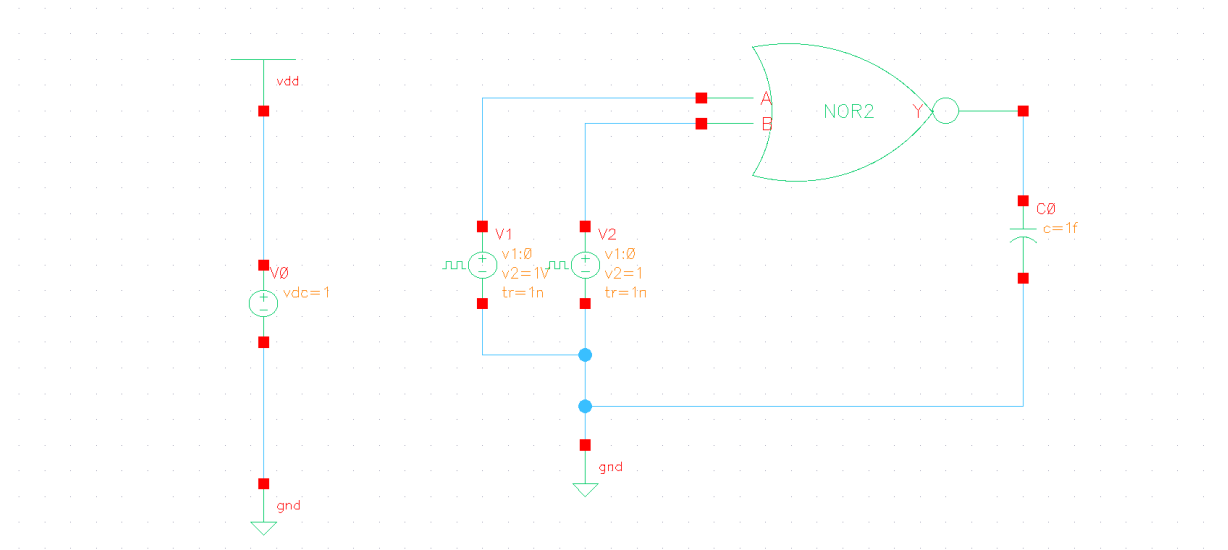
NOR 2 εισόδων

Schematic (Άσκηση 2)

Ομοίως, σχεδιάστηκε μια πύλη NOR 2 εισόδων.



Επίσης δοκιμάσαμε την NOR με τη βοήθεια αυτού του σχηματικού, τοποθετώντας πυκνωτή 1f F στην έξοδο. Στα nrpulse που χρησιμοποιήθηκαν ως είσοδοι της NOR δώσαμε περιόδους 100n s και 50n s σε κάθε μία, με pulse width 48n s και 23n s αντίστοιχα. Τα rise και fall time είναι της τάξης του 1n s.



Transient analysis

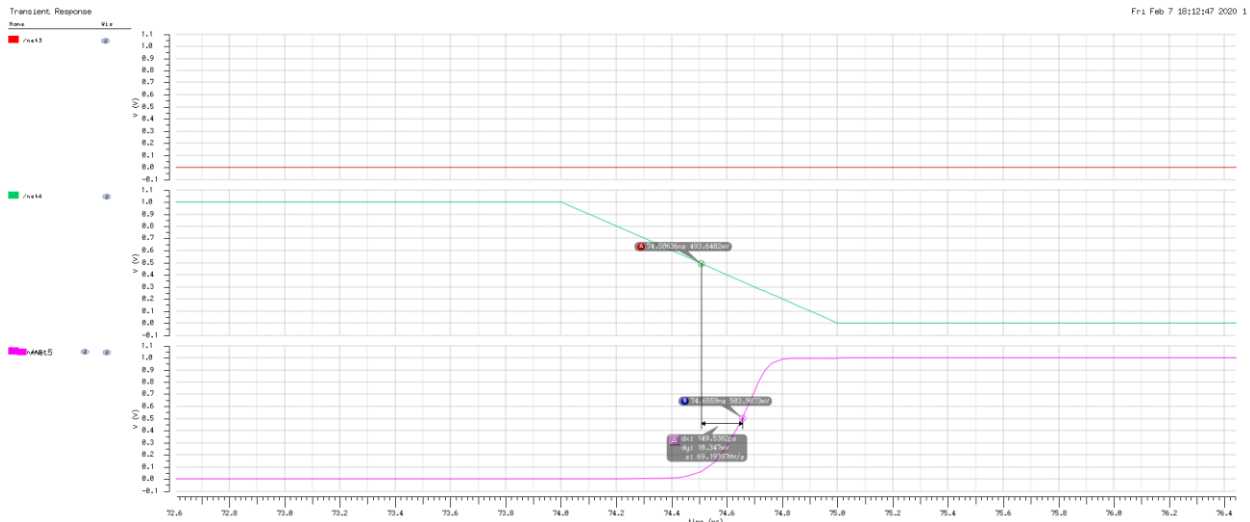
Μέσω του εργαλείου ADE L, κάναμε transient analysis του σχηματικού και είδαμε πως παίρνουμε τα επιθυμητά αποτελέσματα.



Καθυστέρηση διάδοσης σήματος(Άσκηση 3 – Εργασία για το σπίτι)

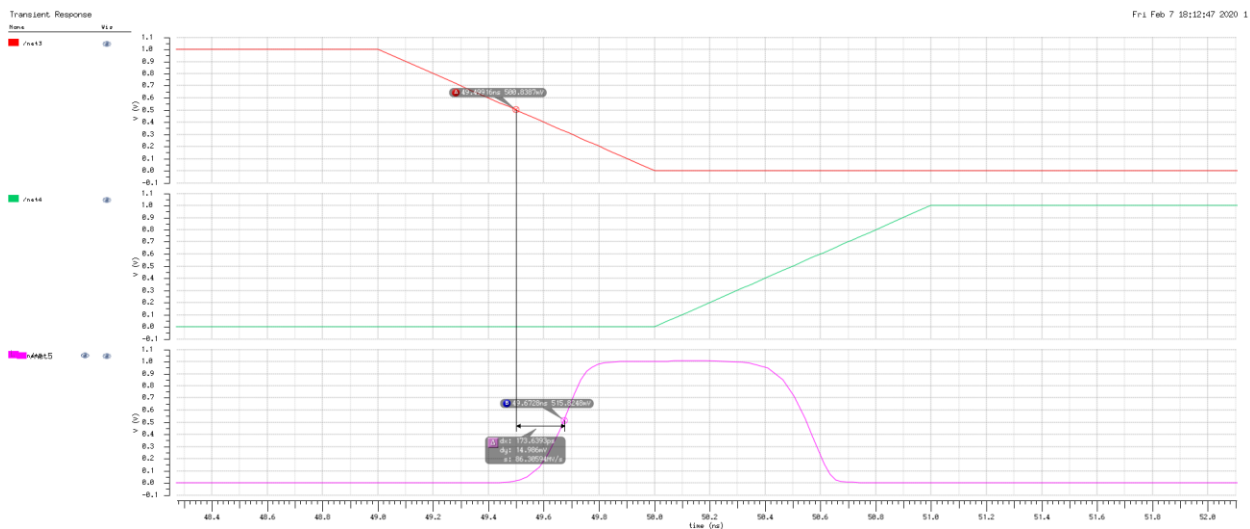
Για την περίπτωση καθυστέρησης διάδοσης σήματος από 0 σε 1 στην πύλη NOR, ο χρόνος είναι:

$$t_{pLH} = 0.14954 \text{ n s. (Όταν εξαρτάται από την είσοδο B)}$$



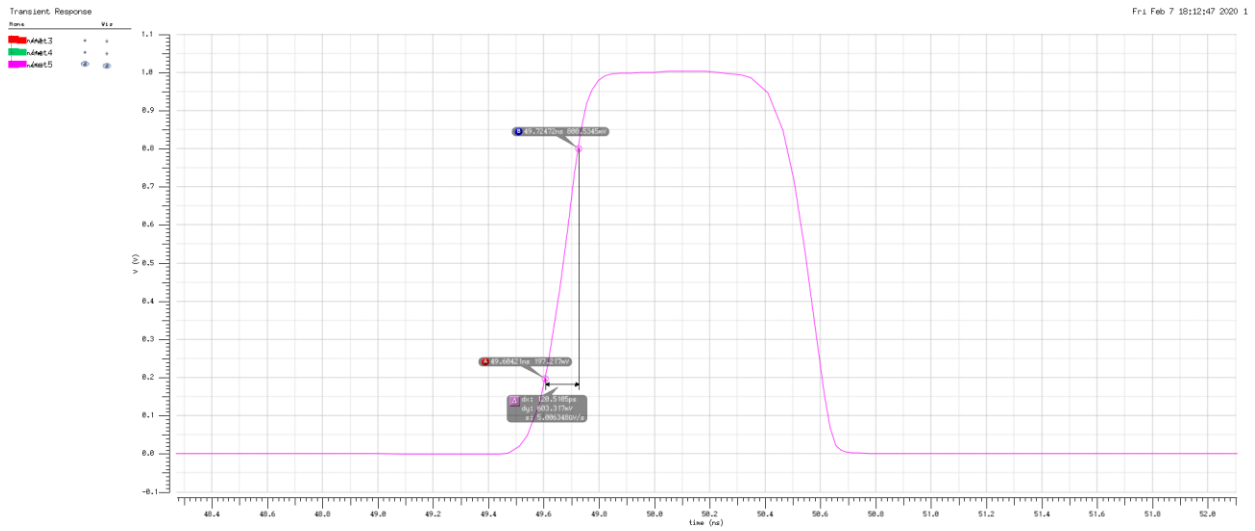
Για την περίπτωση καθυστέρησης διάδοσης σήματος από 1 σε 0 στην πύλη NOR, ο χρόνος είναι:

$$t_{pHL} = 0.17364 \text{ n s. (Όταν εξαρτάται από την είσοδο A)}$$

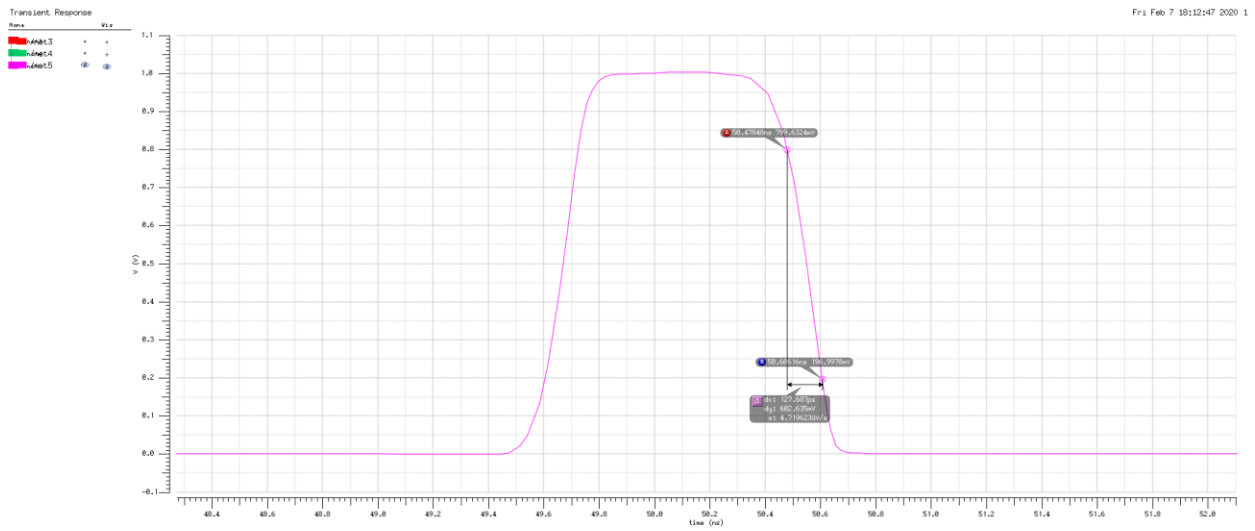


Οι χρόνοι ανόδου και καθόδου αντίστοιχα, υπολογίστηκαν όπως φαίνεται στις παρακάτω εικόνες, και είναι οι εξής:

$$\underline{t_R = 0.12051 \text{ ns}}$$

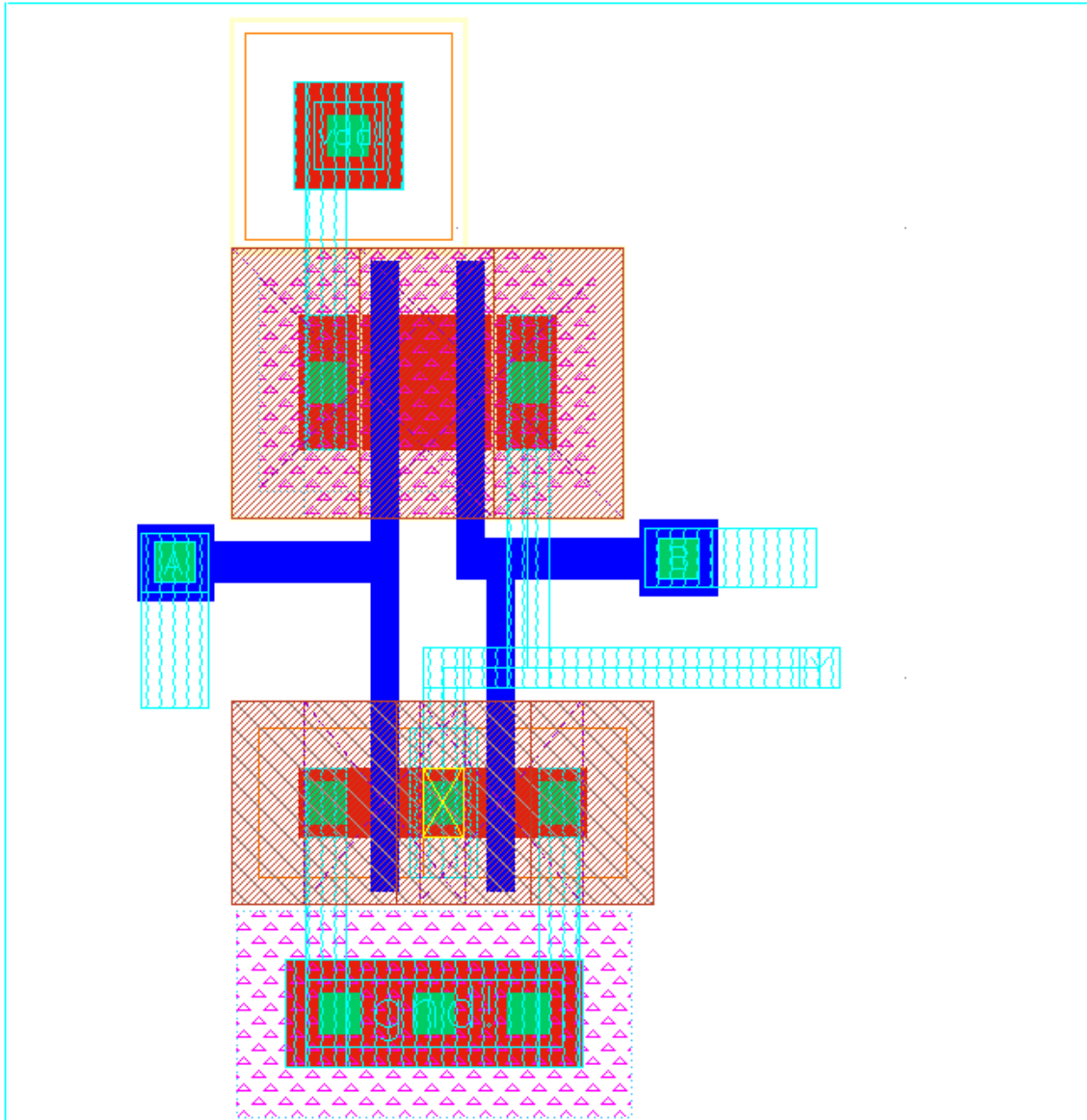


$$\underline{t_L = 0.12752 \text{ ns}}$$



Layout(Άσκηση 4 – Εργασία για το σπίτι 2)

Ακόμη, υλοποιήσαμε το layout της NOR. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία LVS(schematic and layout match).

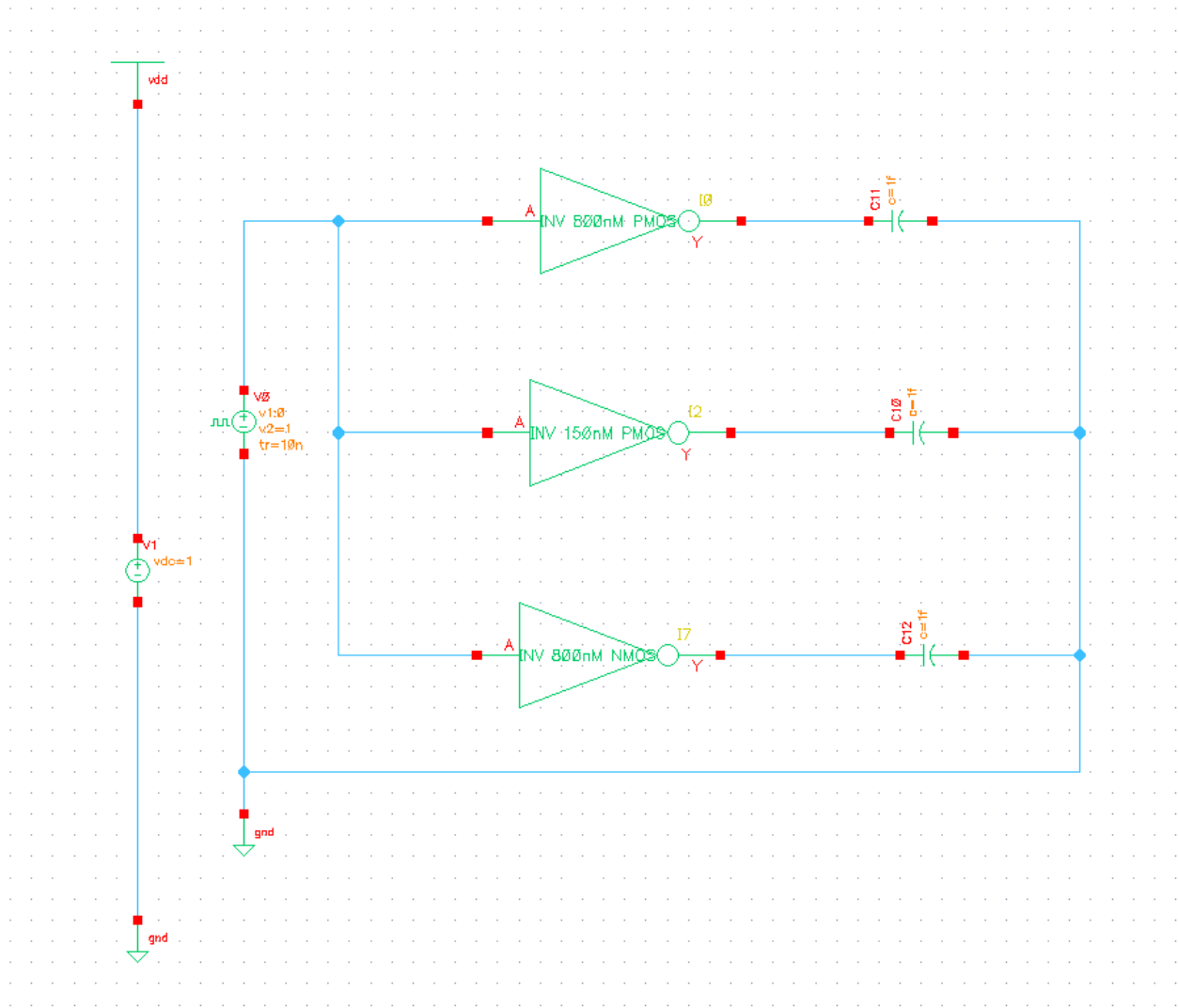


Άσκηση 3

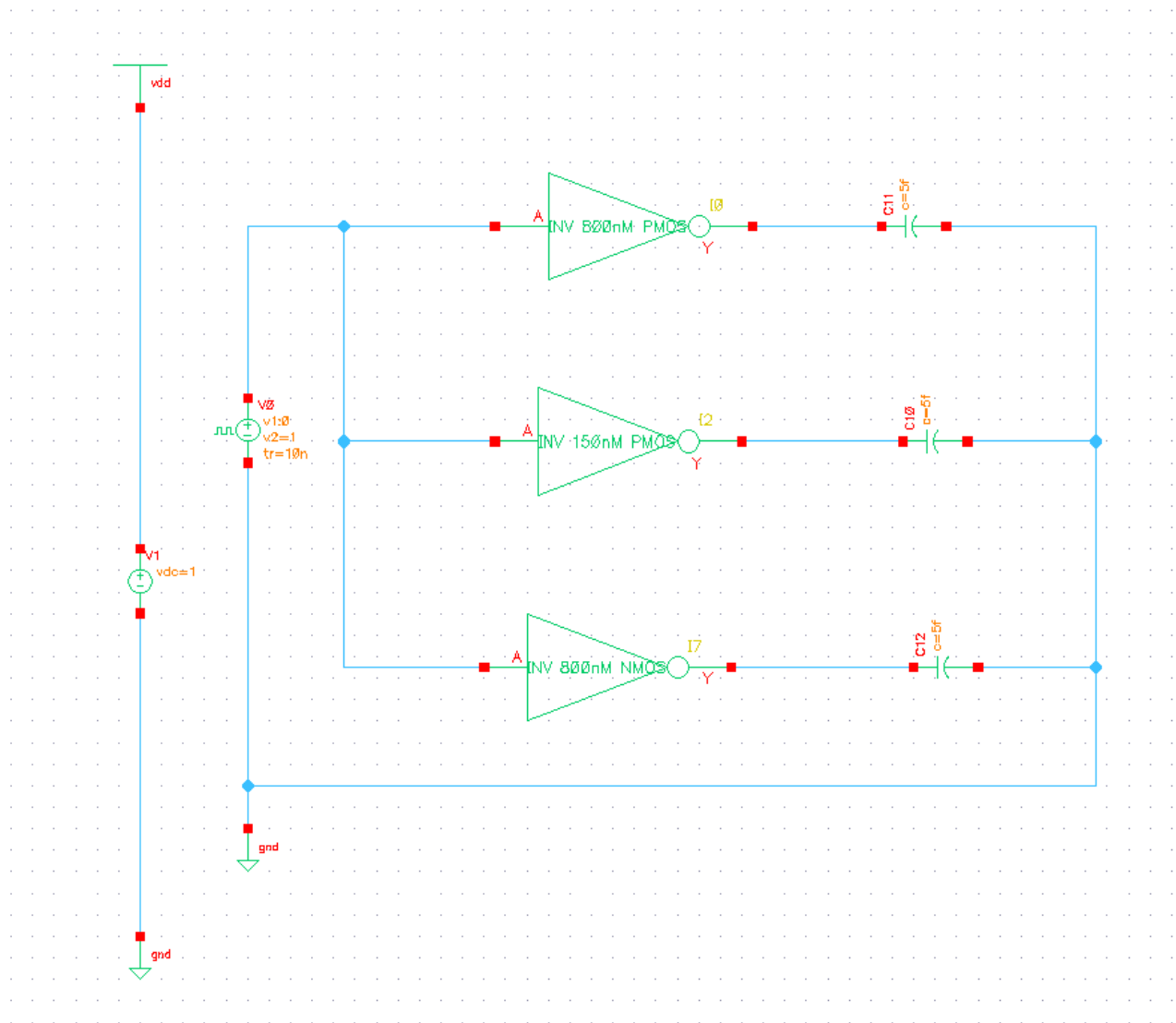
Schematic

Στην παρούσα άσκηση, υλοποιούμε το σχηματικό με τους 3 inverters, όπως ζητήθηκε, με πυκνωτές 1f F και 5f F στην έξοδο, αντίστοιχα. Οι χρόνοι του vpulse είναι αυτοί που ζητήθηκαν.

1f F



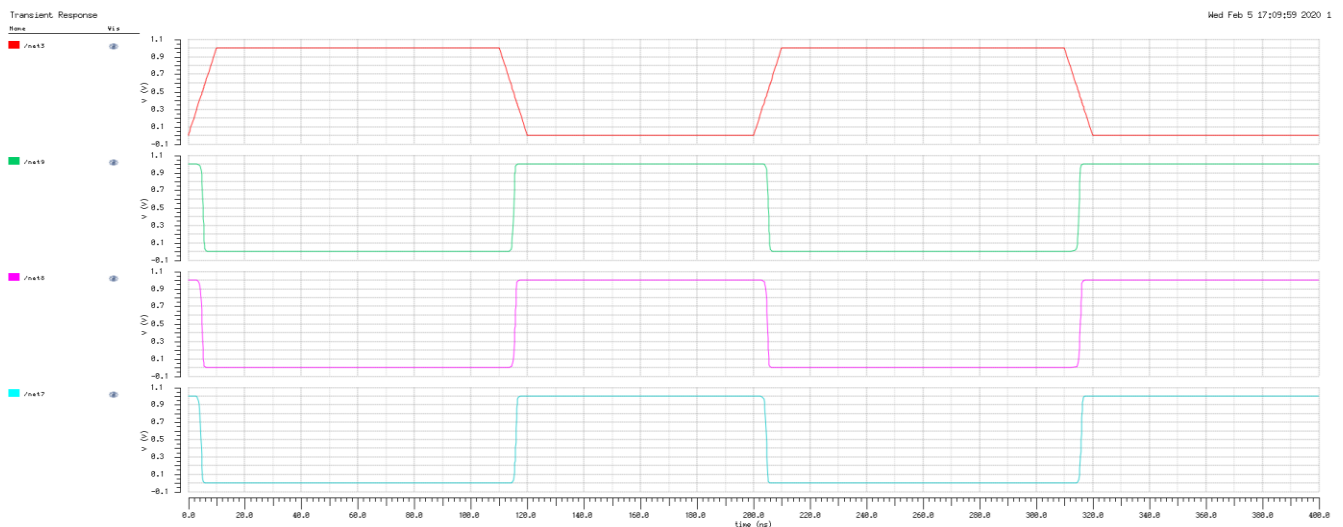
5fF



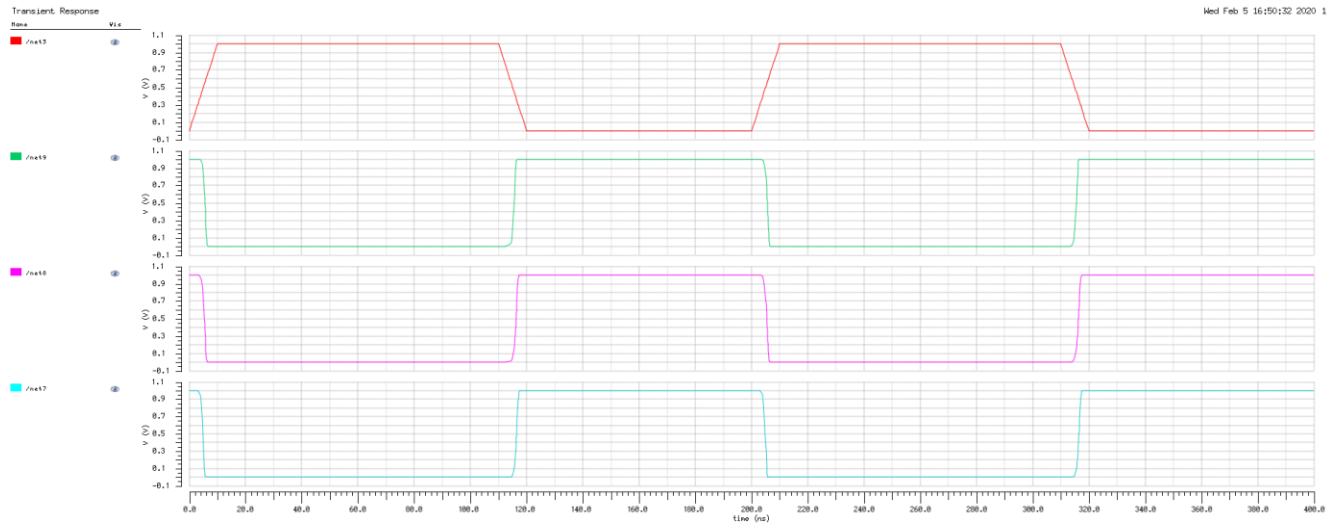
Transient analysis

Μέσω του εργαλείου ADE L, κάναμε transient analysis του σχηματικού για πυκνωτή 1f F και 5f F στην έξοδο αντίστοιχα και είδαμε πως παίρνουμε τα επιθυμητά αποτελέσματα. Πιο συγκεκριμένα, παρατηρήσαμε ότι η κυματομορφή που ανεβαίνει πρώτη αντιστοιχεί στον πυκνωτή που οδηγείται από τον αντιστροφέα με το πλατύτερο PMOS transistor(πράσινο – net 9). Η κυματομορφή η οποία κατεβαίνει πιο γρήγορα είναι αυτή η οποία οδηγείται από τον αντιστροφέα με το πλατύτερο NMOS transistor(γαλάζιο – net 7), καθώς άγει καλύτερα το 0. Επίσης, παρατηρούμε ότι αυτή που ανεβαίνει πρώτη είναι και αυτή που κατεβαίνει τελευταία, πράγμα λογικό, καθώς έχει μικρότερου πλάτους NMOS transistor. Όλα αυτά μπορούν να επιβεβαιωθούν και από τον τύπο της αντίστασης $R = \rho * (\frac{l}{t * W})$. Τέλος, παρατηρούμε πως σε κάθε περίπτωση, οι πυκνωτές των 5f F απαιτούν αισθητά περισσότερο χρόνο για τη φόρτιση και την εκφόρτισή τους. Παραθέτουμε τις εικόνες για την transient analysis των δύο κυκλωμάτων(1f F και 5f F).

1f F

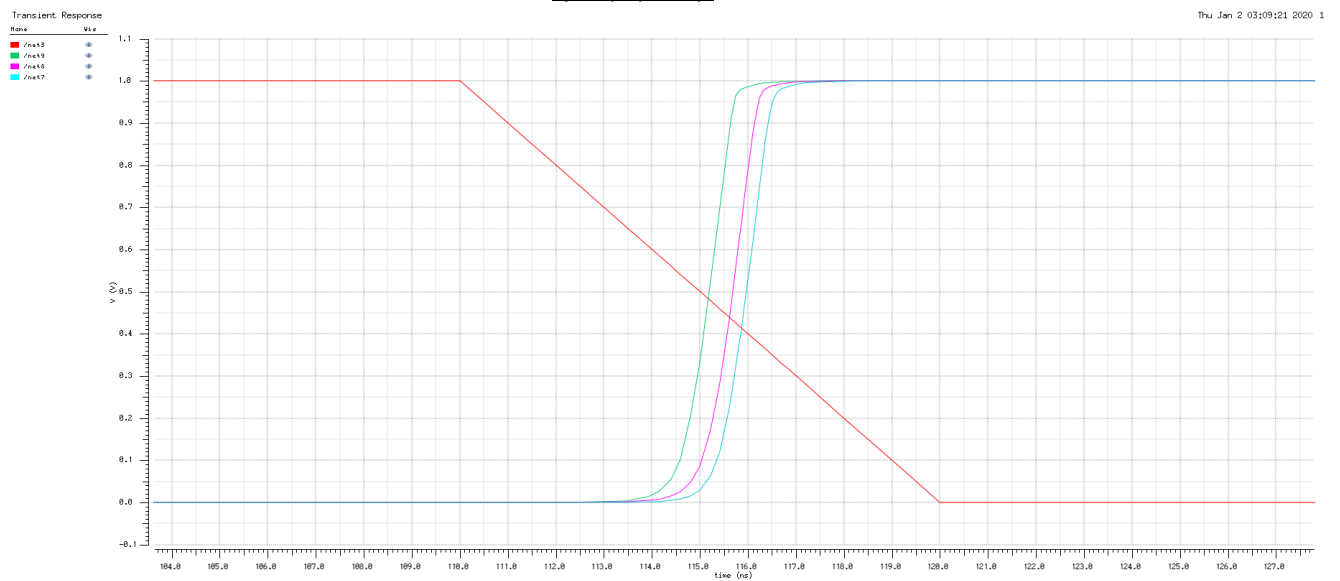


5fF

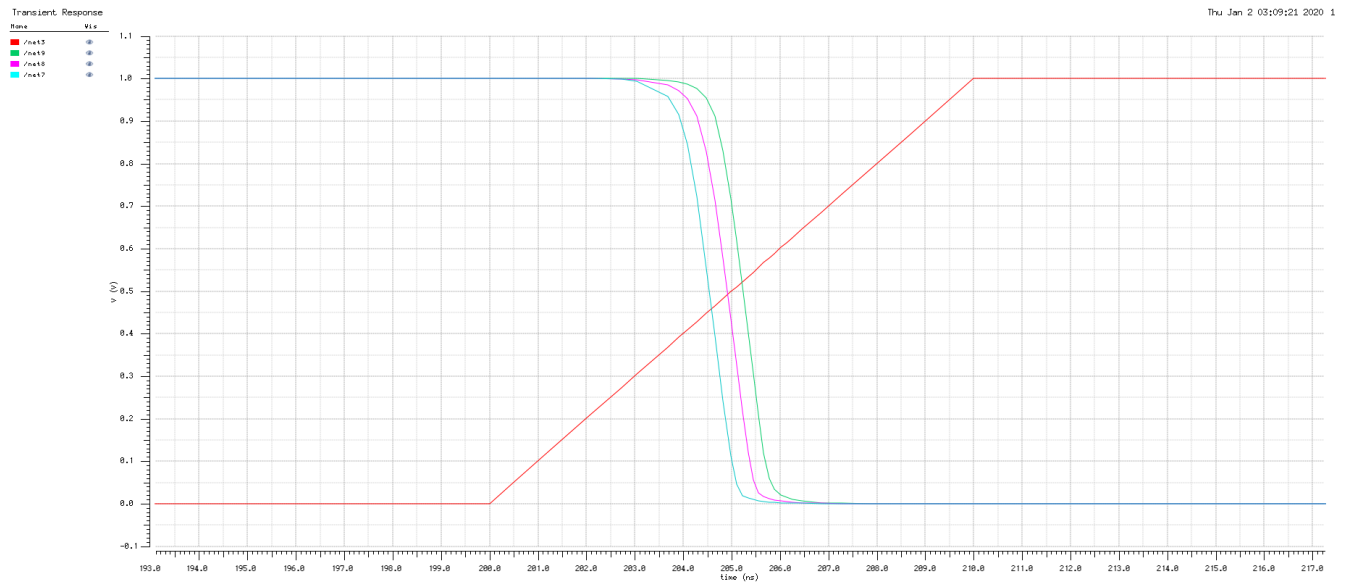


Επίσης, παραθέτουμε σε combined μορφή τις φορτίσεις και εκφορτίσεις αντίστοιχα.

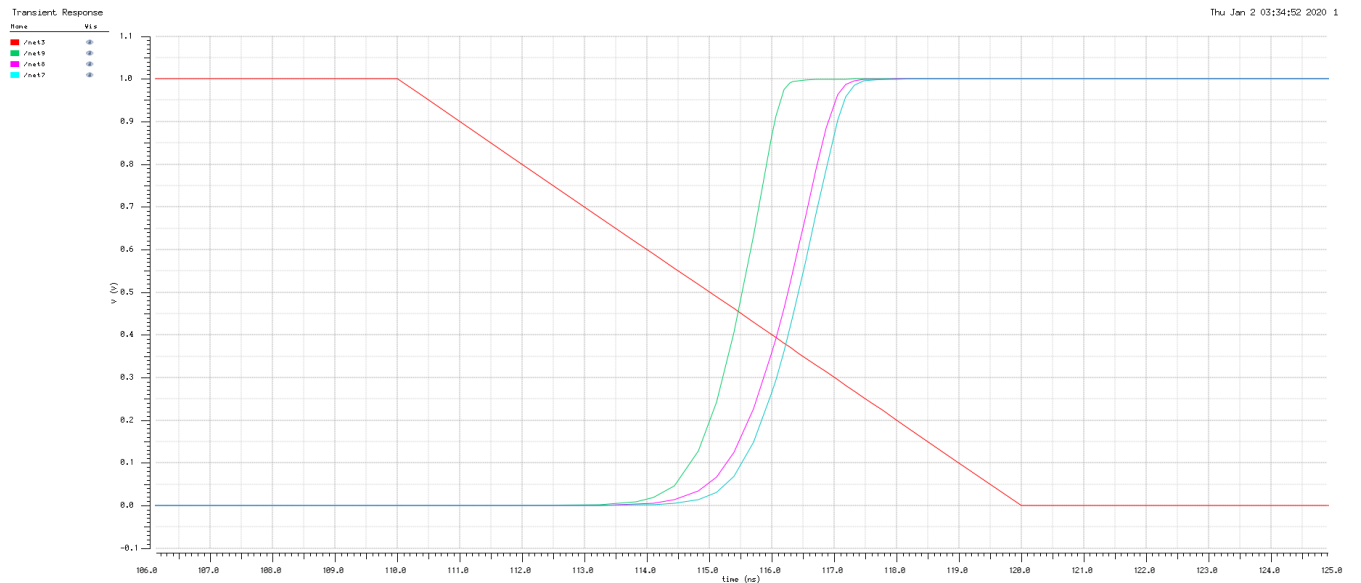
1fF(φόρτιση)



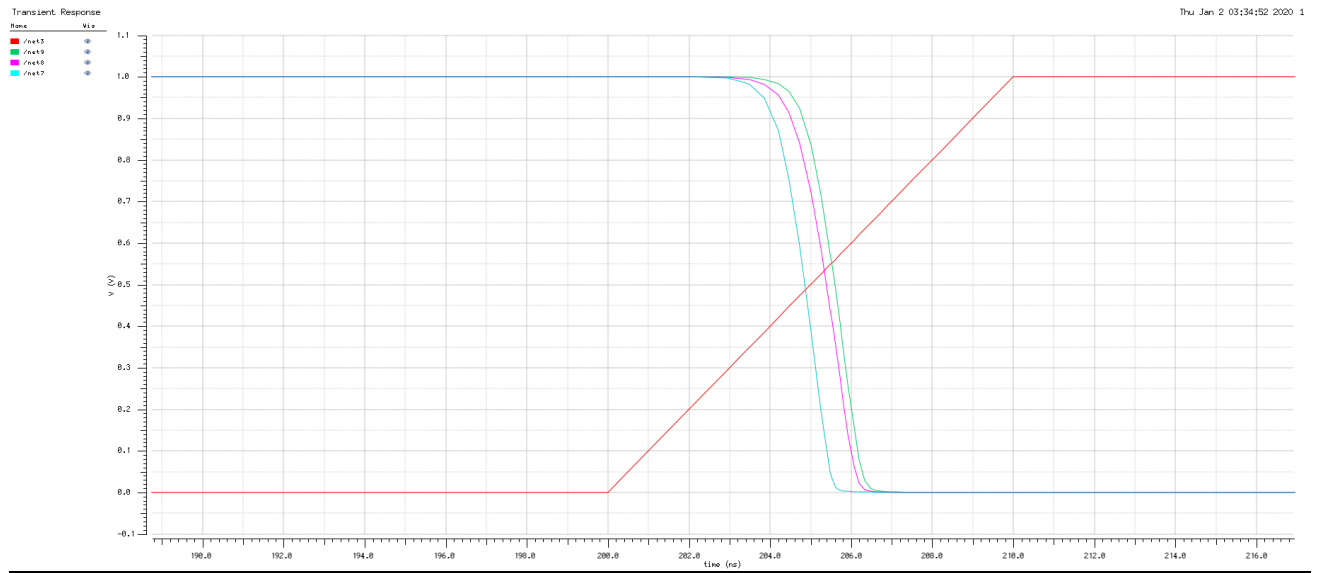
1f F(εκφόρτιση)



5f F(φόρτιση)



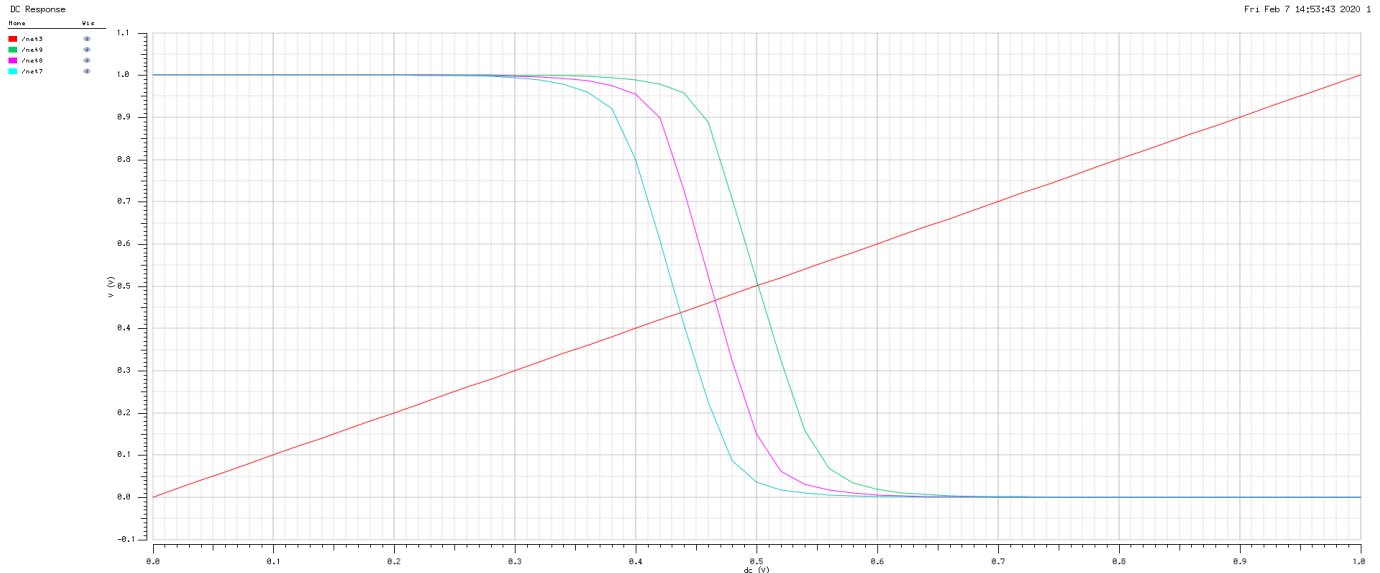
5f F(εκφόρτιση)



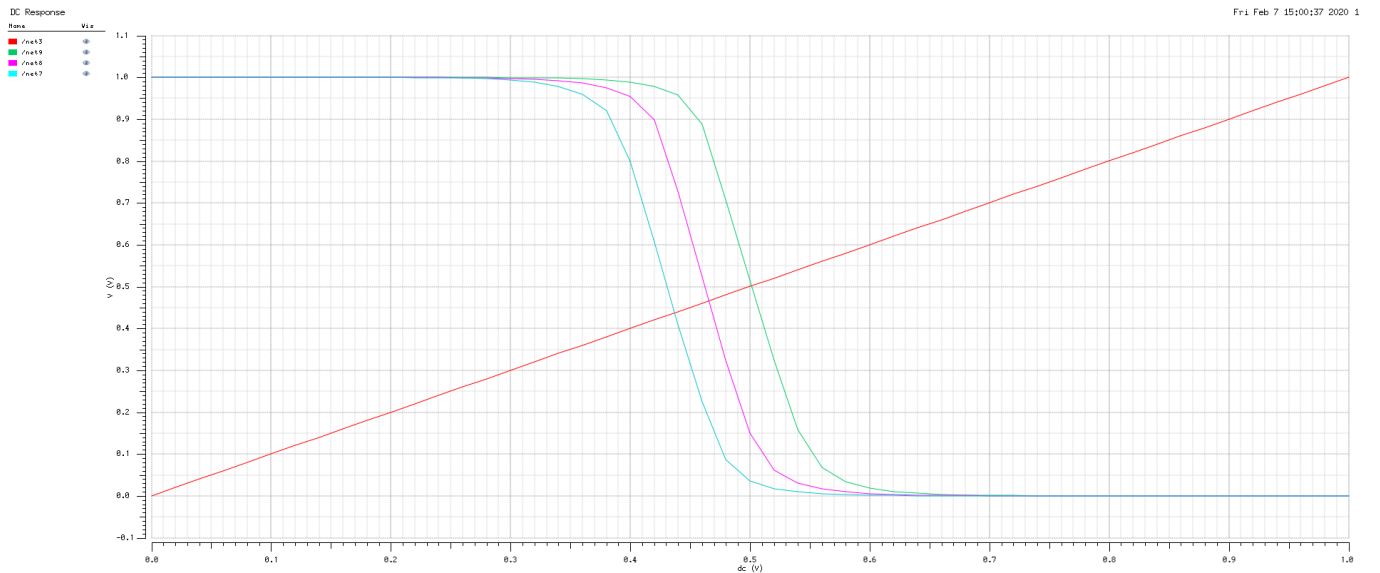
DC analysis

Μέσω του εργαλείου ADE L, κάναμε και DC analysis του σχηματικού για πυκνωτή 1f F και 5f F στην έξοδο αντίστοιχα και είδαμε πως παίρνουμε τα επιθυμητά αποτελέσματα. Παρατηρούμε με αυτό τον τρόπο επίσης τι συμβαίνει κατά τη φόρτιση του πυκνωτή. Όσα αναφέραμε προηγουμένως επιβεβαιώνονται και από τη DC analysis.

1f F



5f F



Άσκηση 5

Ο πίνακας αληθείας της συνάρτησης

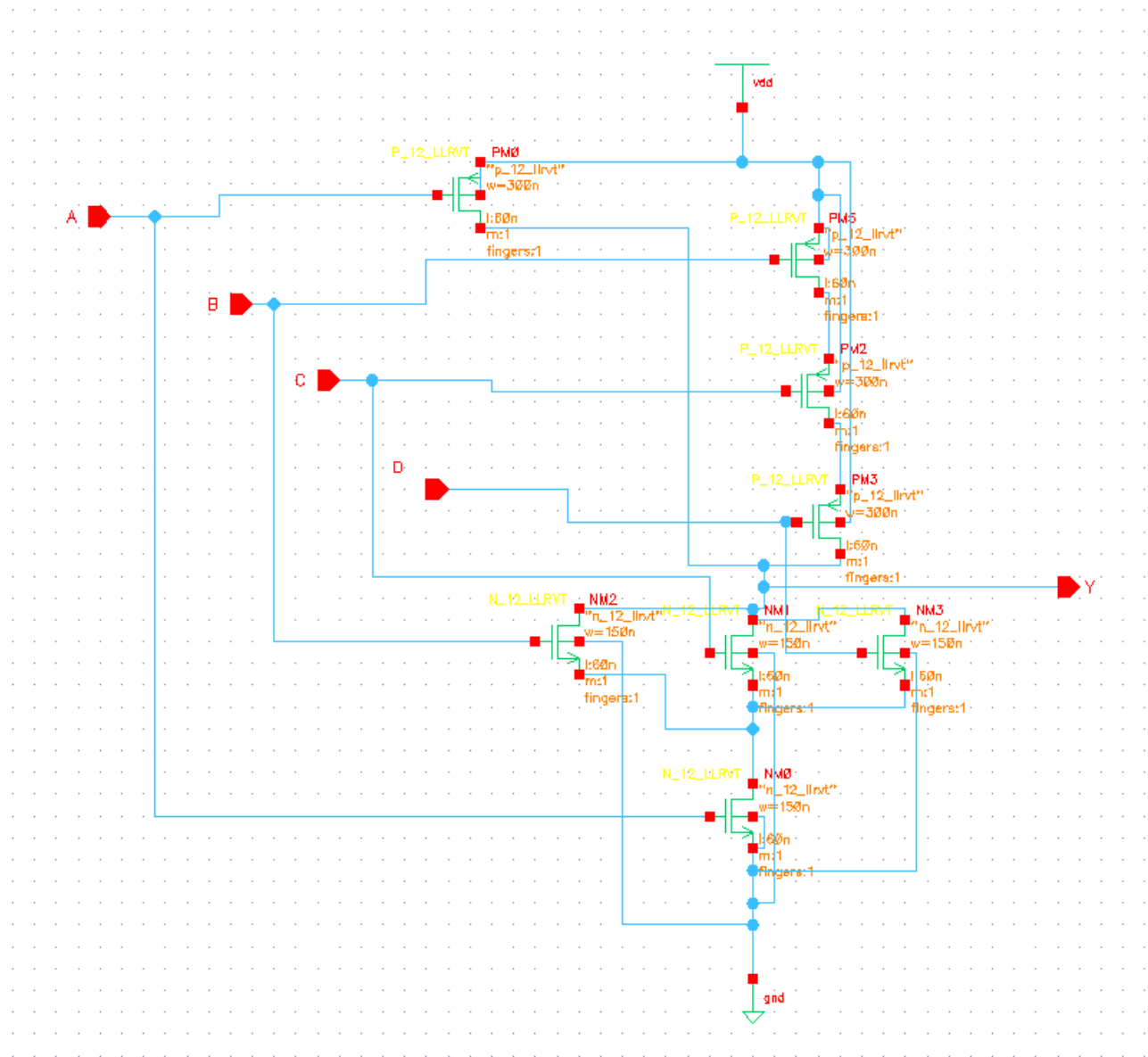
$$F = \sim(A * (B + C + D))$$

έχει ως εξής:

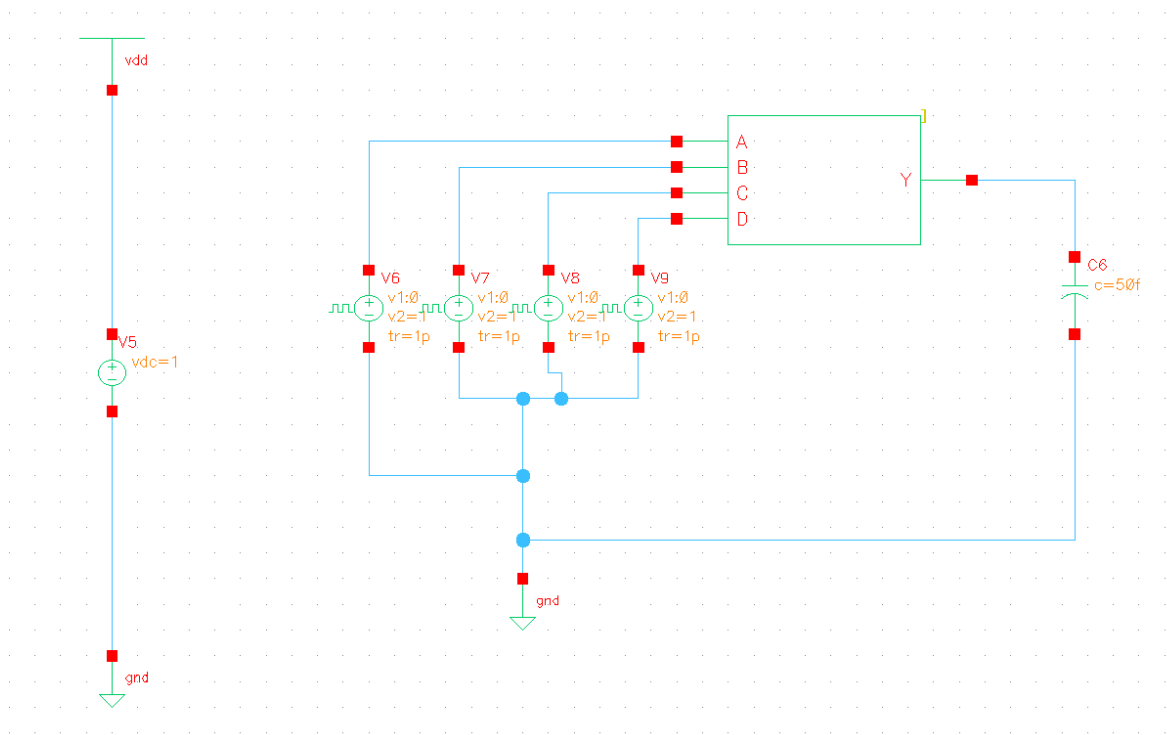
A	B	C	D	$F = \sim(A * (B + C + D))$
F	F	F	F	T
F	F	F	T	T
F	F	T	F	T
F	F	T	T	T
F	T	F	F	T
F	T	F	T	T
F	T	T	F	T
F	T	T	T	T
T	F	F	F	T
T	F	F	T	F
T	F	T	F	F
T	F	T	T	F
T	T	F	F	F
T	T	F	T	F
T	T	T	F	F
T	T	T	T	F

Schematic

Η έκφραση της F σχεδιάστηκε στο NMOS δίκτυο, με το OR να αντιστοιχεί σε παράλληλη σύνδεση των transistor και το λογικό AND να αντιστοιχεί σε σύνδεση σε σειρά. Με ακριβώς αντίστροφη λογική δουλέψαμε στο PMOS κομμάτι.

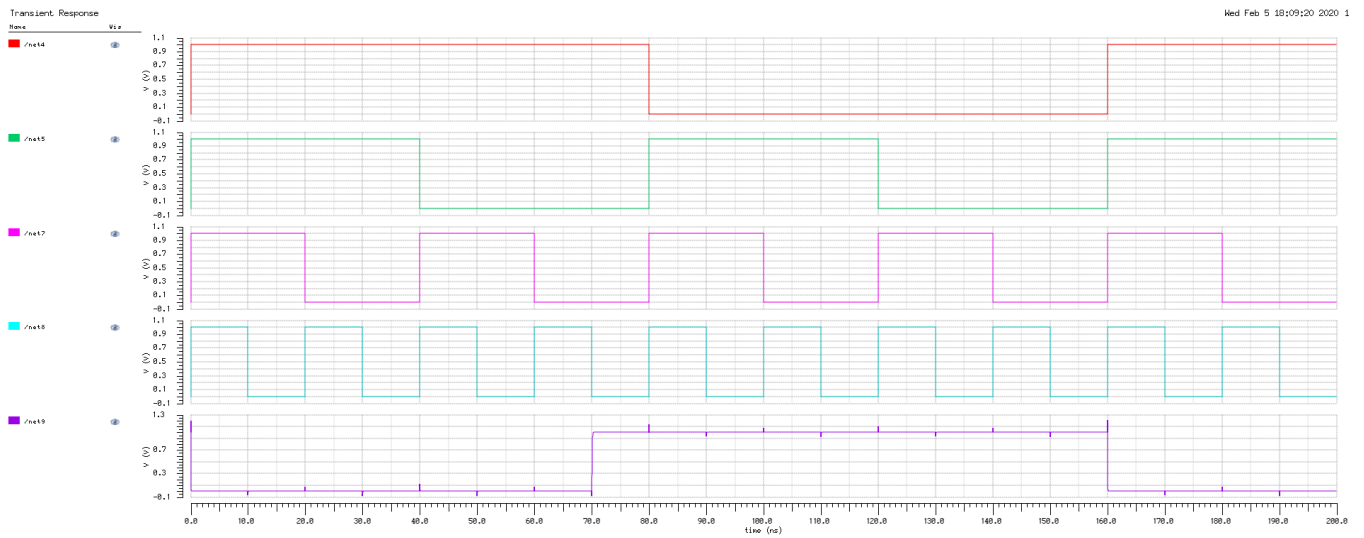


Επίσης δοκιμάσαμε την υλοποίηση με τη βοήθεια αυτού του σχηματικού, τοποθετώντας πυκνωτή 1f F, καθώς και 10f F και 50f F αντίστοιχα, στην έξοδο. Στα nrpulse που χρησιμοποιήθηκαν ως είσοδοι, δώσαμε περιόδους 160n s, 80n s, 40n s και 20n s σε κάθε μία, με pulse width 80n s, 40n s, 20n s και 10n s αντίστοιχα. Τα rise και fall time είναι της τάξης του 1p s.

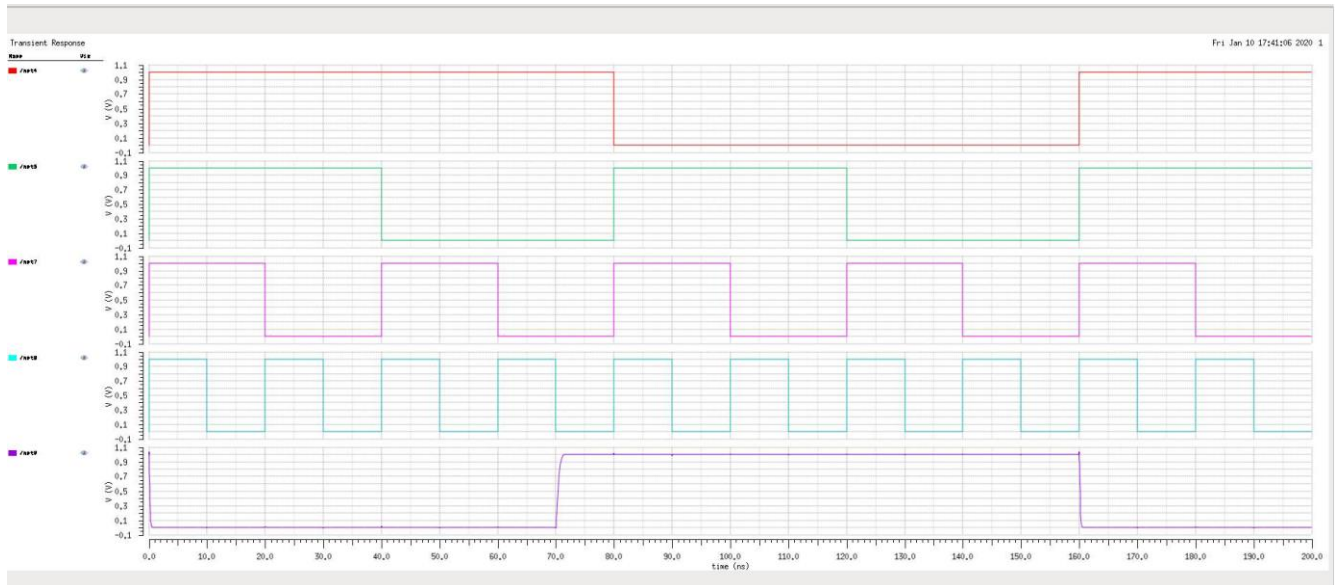


Transient analysis

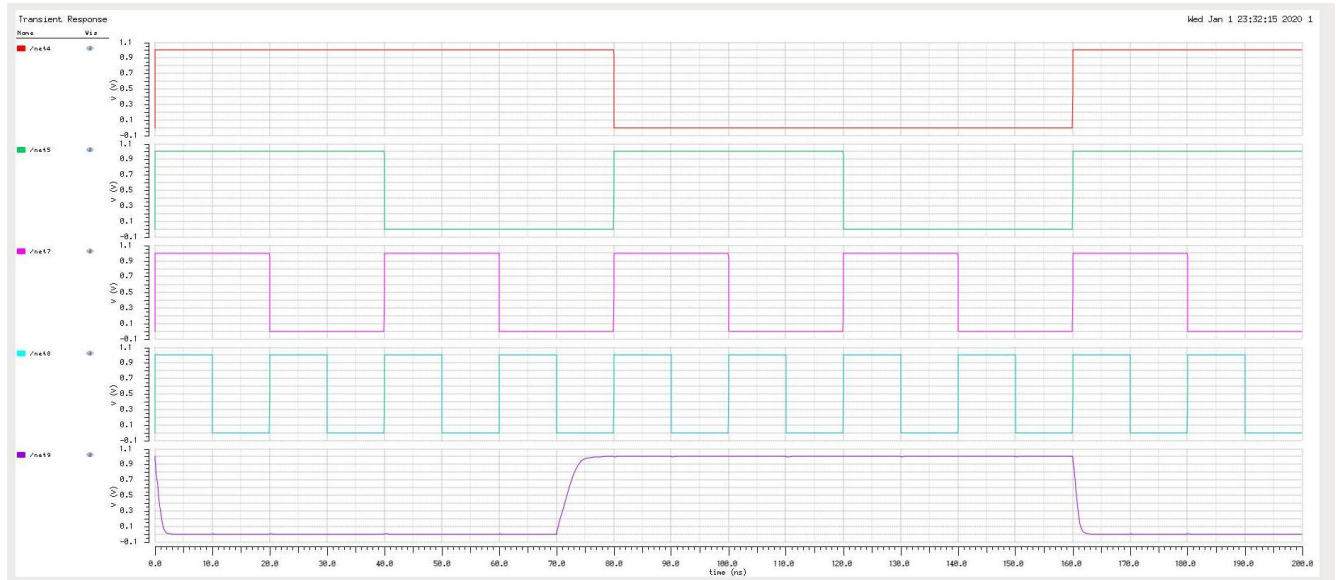
Μέσω του εργαλείου ADE L, κάναμε transient analysis του σχηματικού και είδαμε πως παίρνουμε τα παρακάτω αποτελέσματα για πυκνωτή 1f F.



Ομοίως για πυκνωτή 10f F στην έξοδο, έχουμε τα παρακάτω αποτελέσματα.

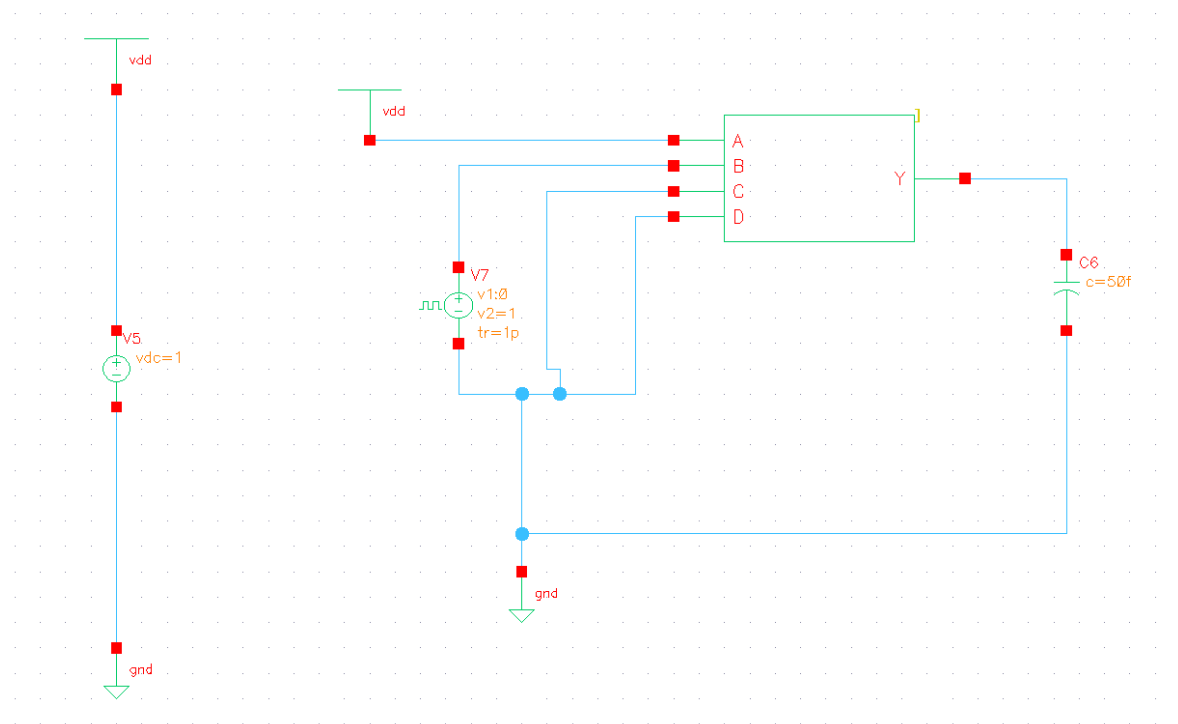


Τέλος για πυκνωτή 50f F, έχουμε τα παρακάτω αποτελέσματα.



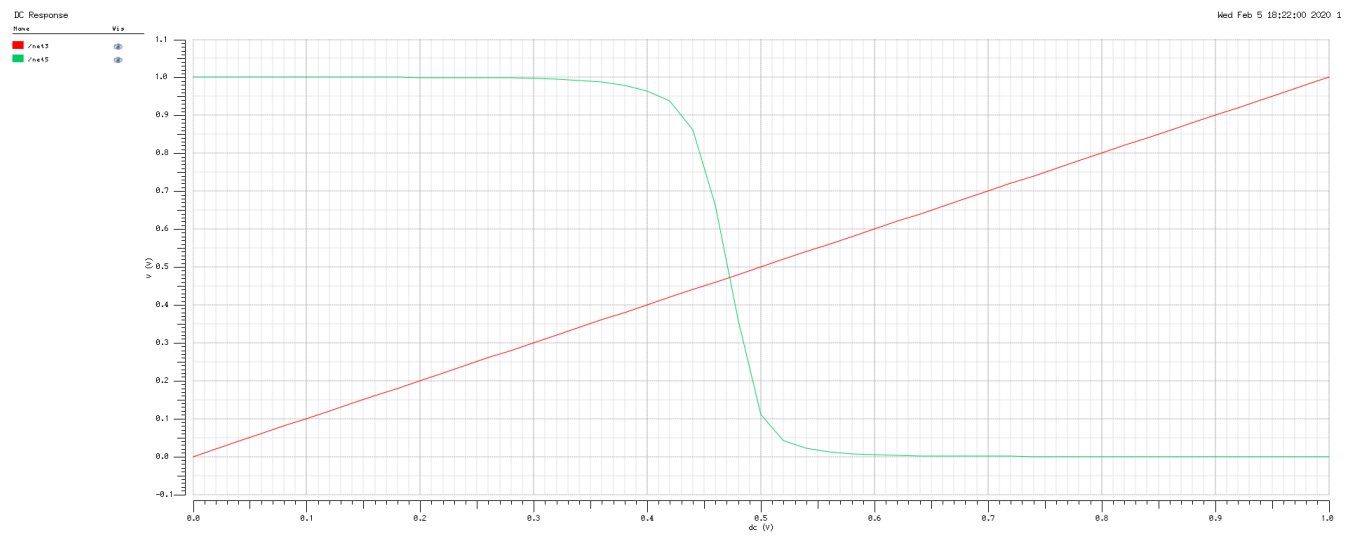
Παρατηρούμε πως, στις χωρητικότητες των 1f F και 10f F τα στάδια της φόρτισης και της αποφόρτισης του πυκνωτή γίνονται σχεδόν ακαριαία, ενώ ο πυκνωτής των 50f F χρειάζεται μεγαλύτερο χρονικό διάστημα, πράγμα λογικό αφού είναι μεγαλύτερης χωρητικότητας.

Πραγματοποιήσαμε το ζητούμενο με τη βοήθεια του παρακάτω σχηματικού. Για να εξαρτάται η έξοδος του κυκλώματος μόνο απ' την τιμή της εισόδου B, συνδέουμε την είσοδο A σε τροφοδοσία και τις εισόδους C και D σε γείωση, καθώς μόνο γι' αυτούς τους συνδυασμούς η έξοδος κυκλώματος εξαρτάται μόνο από το B.



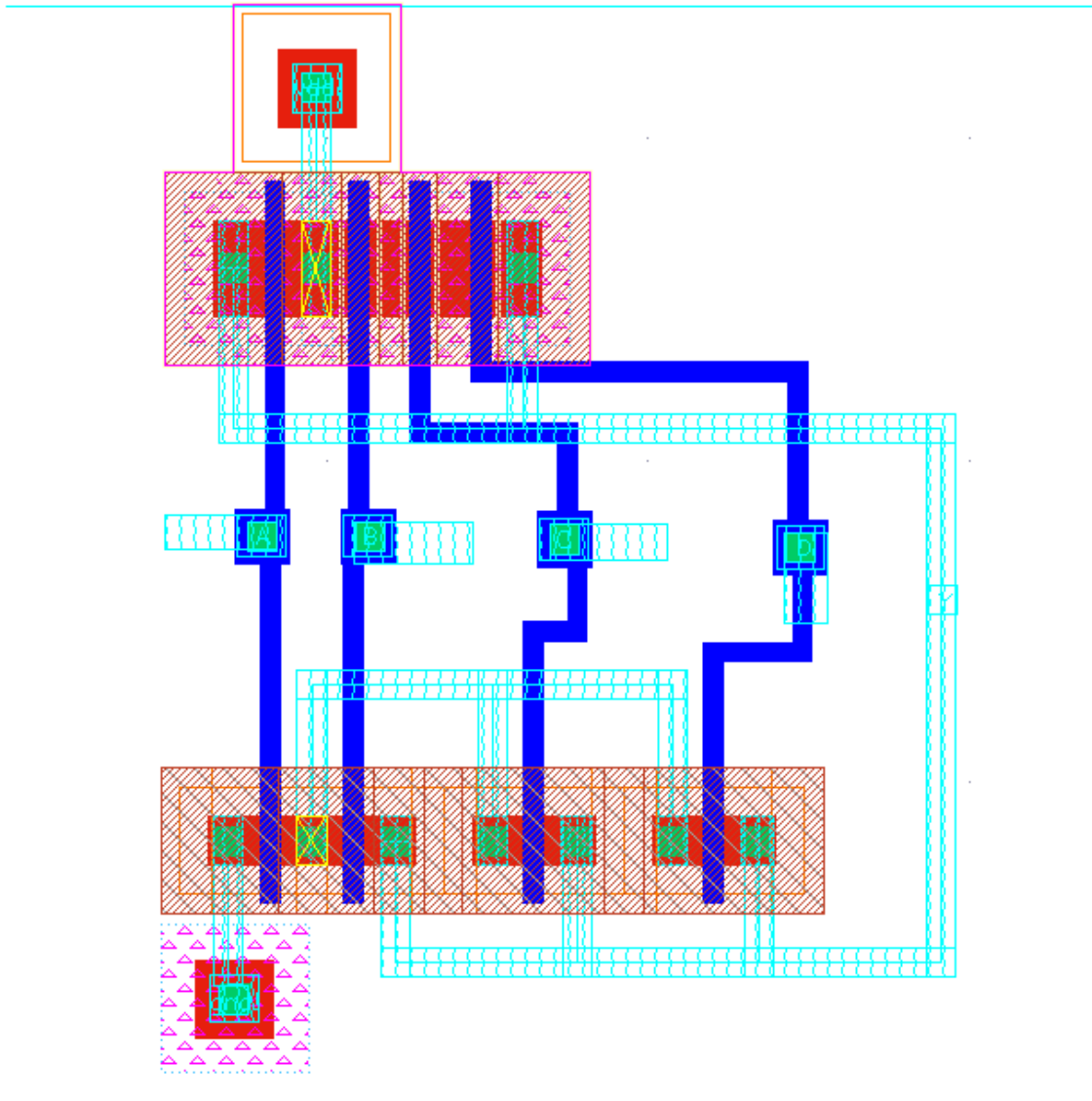
DC analysis

Τα αποτελέσματα της DC analysis ήταν τα εξής.



Layout

Τέλος, υλοποιήσαμε την διάταξη υλικών της δυαδικής συνάρτησης. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία LVS(schematic and layout match).

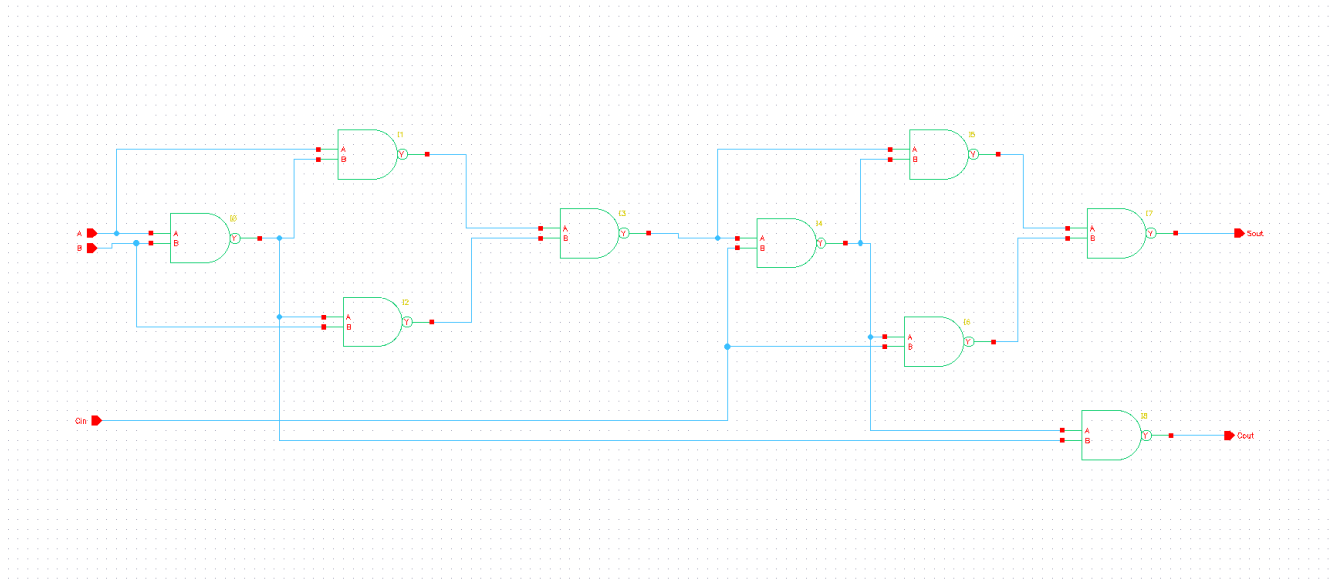


Άσκηση 6

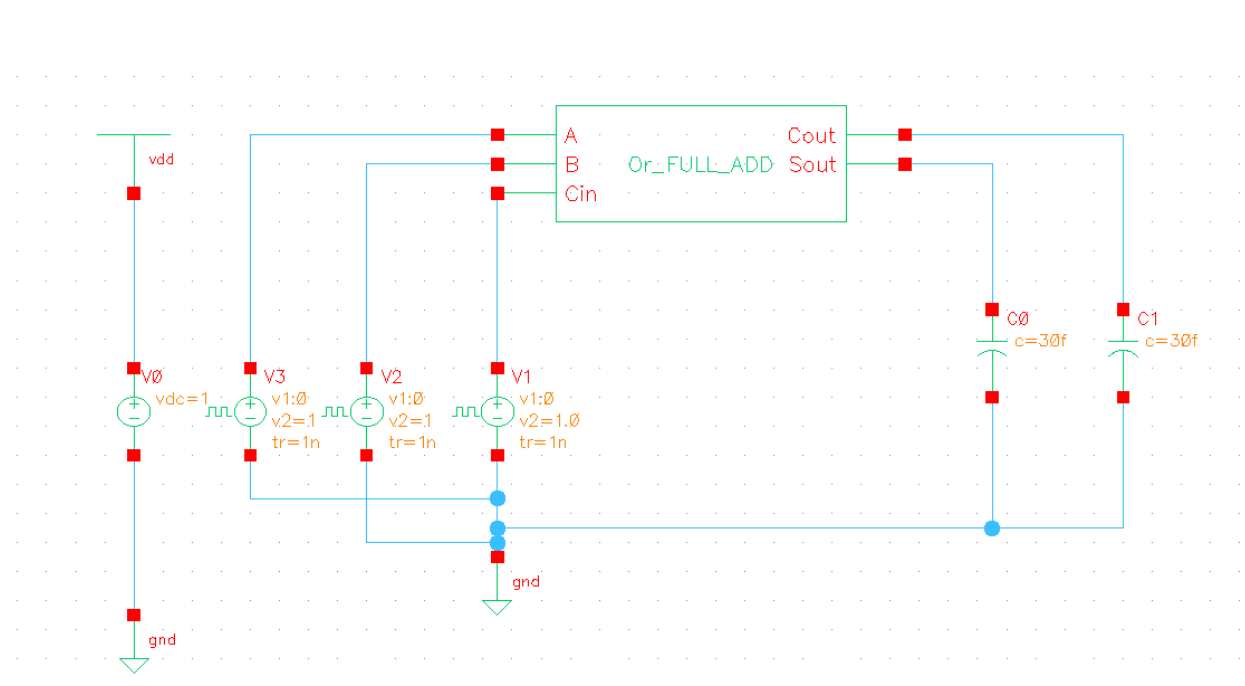
FULL ADDER

Schematic

Για αρχή, υλοποιήσαμε σε σχηματικό τον FULL ADDER.



Δοκιμάσαμε την ορθότητα του, με τη χρήση αυτού του σχηματικού, μέσα από νέο αρχείο τεστ.



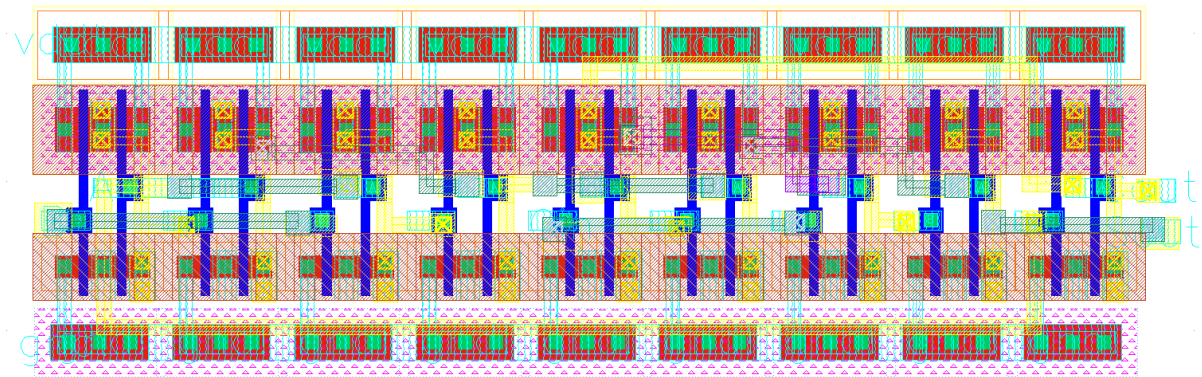
Transient Analysis

Μέσω του εργαλείου ADE L, κάναμε transient analysis του σχηματικού και είδαμε πως παίρνουμε τα παρακάτω αποτελέσματα για πυκνωτή 30f F.



Layout

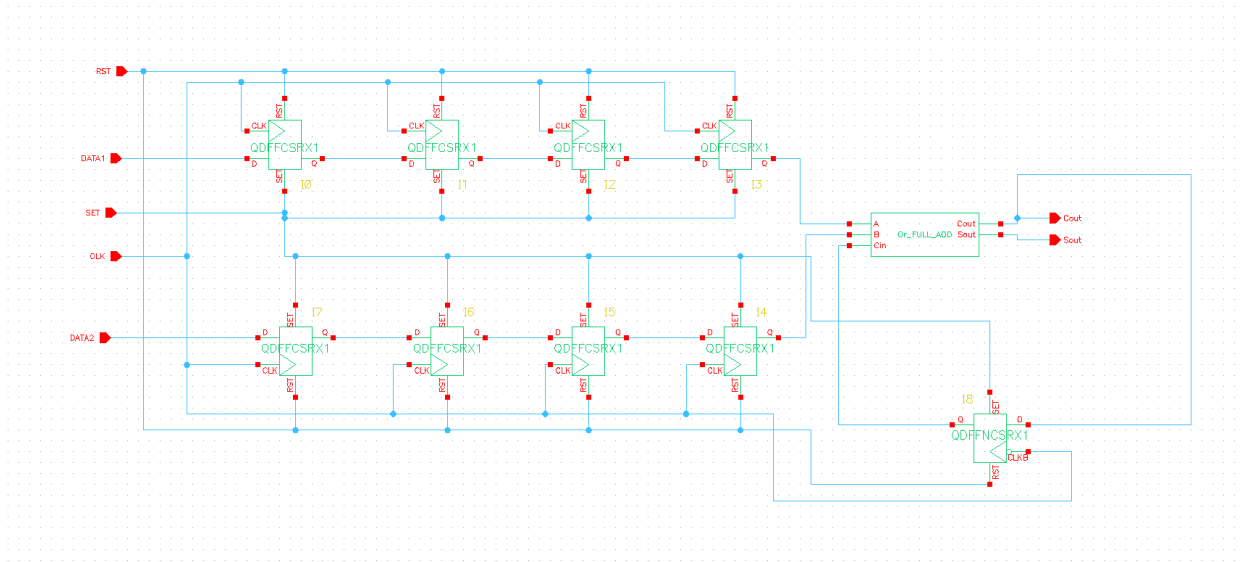
Έπειτα, υλοποιήσαμε σε διάταξη υλικού τον FULLADDER. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία LVS(schematic and layout match).



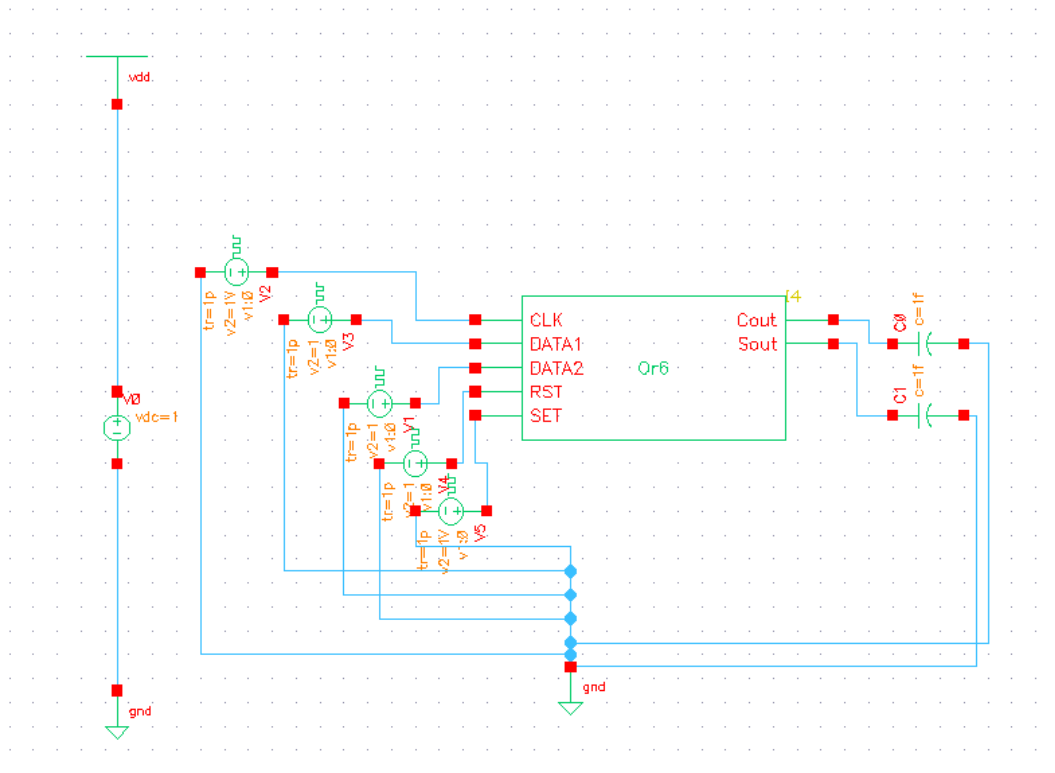
Σειριακός Αθροιστής 4^{ων} bit

Schematic

Έπειτα, με τη βοήθεια της βιβλιοθήκης τυποποιημένων κυττάρων, υλοποιήσαμε σε σχηματικό τον σειριακό αθροιστή 4^{ων} bit του σχήματος.

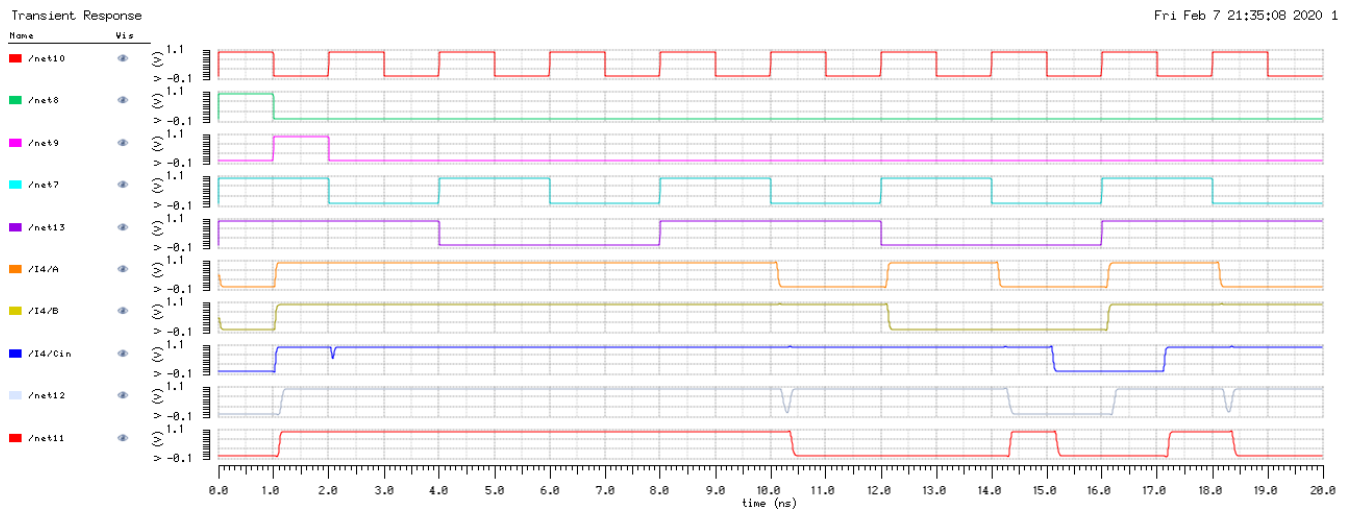


Δοκιμάσαμε την ορθότητα του, με τη χρήση αυτού του σχηματικού, μέσα από νέο αρχείο τεστ.



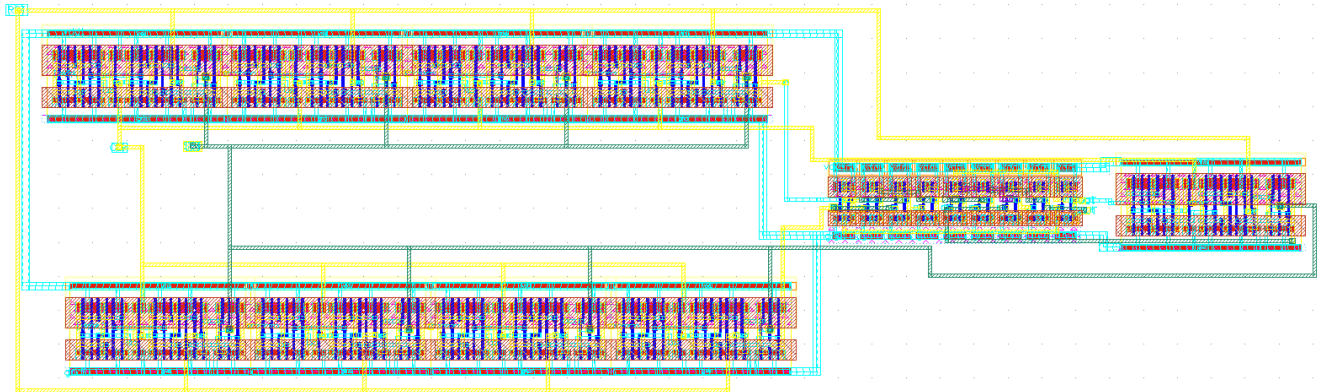
Transient analysis

Μέσω του εργαλείου ADE L, κάναμε transient analysis του σχηματικού και είδαμε πως παίρνουμε τα παρακάτω αποτελέσματα για πυκνωτή 1f F, χρησιμοποιώντας τους χρόνους που μας στάλθηκαν.



Layout

Τέλος, υλοποιήσαμε και τον σειριακό αθροιστή 4^{ων} bit σε διάταξη υλικού. Μέσω των εργαλείων DRC & LVS διαπιστώθηκε και εδώ τόσο ο ορθός σχεδιασμός DRC, όσο και η αντιστοιχία LVS (schematic and layout match).



Ερωτήματα

1. Γιατί προτιμήθηκε η χρήση της κυψέλης QDFFNCSRX1 αντί της QDFFCSRX1 στην διάδοση του κρατουμένου εξόδου?

Επειδή η συγκεκριμένη κυψέλη πυροδοτείται με την αρνητική ακμή του ρολογιού, προλαβαίνει να περάσει στην έξοδό της, και κατ' επέκταση στην είσοδο Cin του FULLADDER, την τιμή του Cout. Μ' αυτό τον τρόπο η πρόσθεση εκτελείται κάθε φορά με σωστή διάδοση κρατουμένου.

2. Πως θα ήταν επιτρεπτό να χρησιμοποιήσουμε την κυψέλη QDFFCSRX1 στην διάδοση του κρατουμένου εξόδου?

Ξεκινώντας το clock με delay πλάτους ίσο με το πλάτος του pulse width του clock, ή αλλιώς προσθέτοντας έναν αντιστροφέα στην είσοδο του clock.

3. Το χρονικό διάστημα γύρω από τα 10.3ns γιατί η έξοδος Cout κατέρχεται και ανέρχεται? (Εξαρτάται από τον σχεδιασμό σας αν θα δείτε αυτή τη συμπεριφορά στα 10.3ns)

Αυτό συμβαίνει διότι τα δειγματοληπτημένα σήματα τέσσερις περιόδους ρολογιού πριν ήταν DATA 1 = 0, DATA2 = 1 και επειδή η διάδοση κρατουμένου δειγματοληπτείται στην αρνητική ακμή του ρολογιού, το Cin εκείνη τη στιγμή είναι 0.

4. Την χρονική στιγμή 15ns στην έξοδο του κυκλώματος βλέπουμε την απόκρισή του για τιμές των εισόδων που δόθηκαν ποιά χρονική στιγμή?

Τη χρονική στιγμή 15ns βλέπουμε την πρόσθεση των τιμών 0 και 0 από τα A και B, πράγμα το οποίο μπορεί να επιβεβαιωθεί αν κοιτάξουμε ποιες τιμές δειγματοληπτήθηκαν κατά τη θετική ακμή του ρολογιού από τα flip flops 4 περιόδους πριν, δηλαδή τη χρονική στιγμή 6ns.