Дисциплина электроника Лабораторный практикум №7

по теме: «Полевой транзистор»

Работу выполнила:

студентка группы ИУ7-34Б

Татаринова Дарья

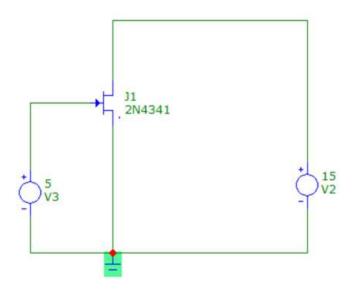
Работу проверил:

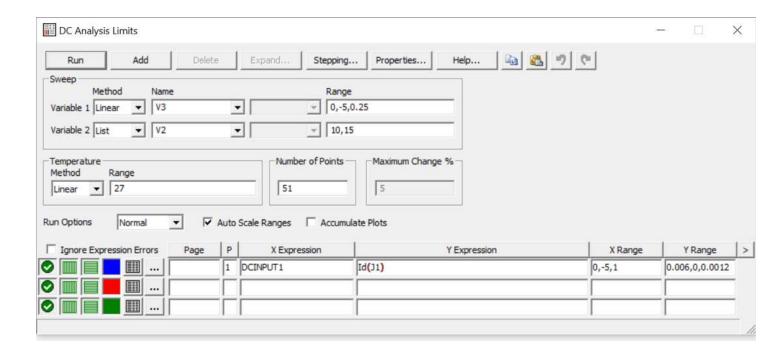
Оглоблин Д.И.

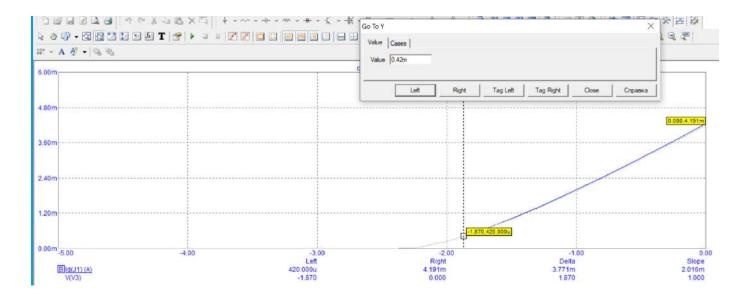
Экспериментальная часть

Были использованы транзисторы NJFET 2N434, NMOS IRF533, PMOS IRF9540.

Характеристика NJFET

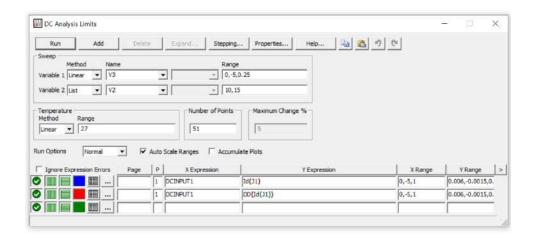


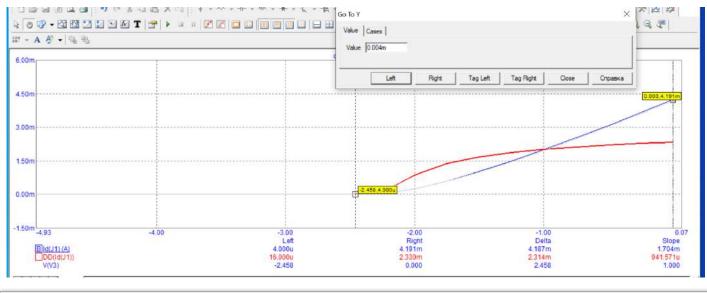


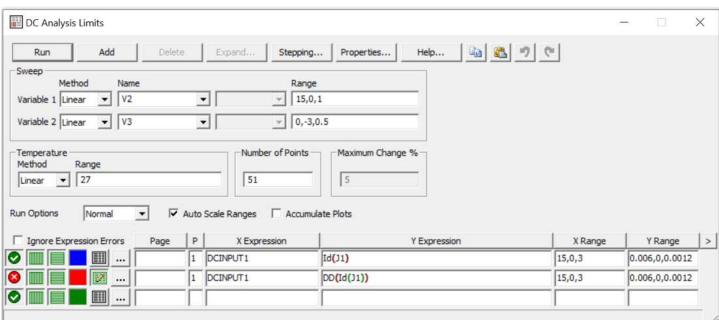


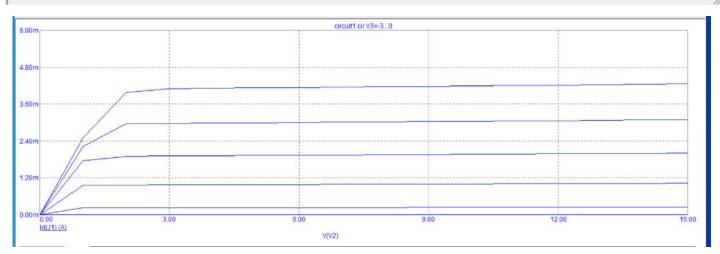
На передаточной характеристике NJFET находим, при каком напряжении на затворе ток стока составляет 0,1 начального тока стока (т. е. напряжение, при котором транзистор закрывается). Оно приблизительно равно -1.87 В. По этой же характеристике определяем: начальный ток стока ~= 4.2 мА, напряжение отсечки (считаем, что это напряжение, при котором ток стока стал не больше 1/1000 исходного) ~= -2.46 В и, построив дополнительно график производной зависимости тока стока от напряжения на затворе, максимальную крутизну характеристики ~= 2.3 мА/В. Рассчитываем максимальную крутизну по формуле: Smax = 2*Icucx/|Uотсечки| = 2*4.2 мА/2.46 В ~= 3.4 мА/В. Расчетное и экспериментальное значения отличаются приблизительно на 1.1 мА/В.

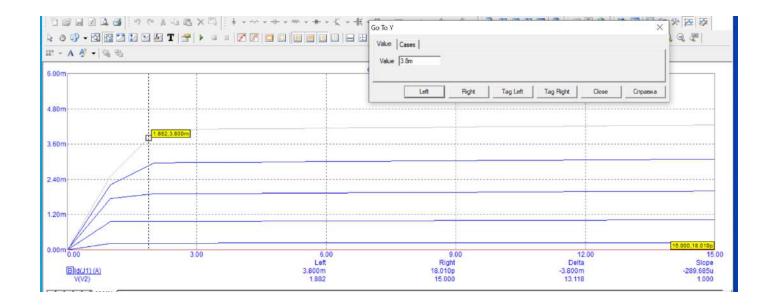
Для той же схемы строим выходную характеристику NJFET. Параметры анализа по постоянному току для получения такой характеристики приведены на скриншотах.



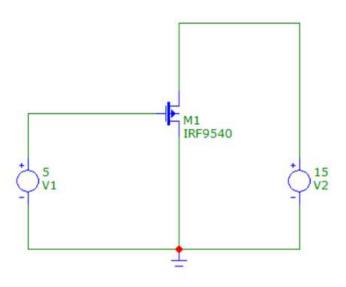


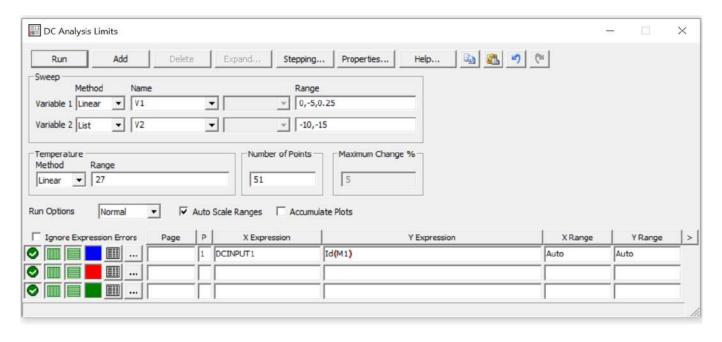


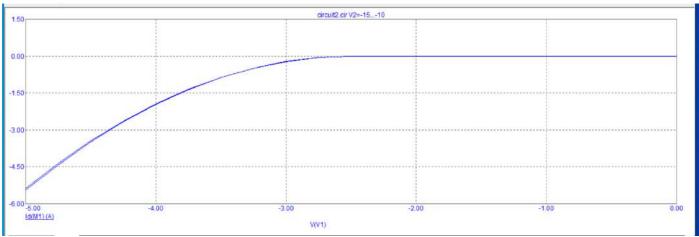


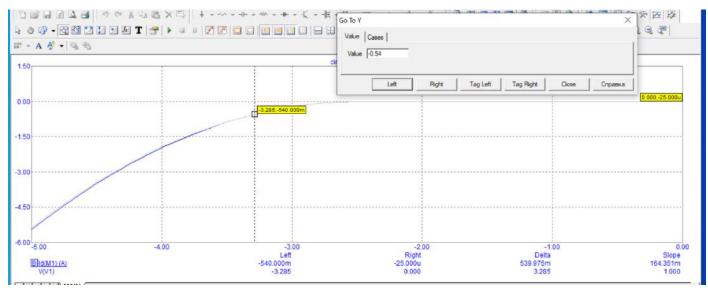


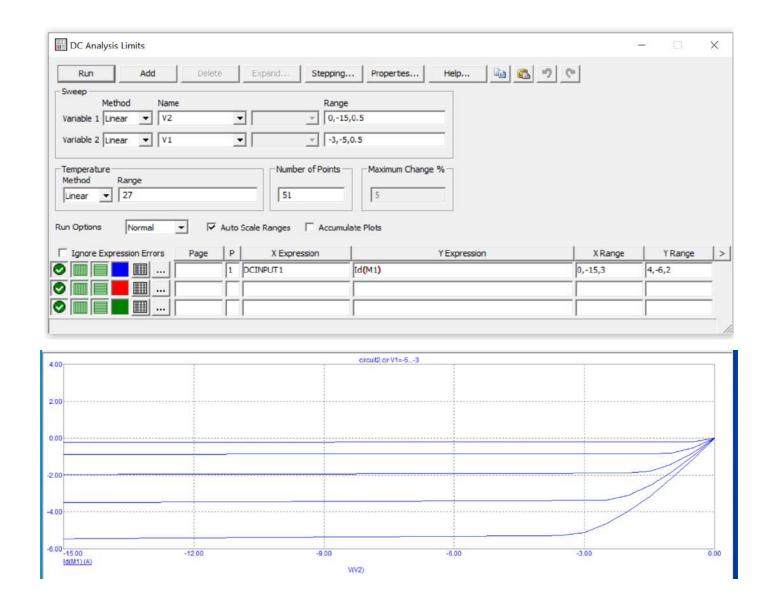
Характеристика PMOS





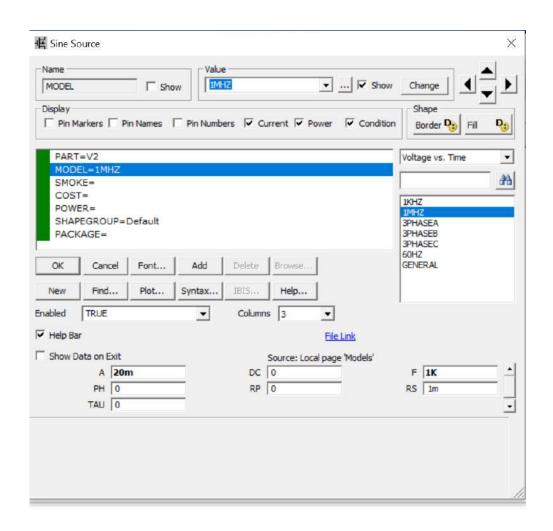


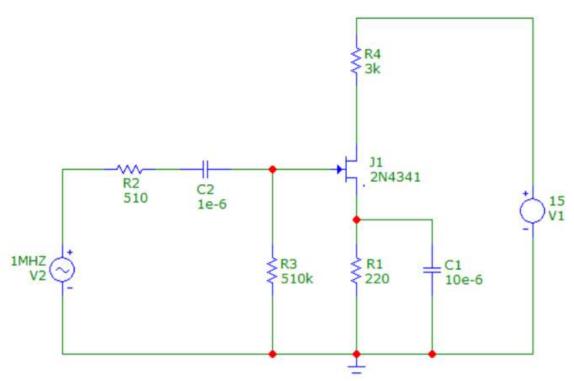


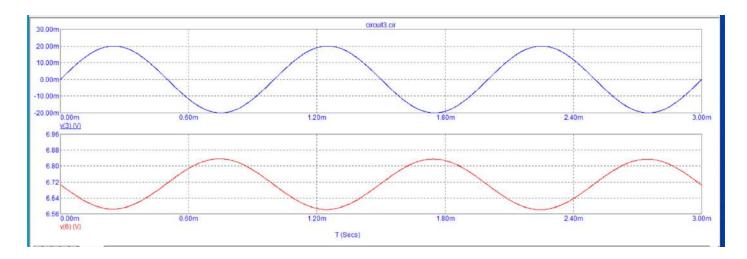


JFET как усилитель

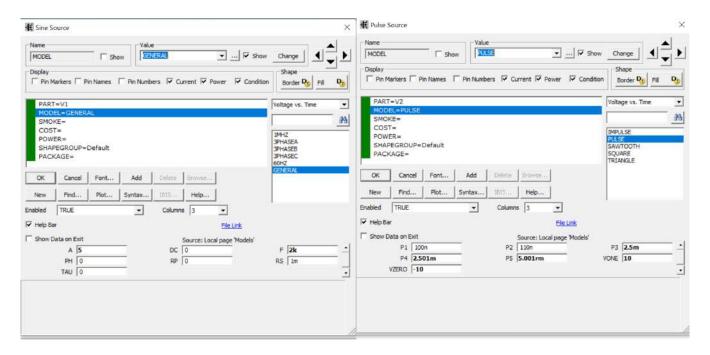
Для исследования свойств JFET как усилителя собираем схему. Подаем на вход гармонический сигнал 20mV частотой 1 кГц.

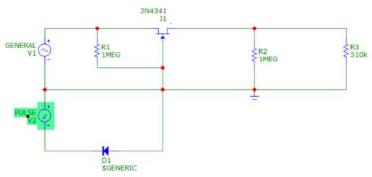


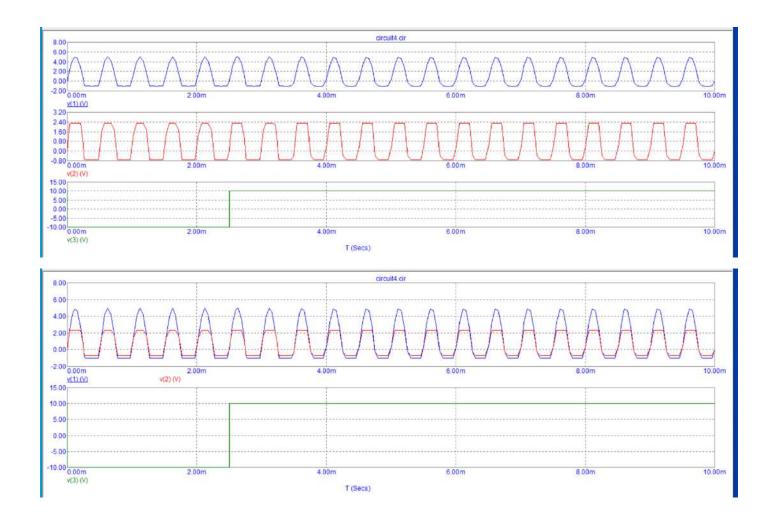




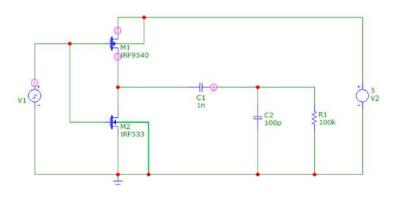
Полевой транзистор в импульсном режиме

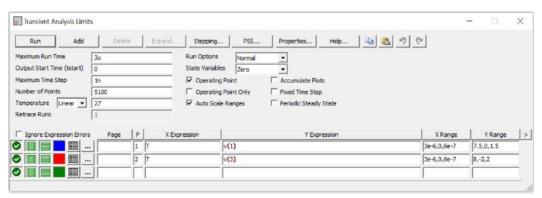


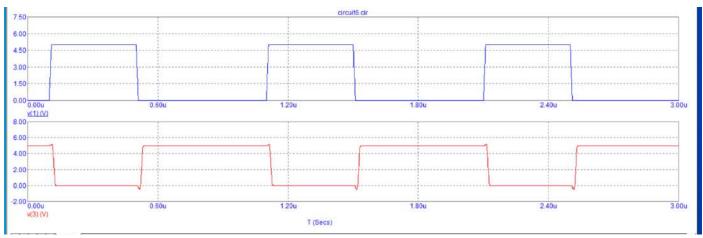


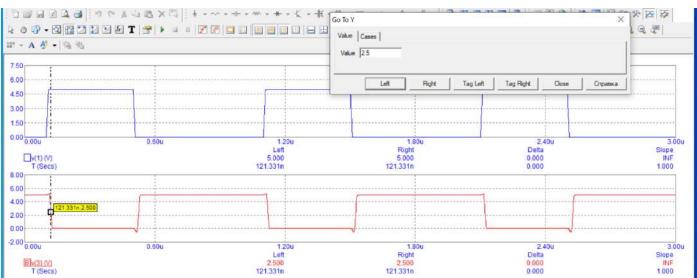


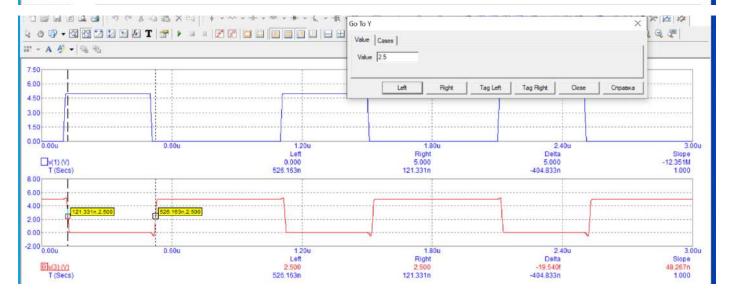
Инвертор на основе КМОП ключа

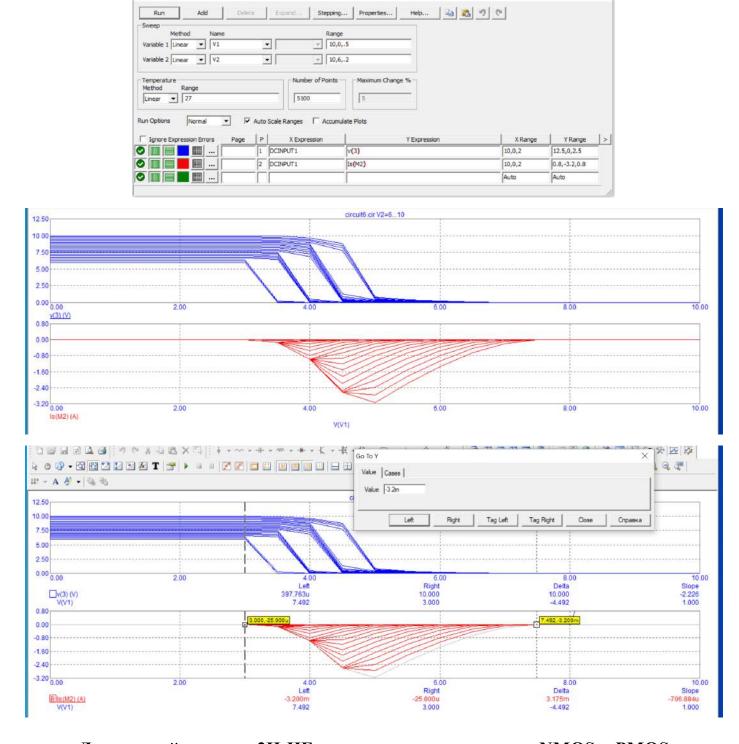






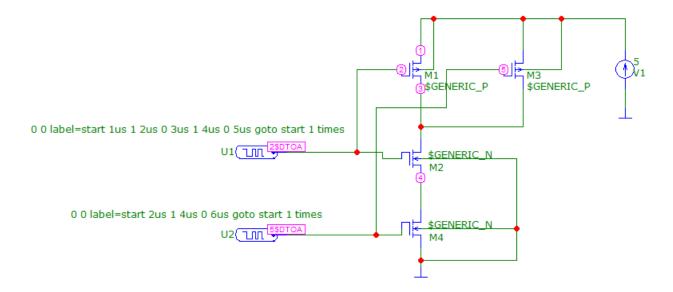




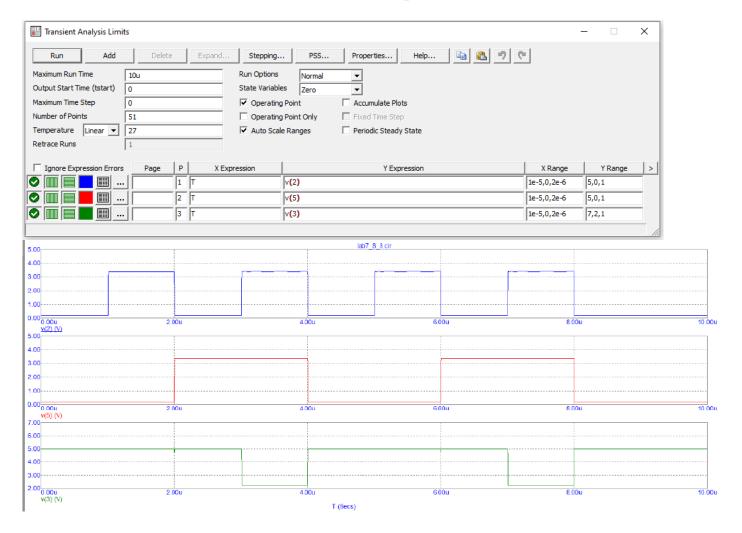


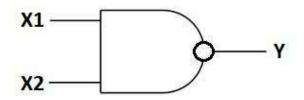
DC Analysis Limits

Логический элемент 2И-НЕ на полевых транзисторах NMOS и PMOS



Запускаем временной анализ. В результате действительно получаем моделирование работы логической функции 2И-НЕ: выходной сигнал равен единице тогда и только тогда, когда хотя бы один из входных сигналов равен 0.

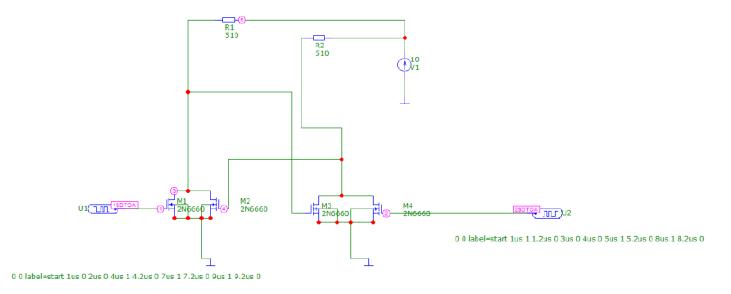




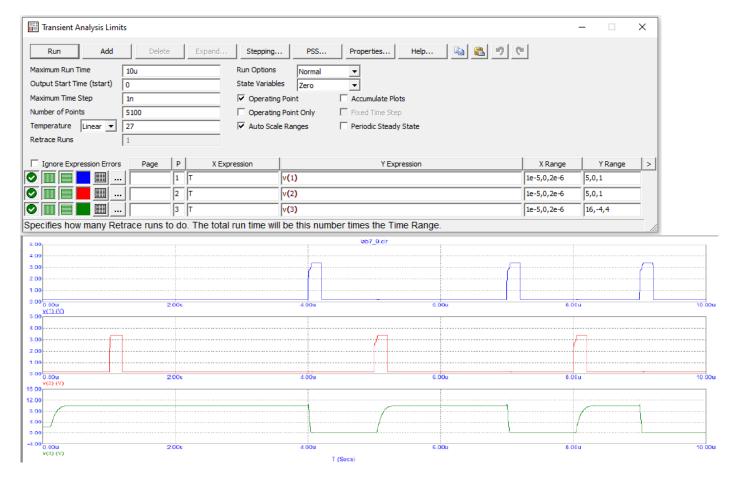
| Вход Х1 | Вход Х2 | Выход Ү |
|---------|---------|---------|
| 0 | 0 | 1 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 1 | 0 |

Устройство ячейки триггера статической памяти

Собираем схему триггера.



Запускаем временной анализ с параметрами, показанными.



Выходную последовательность можно приблизительно записать так (в том же виде, в котором задаются команды для генераторов STIM): $0\ 0\ 0.1$ us $1\ 4$ us $0\ 5$ us $1\ 7$ us $0\ 8$ us $1\ 9$ us 0.