



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ
КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

По лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент	<u>ИУ7-44Б</u> (Группа)	<u>02.04.2022</u> (Подпись, дата)	<u>Д.А.Татаринова</u> (И.О. Фамилия)
Преподаватель		<u></u> (Подпись, дата)	<u>А. Ю. Попов</u> (И.О. Фамилия)

Москва, 2022

Оглавление

Цель работы	3
1. Исследование линейного двухвходового дешифратора с инверсными выходами.....	3
2. Исследование дешифраторов ИС К155ИД4 (74LS155).....	10
3. Исследование дешифраторов ИС КР531ИД14 (74LS139).	19
4. Исследовать работоспособность дешифраторов ИС 533ИД7.....	21
Вывод.....	25
Контрольные вопросы	25

Цель работы

Изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

1. Исследование линейного двухвходового дешифратора с инверсными выходами.

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A_0, A_1 , задать в выходов Q_0, Q_1 , четырехразрядного счетчика;

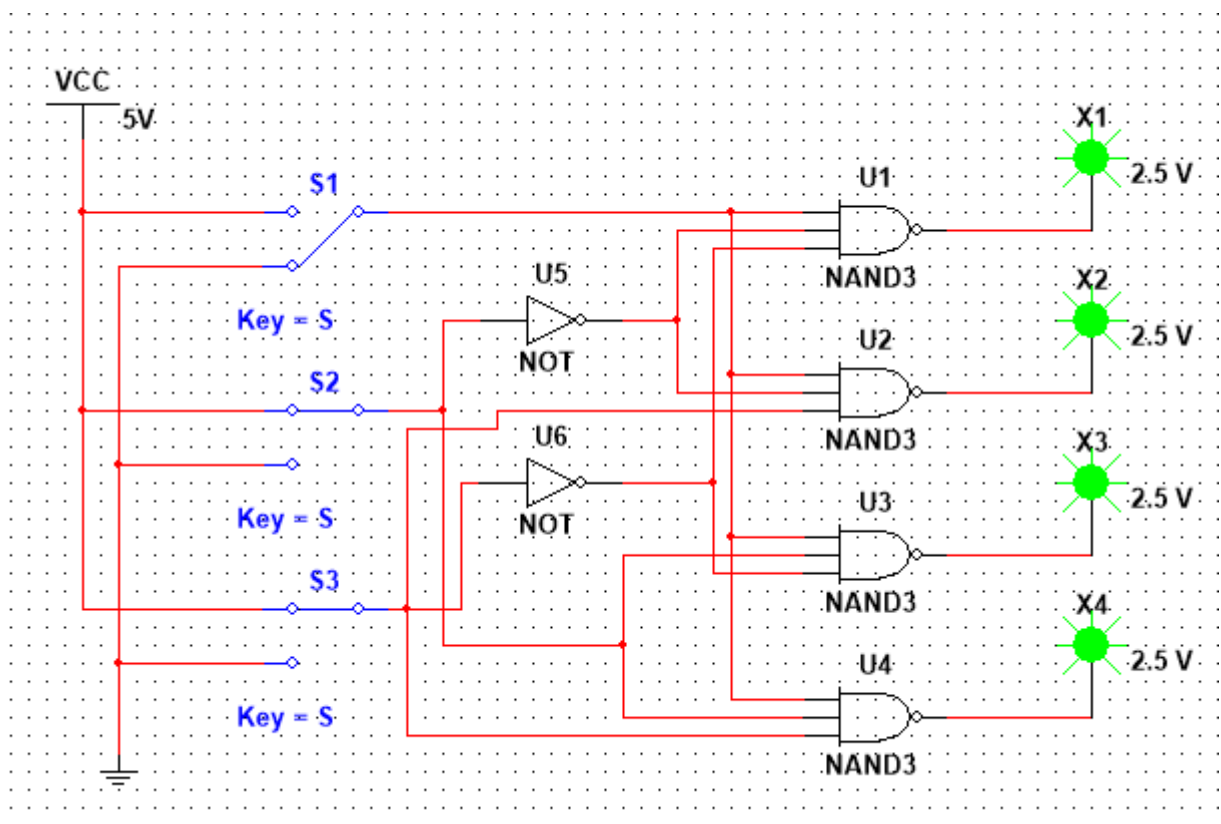



Рисунок 1 – Схема линейного стробируемого дешифратора на элементах 3И-НЕ

б) подключить световые индикаторы к выходам счетчика и дешифратора; подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$);

Таблица 1. Таблица истинности для стробируемого дешифратора

E	A1	A2	F1	F2	F3	F4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

в) подать на вход счетчика сигнала  генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

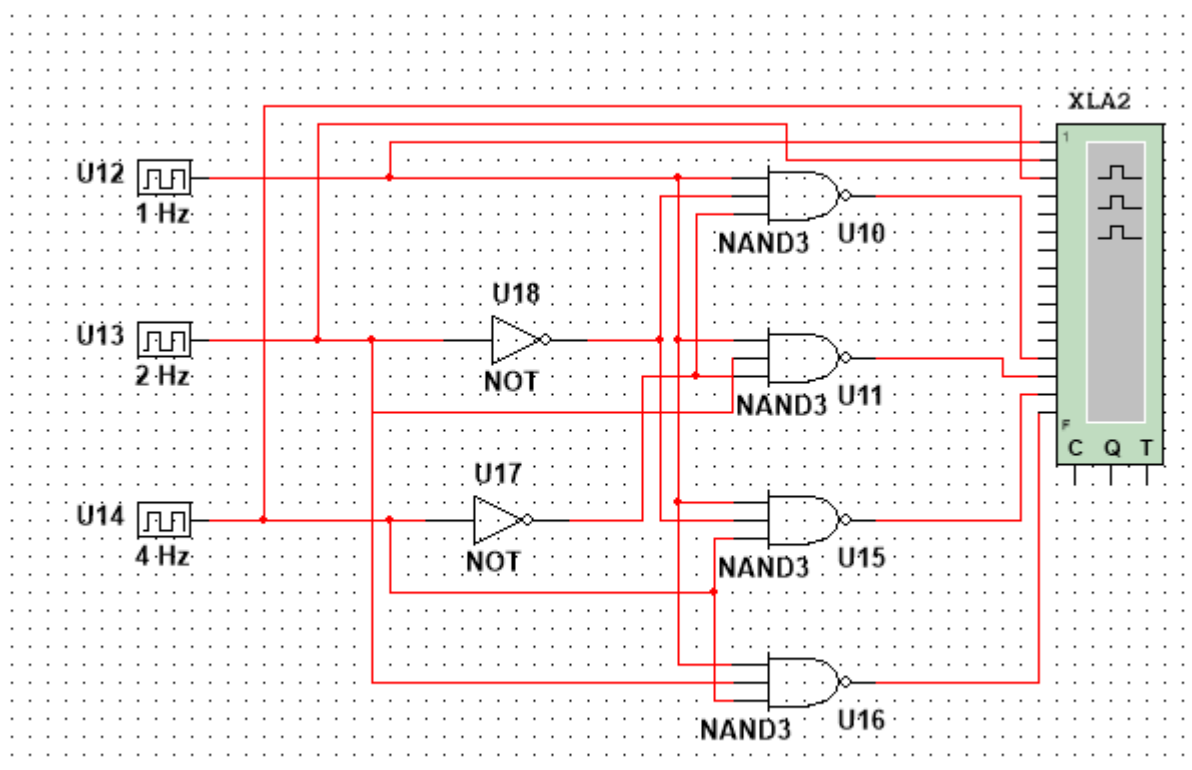


Рисунок 2 - Схема, где на вход счетчика подается сигнал генератора

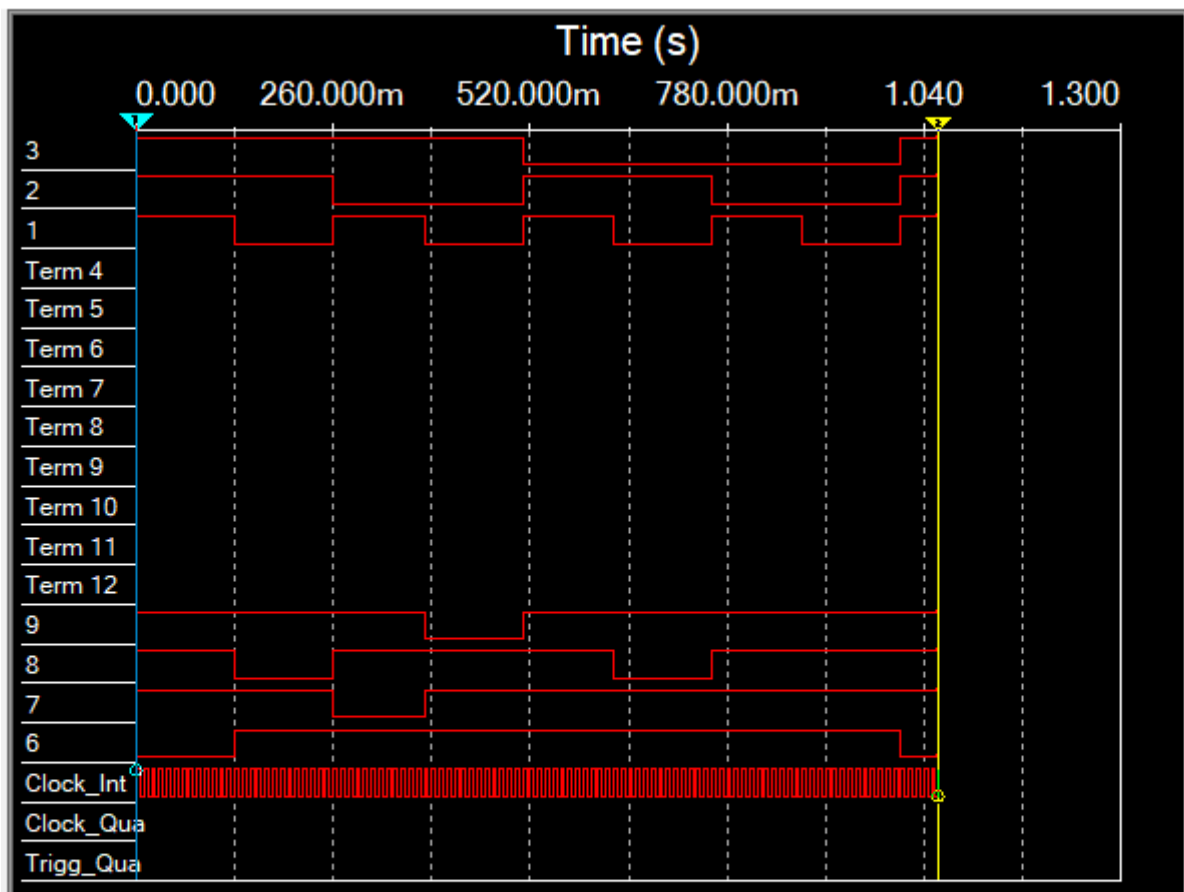


Рисунок 3 – Временная диаграмма

г) определить длительность помех, вызванных гонками, на выходах дешифратора;

Для данного пункта была построена другая схема, на которой можно выявить помехи, вызванные гонками.

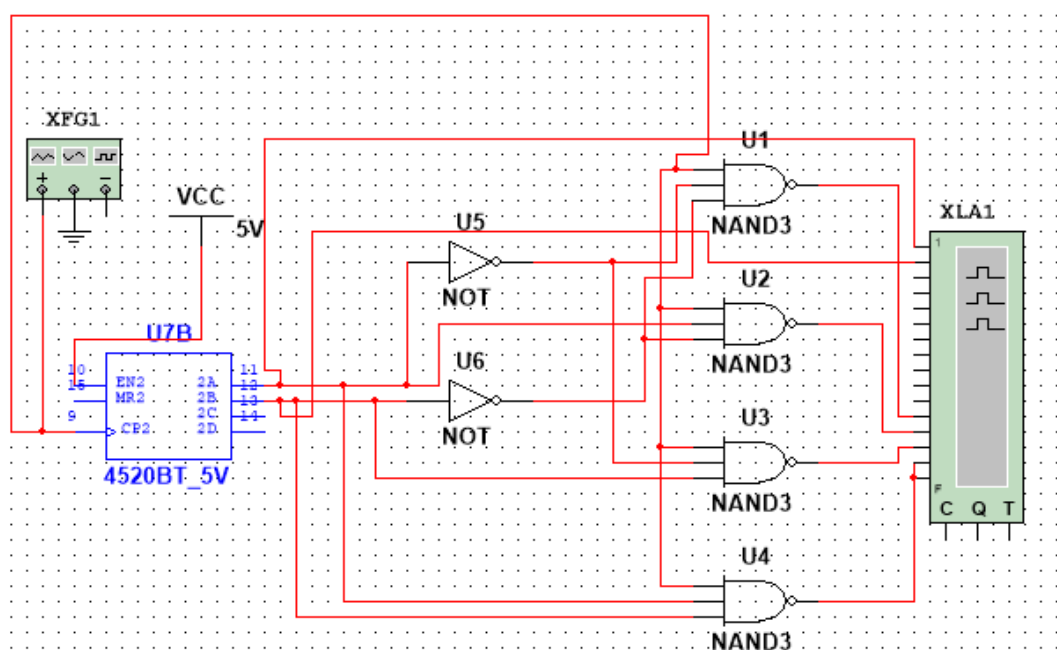


Рисунок 4 - Схема для выявления помех

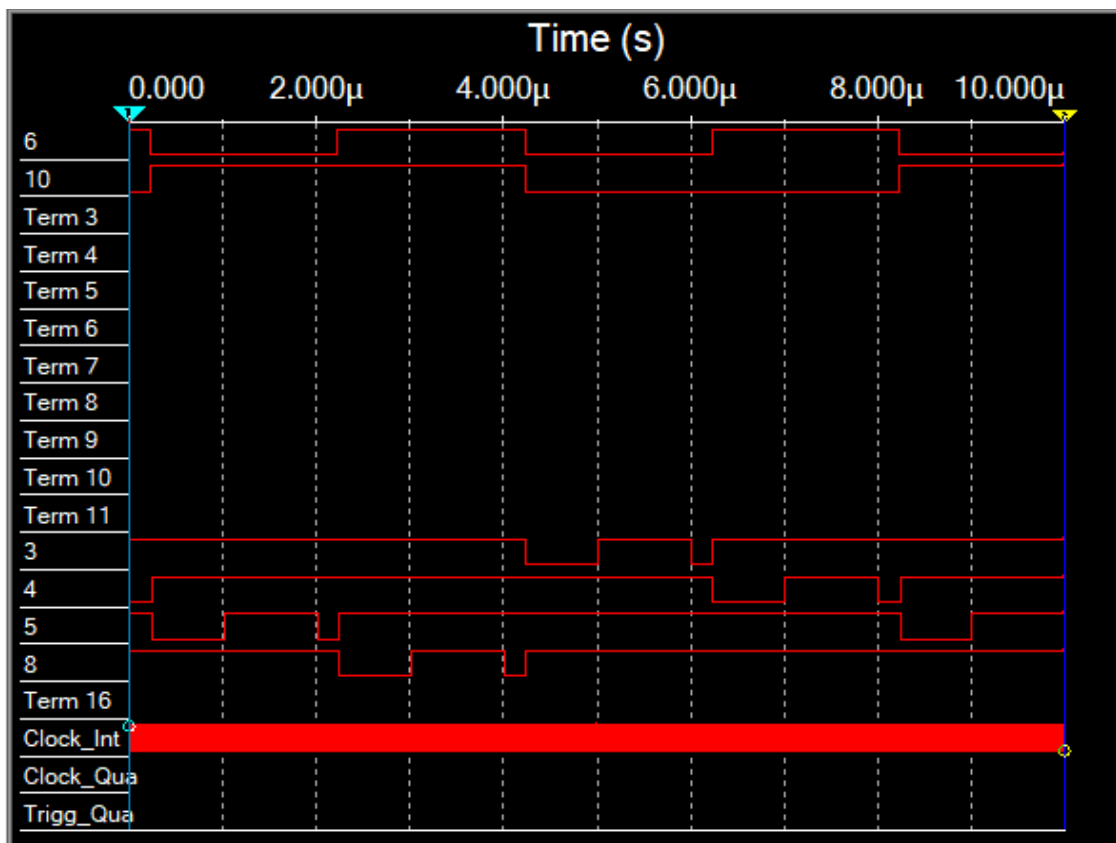


Рисунок 5 – Временная диграмма

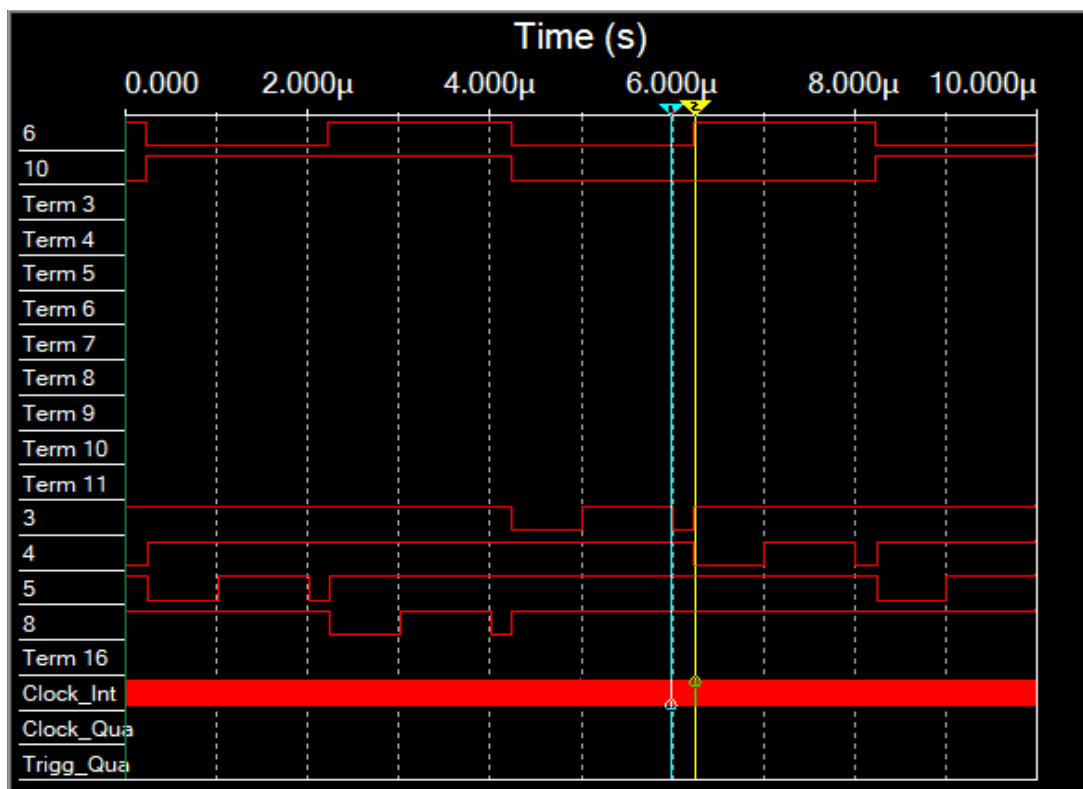


Рисунок 6 - Определение длительности помех с возможностями
линейного анализатора

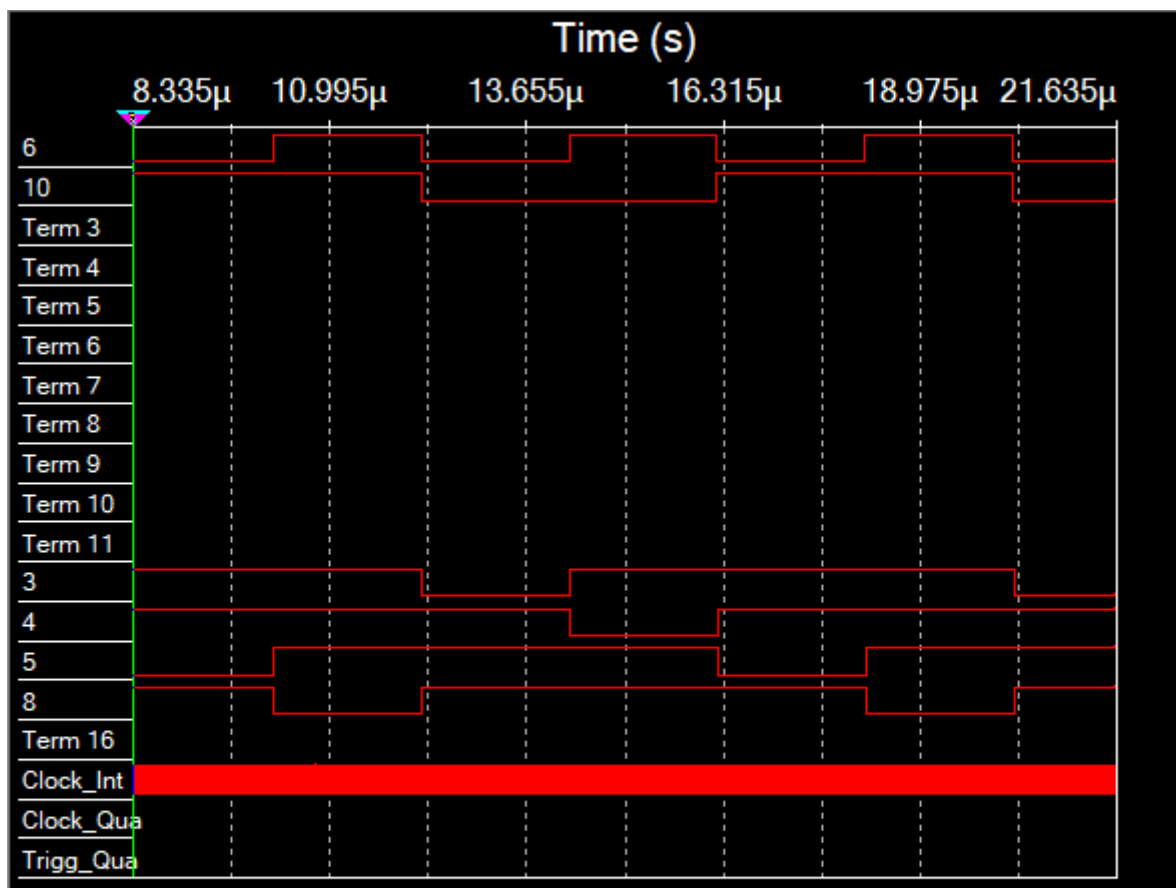


Рисунок 8 – Временная диаграмма

Из данной диаграммы видно, что с помощью одного логического элемента (ЛЭ) можно избавиться от помех.

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Время задержки должно быть больше, чем суммарная задержка всех элементов в цепи от входа до выхода дешифратора. (задержка NOT + разница самого быстрого и самого медленного из ЗИ-НЕ)

Время задержки, необходимое для исключения помех на выходах дешифратора равно половине длительности помех. То есть равна ~132 ns.

Для того, чтобы проверить это, необходимо построить схему, добавив еще один элемент NOT, и настроить 2 таких элемента NOT следующим образом (рис. 9)

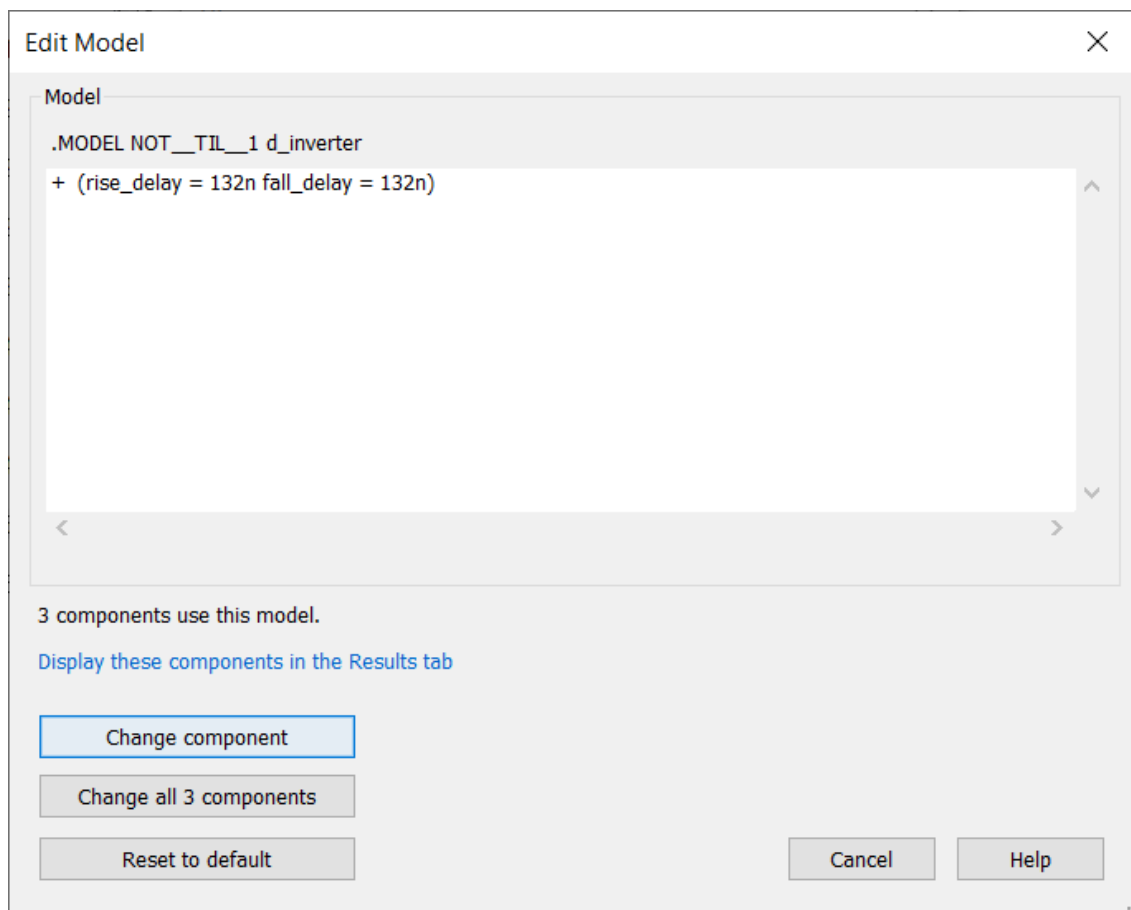


Рисунок 9

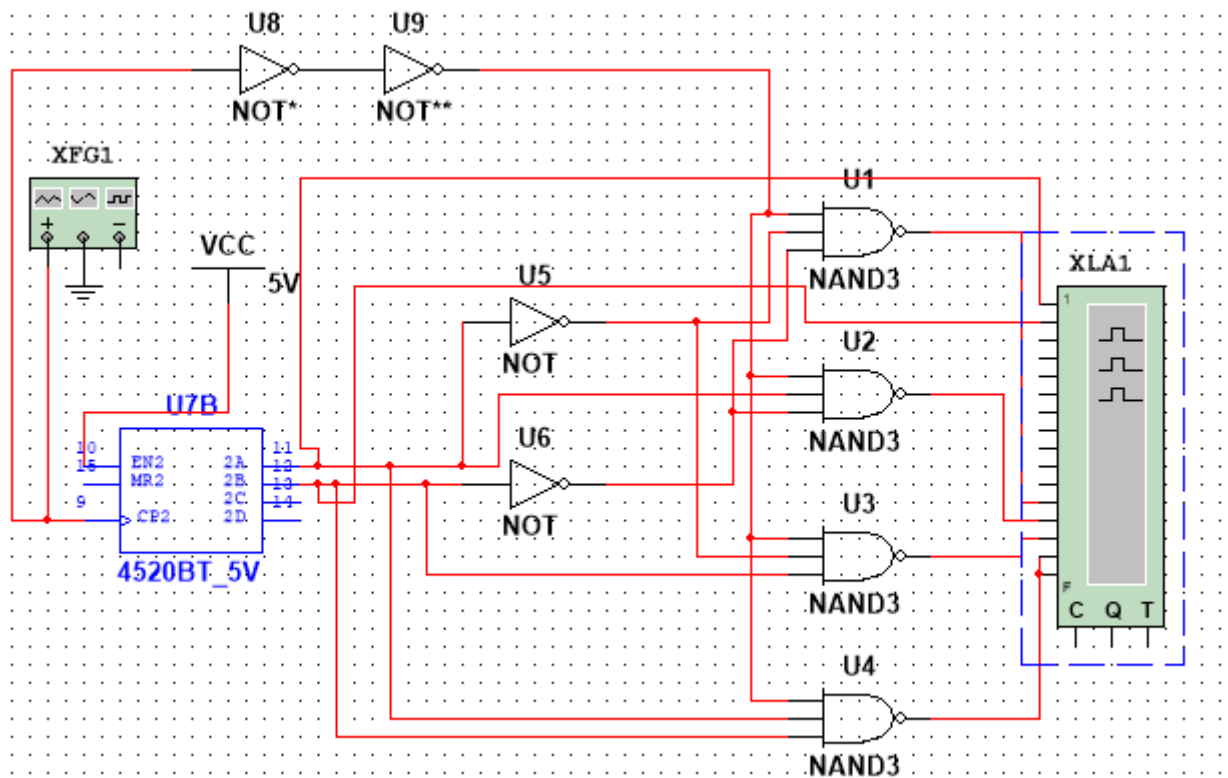


Рисунок 11 - Схема

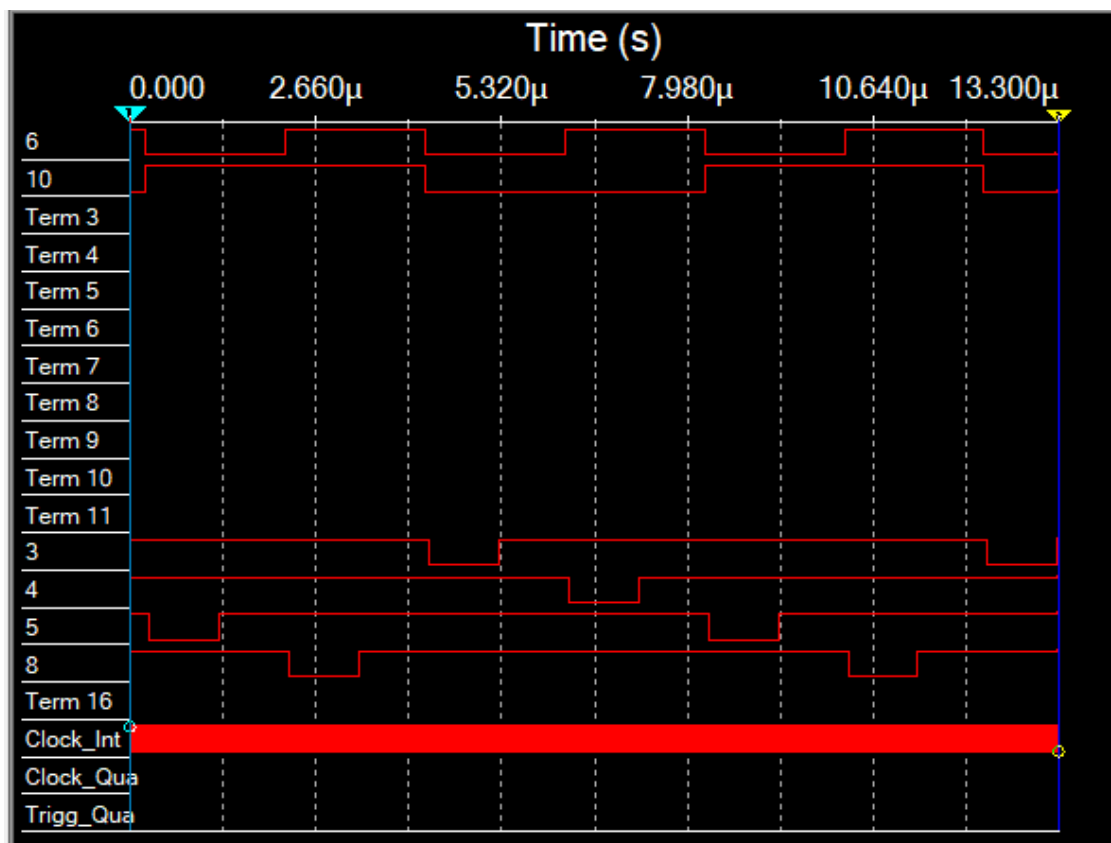


Рисунок 12 – Временная диаграмма

Как видно из данной диаграммы (рис. 12), помехи не возникли.

2. Исследование дешифраторов ИС К155ИД4 (74LS155)

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

Данная схема не позволяет выявить помехи.

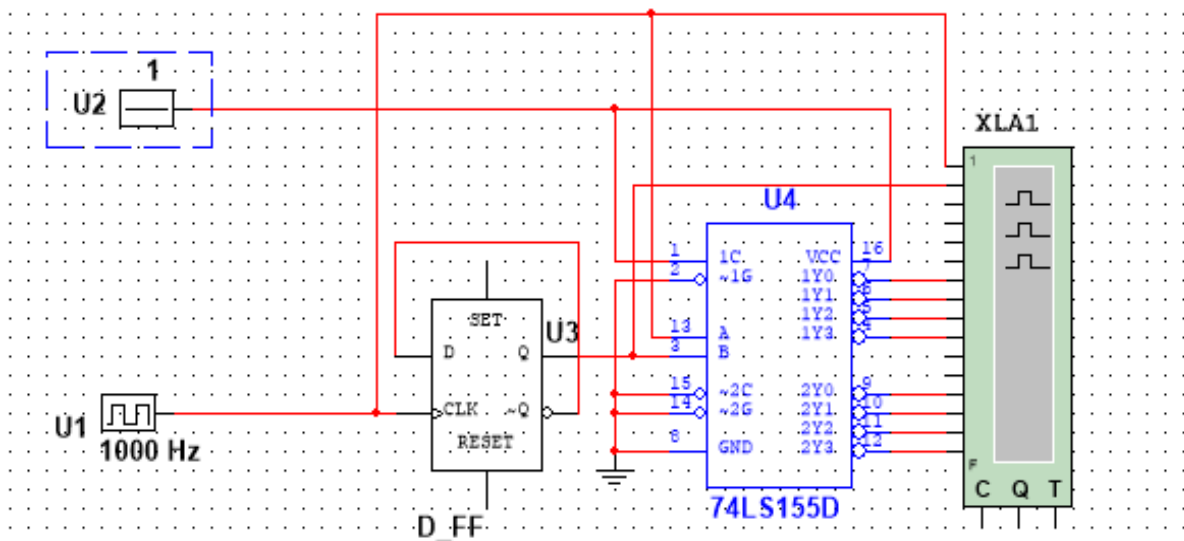


Рисунок 13 - Схема подключенного дешифратора ИС К155ИД4 (74LS155)

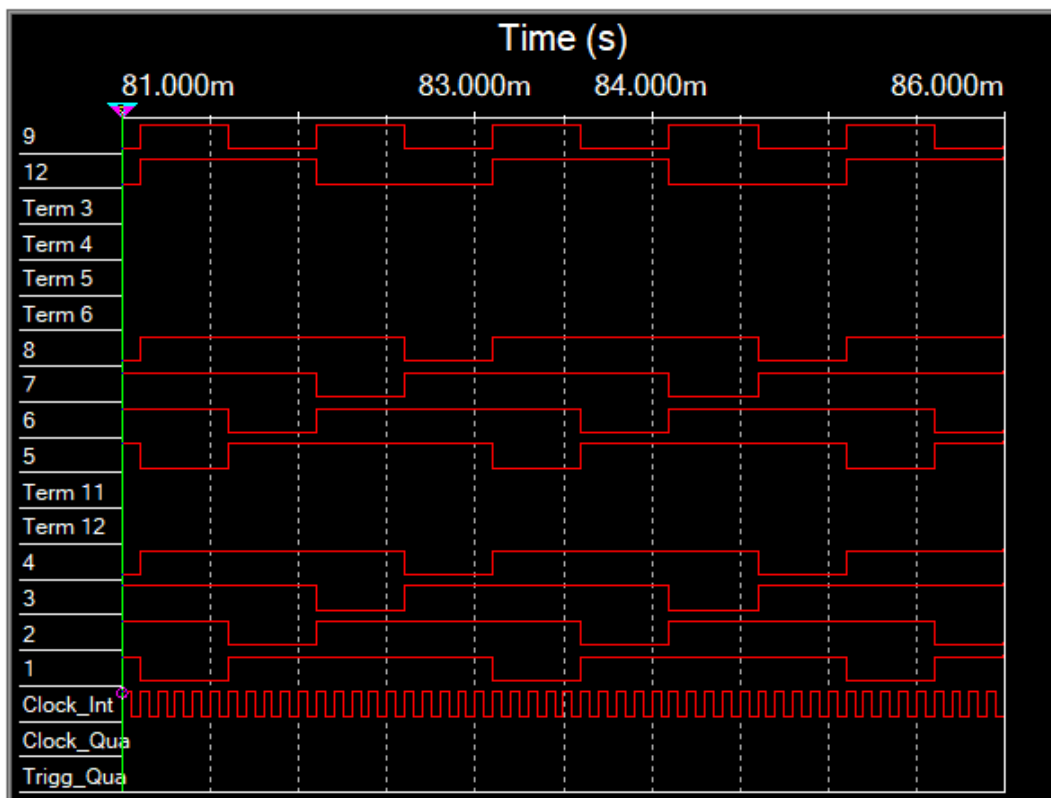


Рисунок 14 – Временная диаграмма

Поэтому необходимо построить еще одну схема дешифратора ИС К155ИД4 (74LS155) (рис. 15)

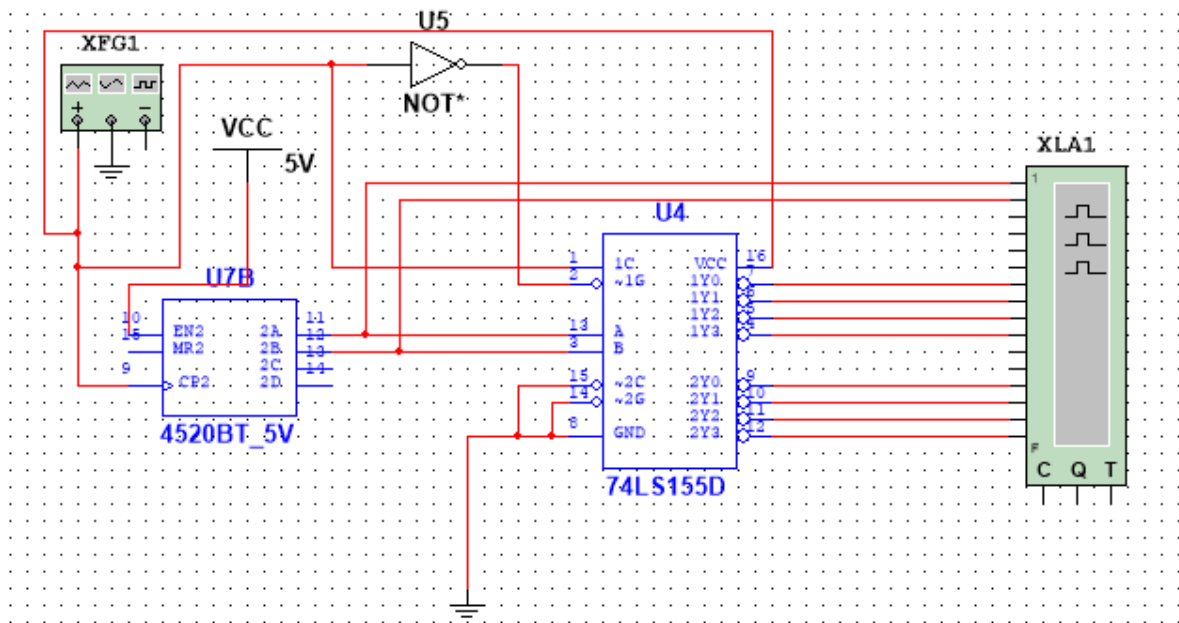


Рисунок 15 - Схема дешифратора ИС К155ИД4 (74LS155)

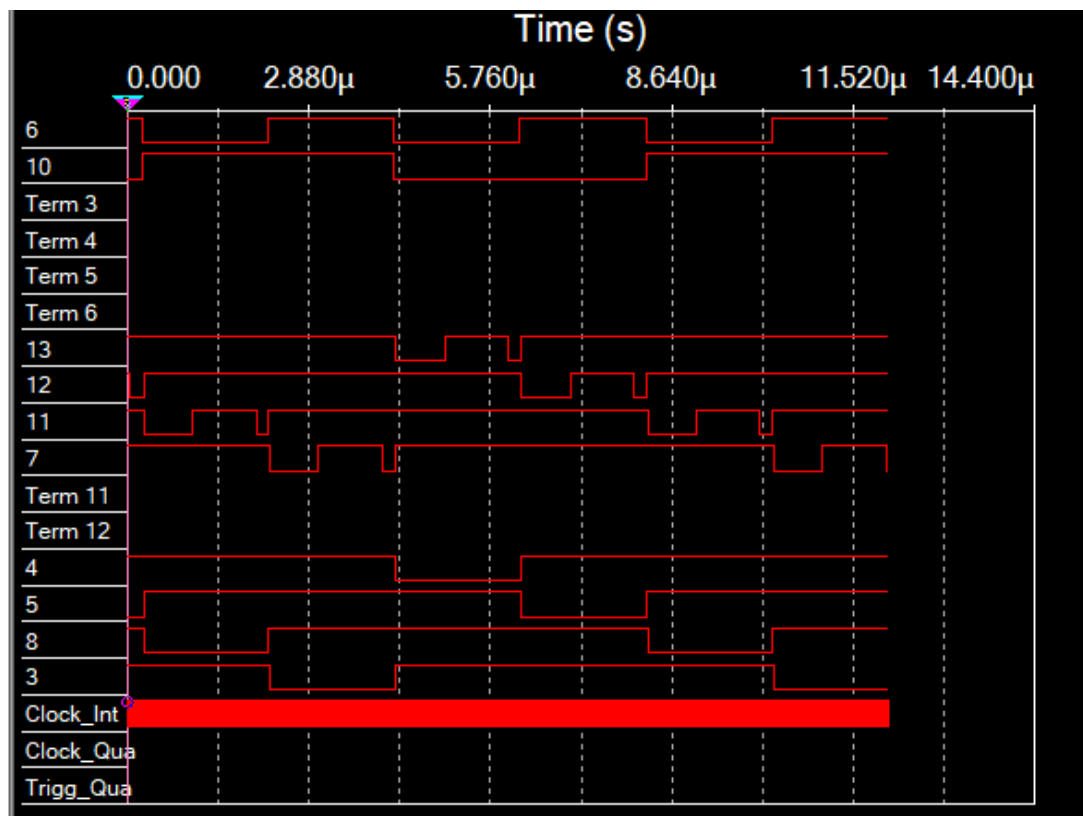


Рисунок 16 – Временная диаграмма

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Длительность помехи равно 263.951 ns (рис. 17). Отсюда можно сделать вывод, что время задержки равно ~132 ns.

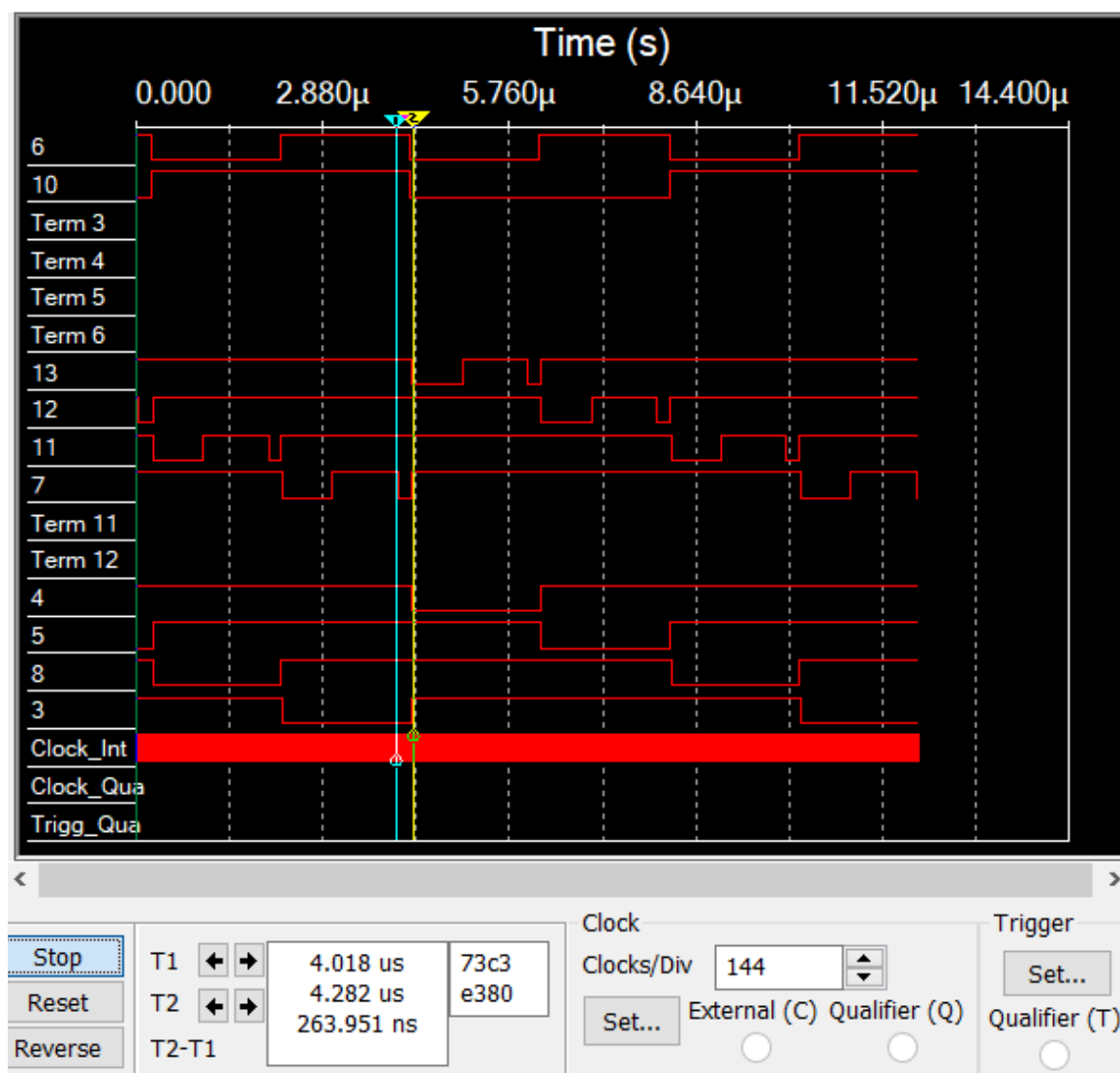


Рисунок 17 – Временная диаграмма

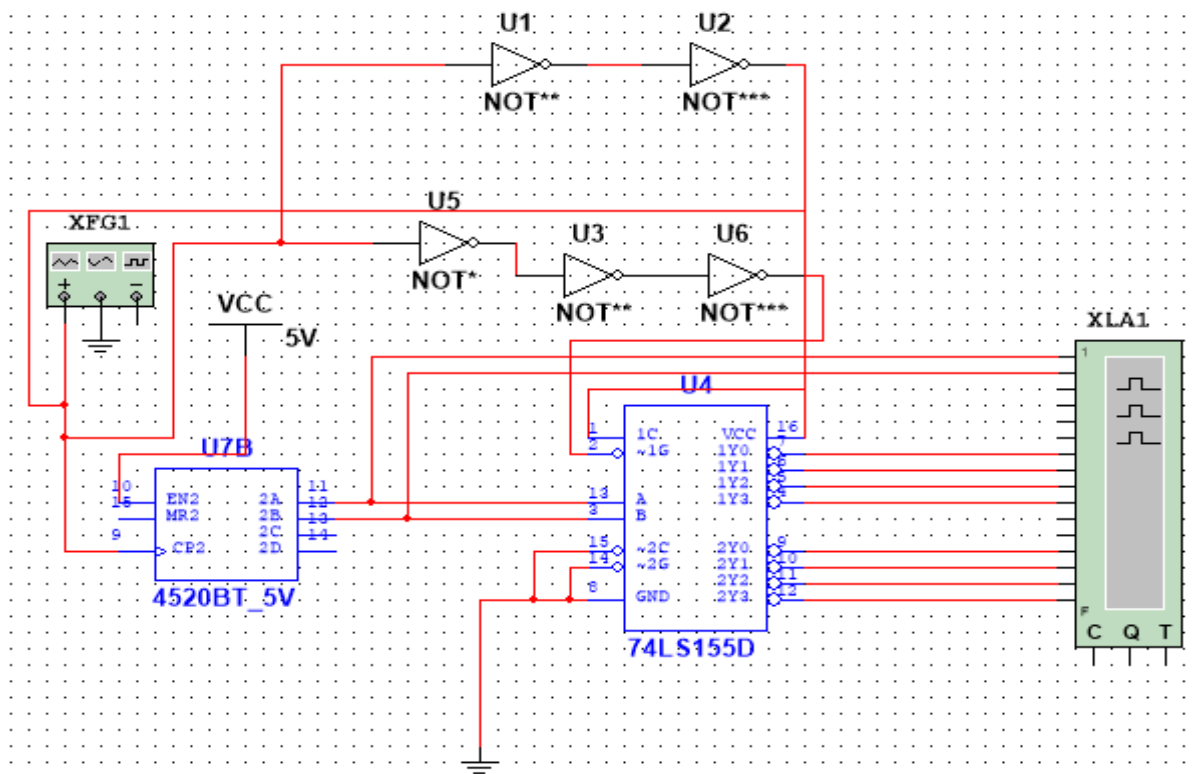


Рисунок 18 - Схема с четырьмя логическими элементами (ЛЭ) NOT, с задержкой, вычисленной выше

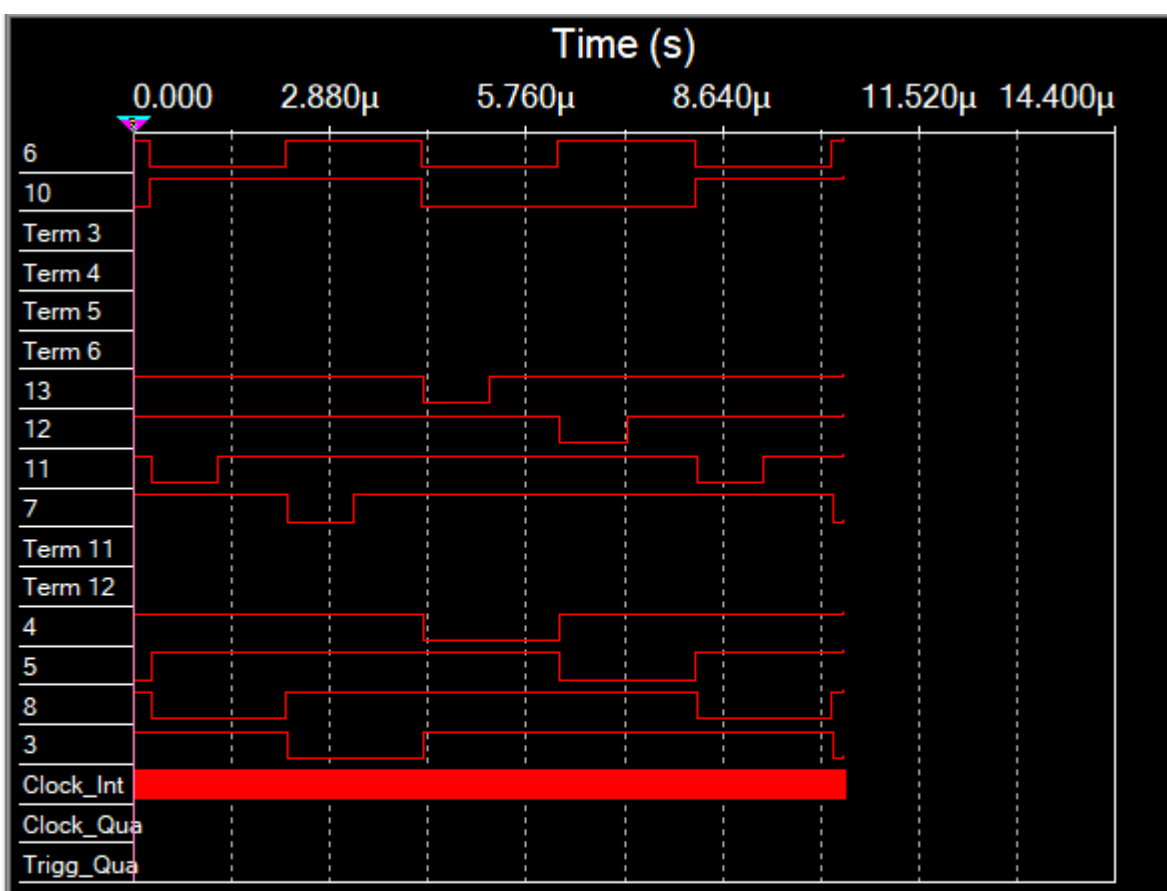


Рисунок 19 – Временная диаграмма

Как видно из данной диаграммы (рис. 19) помех нет.

U6.

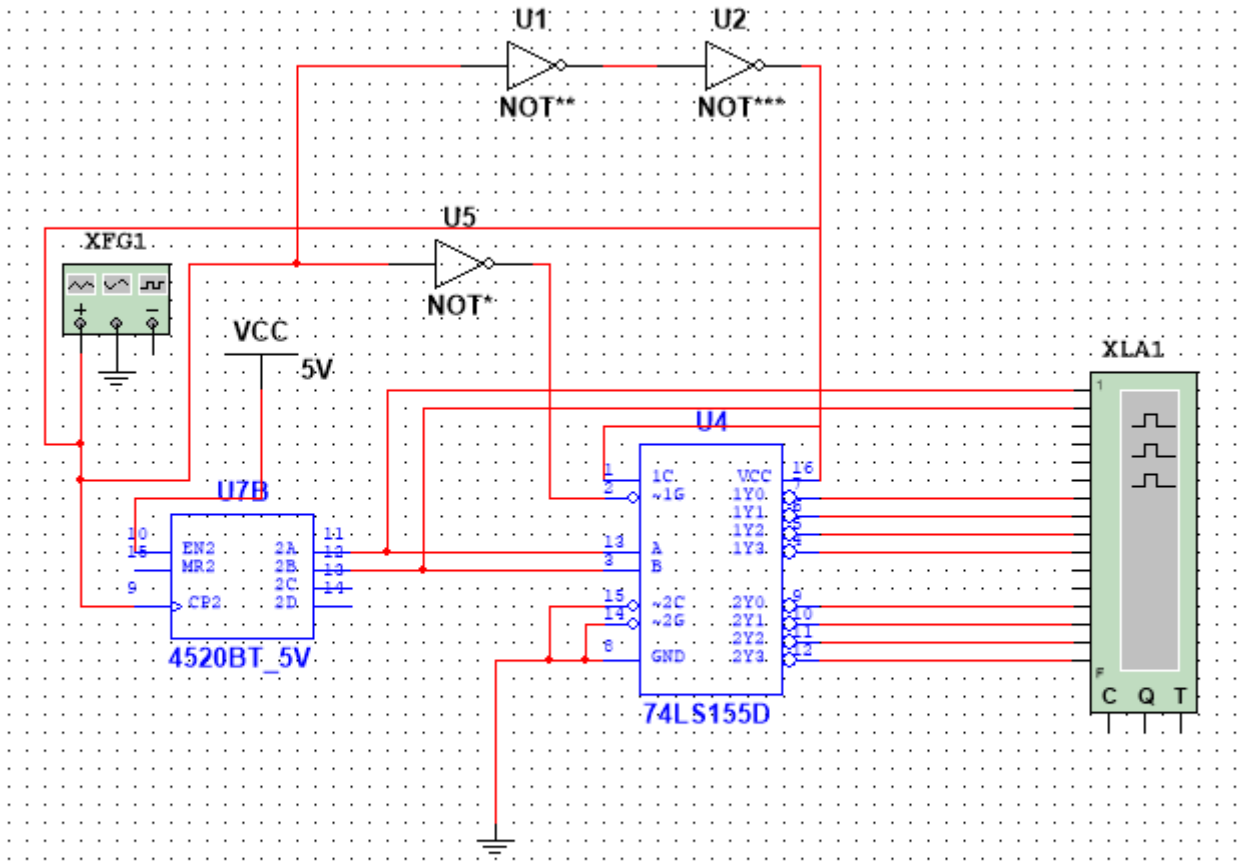


Рисунок 20 - Схема без ЛЭ NOT U3 и U6

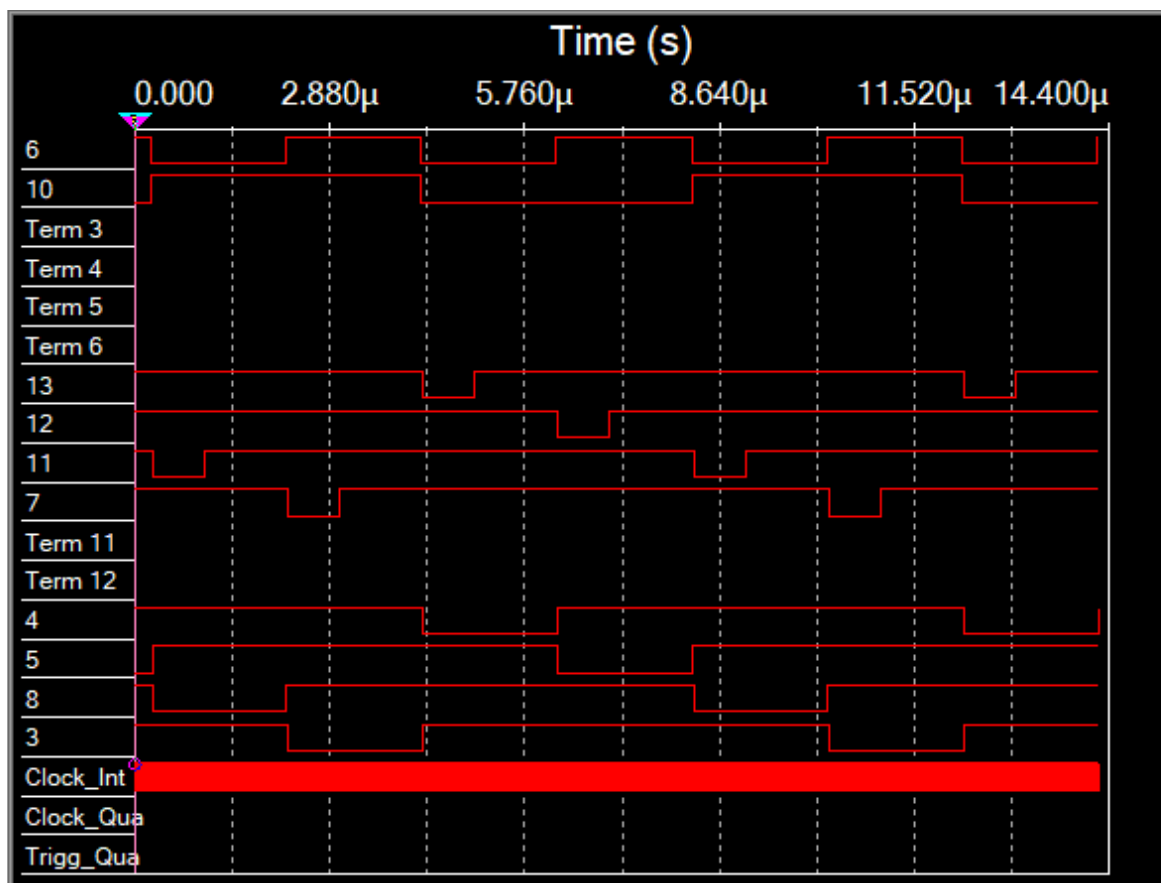


Рисунок 21 – Временная диаграмма

Следует заметить, что при данной схеме (рис. 20) мы также не наблюдаем помехи.

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы A_0 , A_1 , A_2 с выходов Q_0 , Q_1 , Q_2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

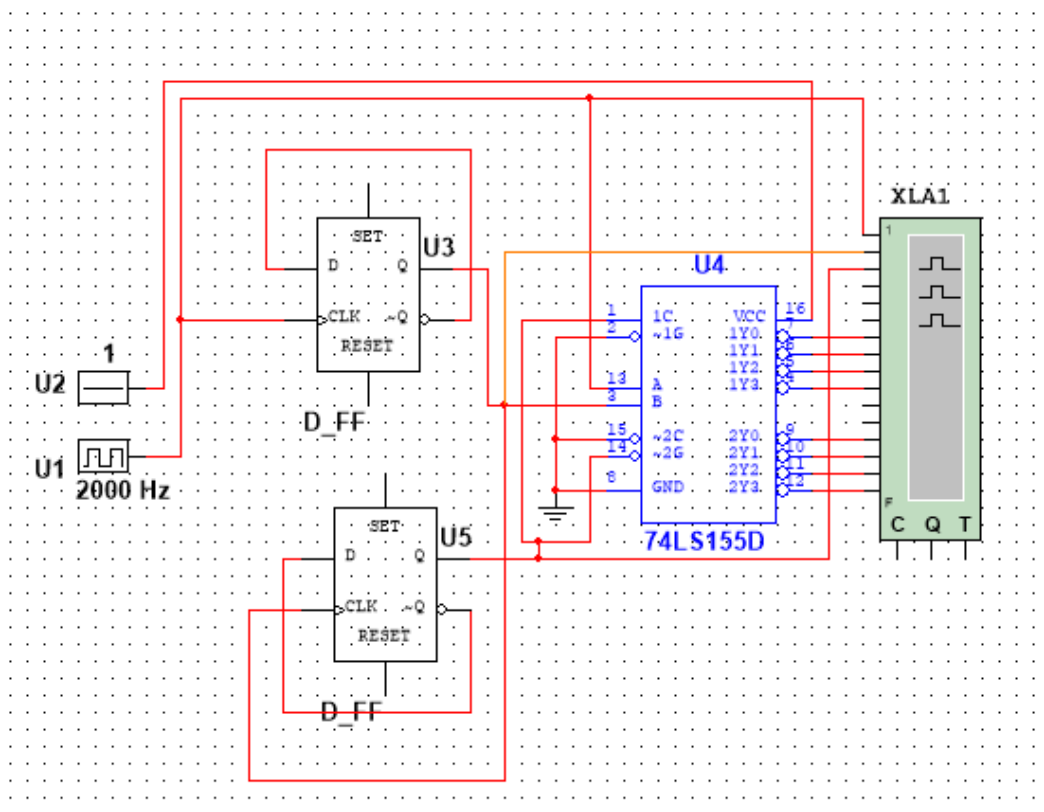


Рисунок 22 - Схема трехвходового дешифратора на основе дешифратора К155ИД4

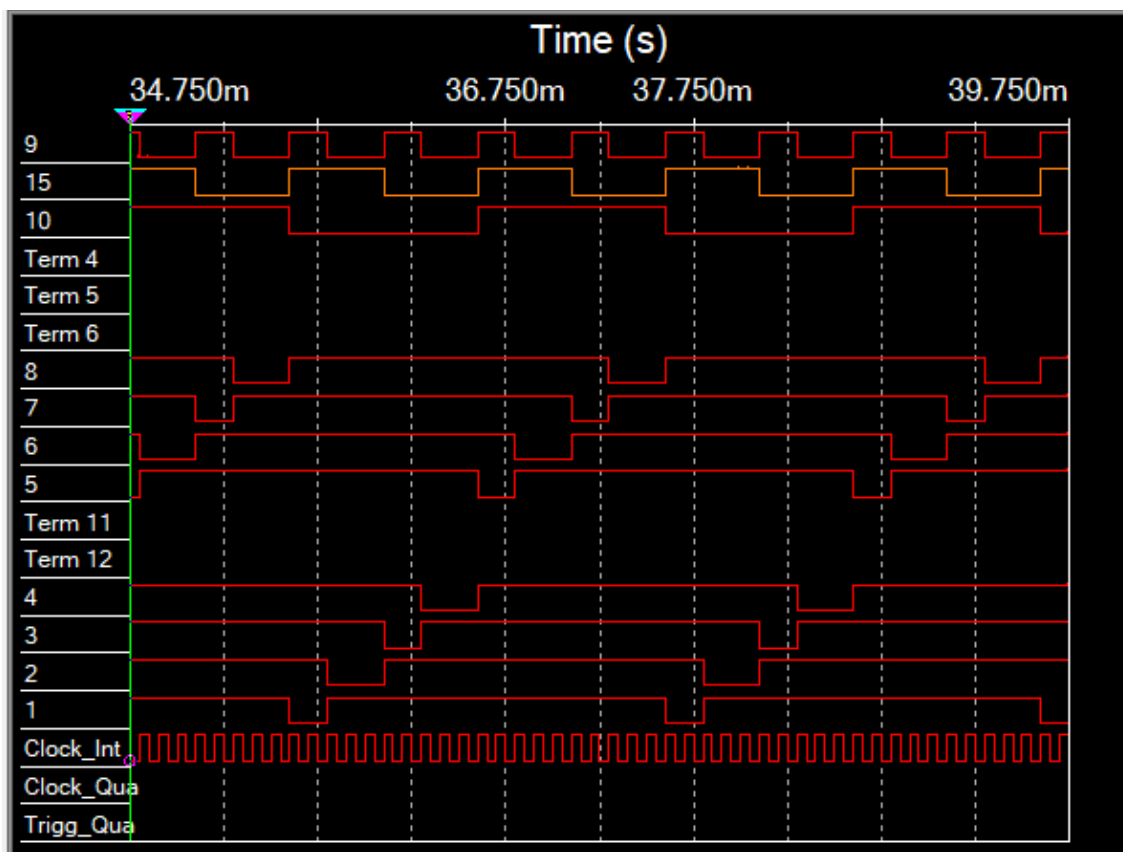
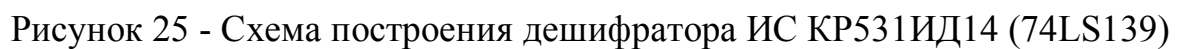


Рисунок 23 – Временная диаграмма

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. 24) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\overline{EN_1}, \overline{EN_2}$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.



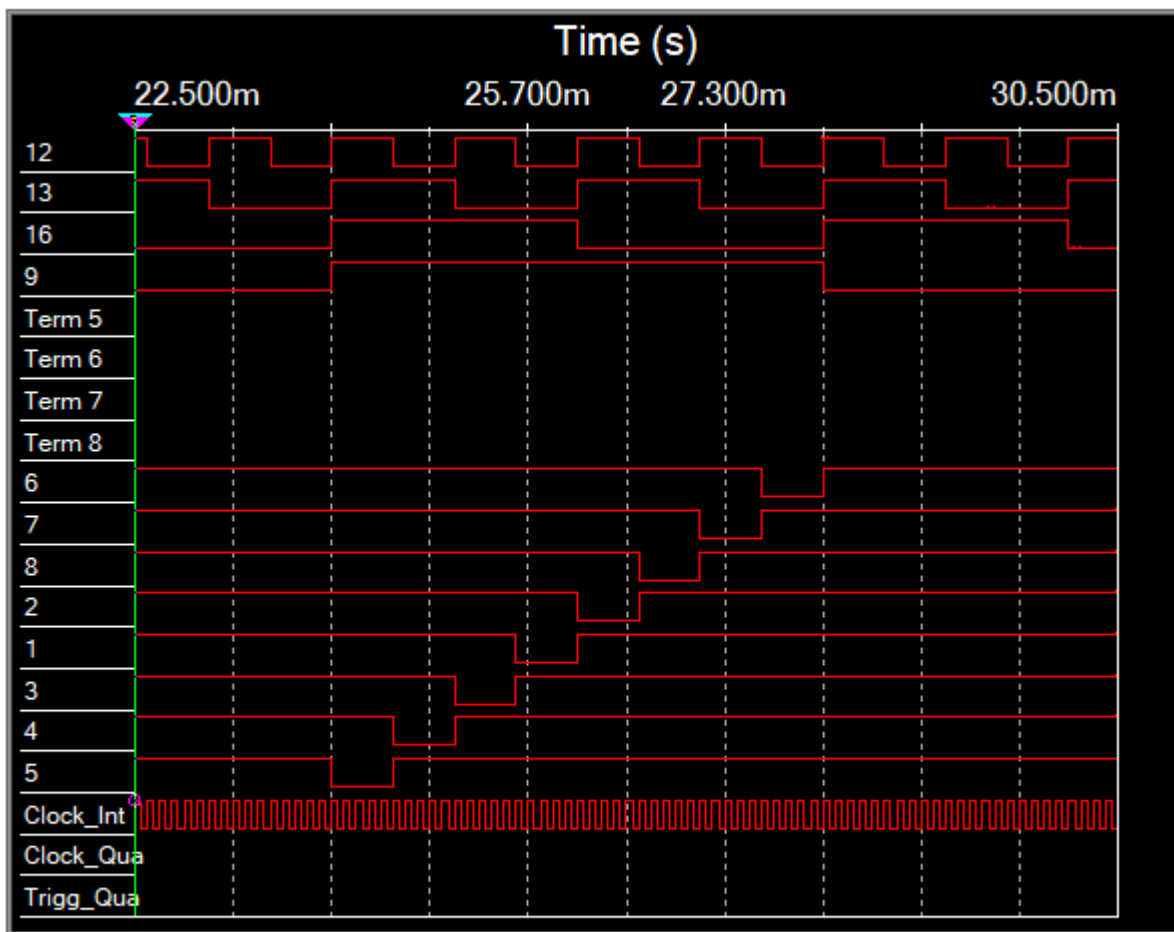


Рисунок 26 – Временная диаграмма

4. Исследовать работоспособность дешифраторов ИС 533ИД7.

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7 (рис. 27), подавая на его адресные входы 1, 2, 4 сигналы Q_0, Q_1, Q_2 , с выходов счетчика, а на входы разрешения E_1, E_2, E_3 – сигналы лог. 1, 0, 0 соответственно;

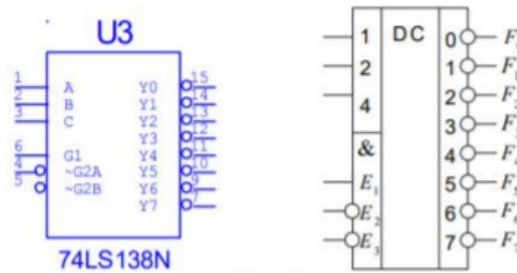


Рисунок 27 - Нестробируемый дешифратор DC 3-8 ИС 533ИД7

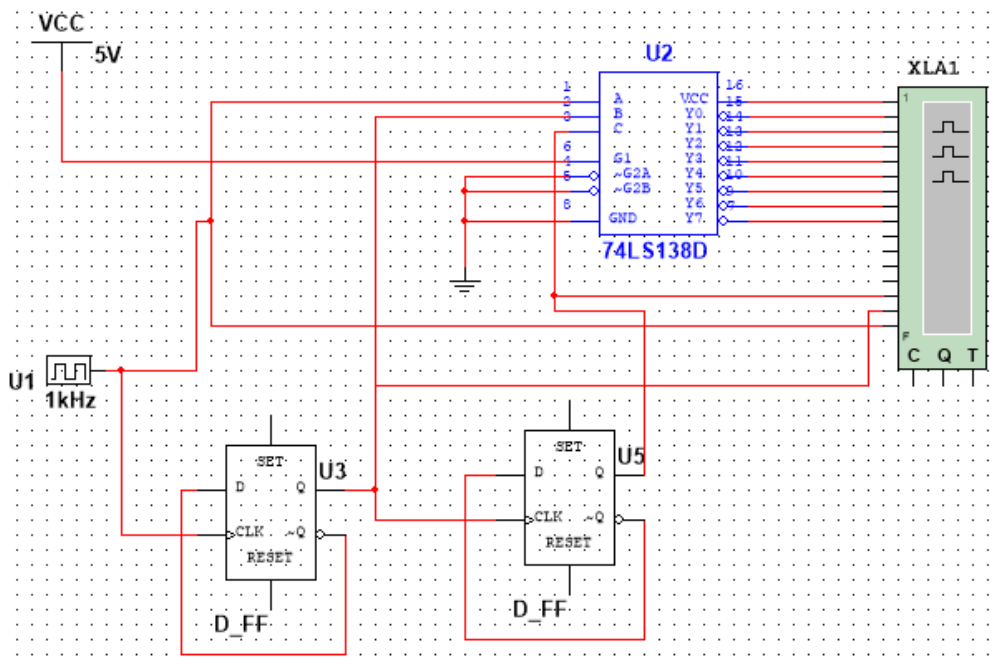


Рисунок 28 - Схема построения нестробируемого дешифратора ИС 533ИД

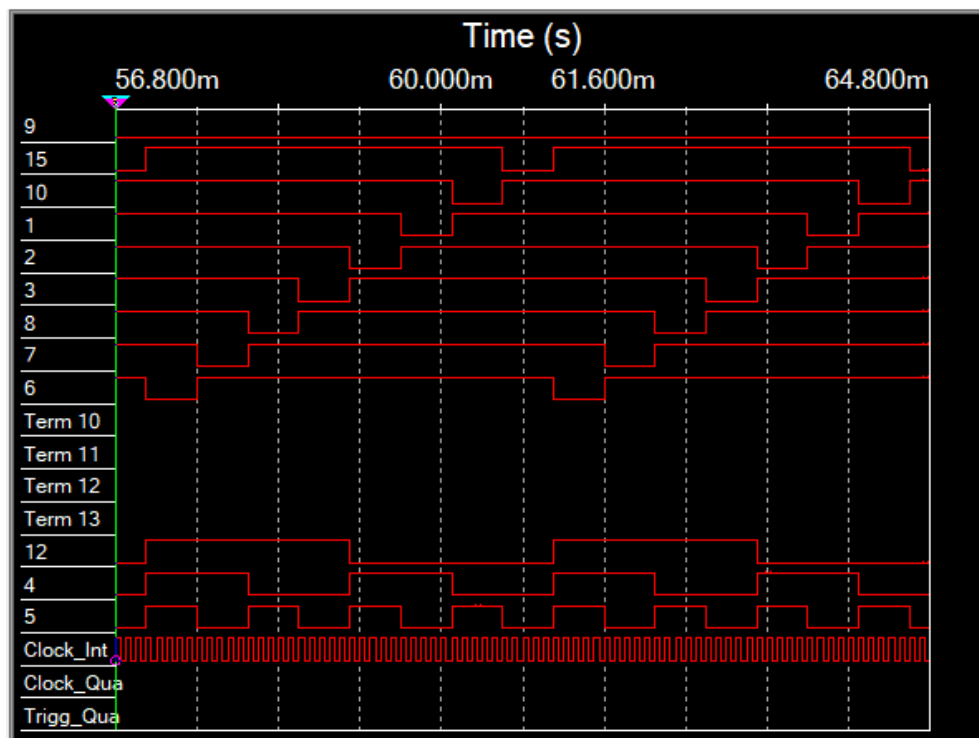



Рисунок 29 – Временная диаграмма

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q_0, Q_1, Q_2, Q_3, Q_4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.

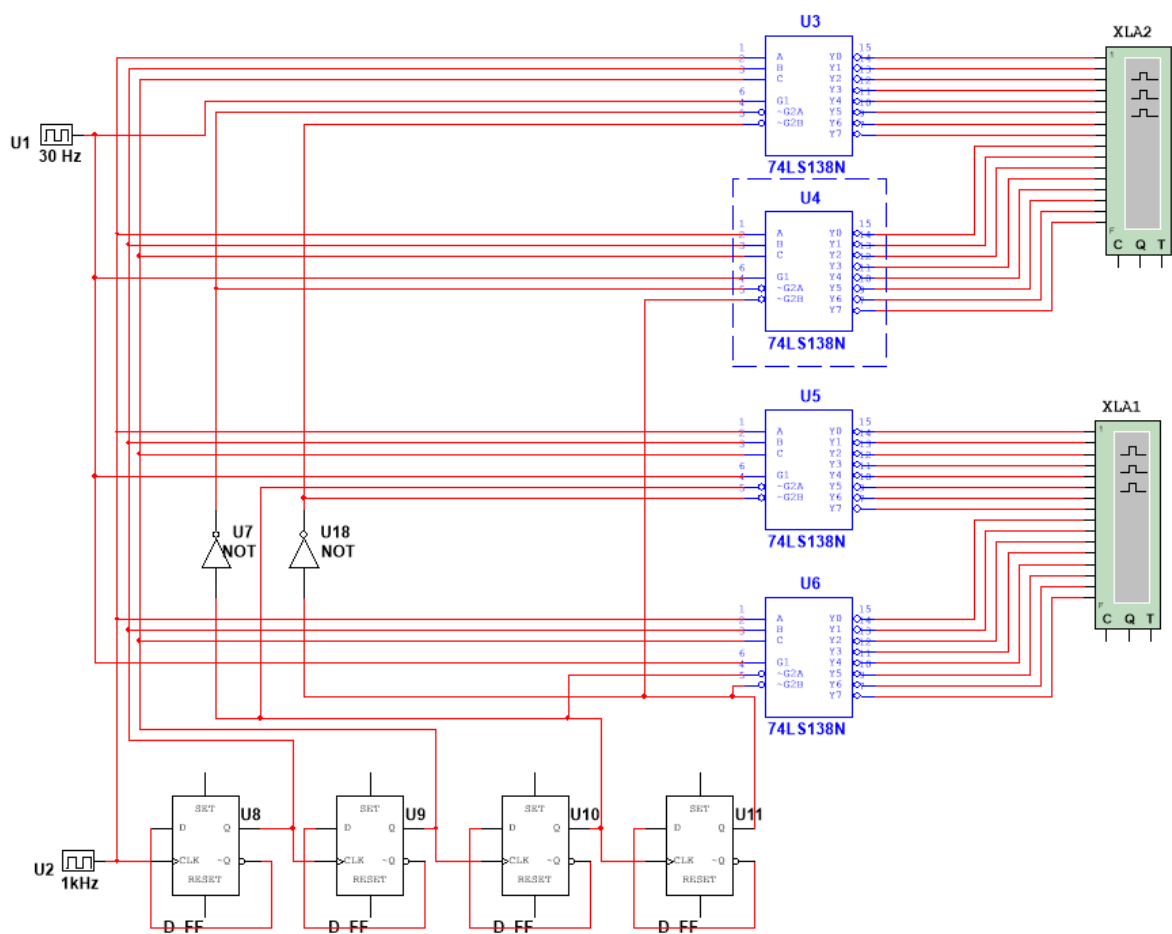


Рисунок 30 - Схема построения дешифратора DC 5-32 согласно методике наращивания входов

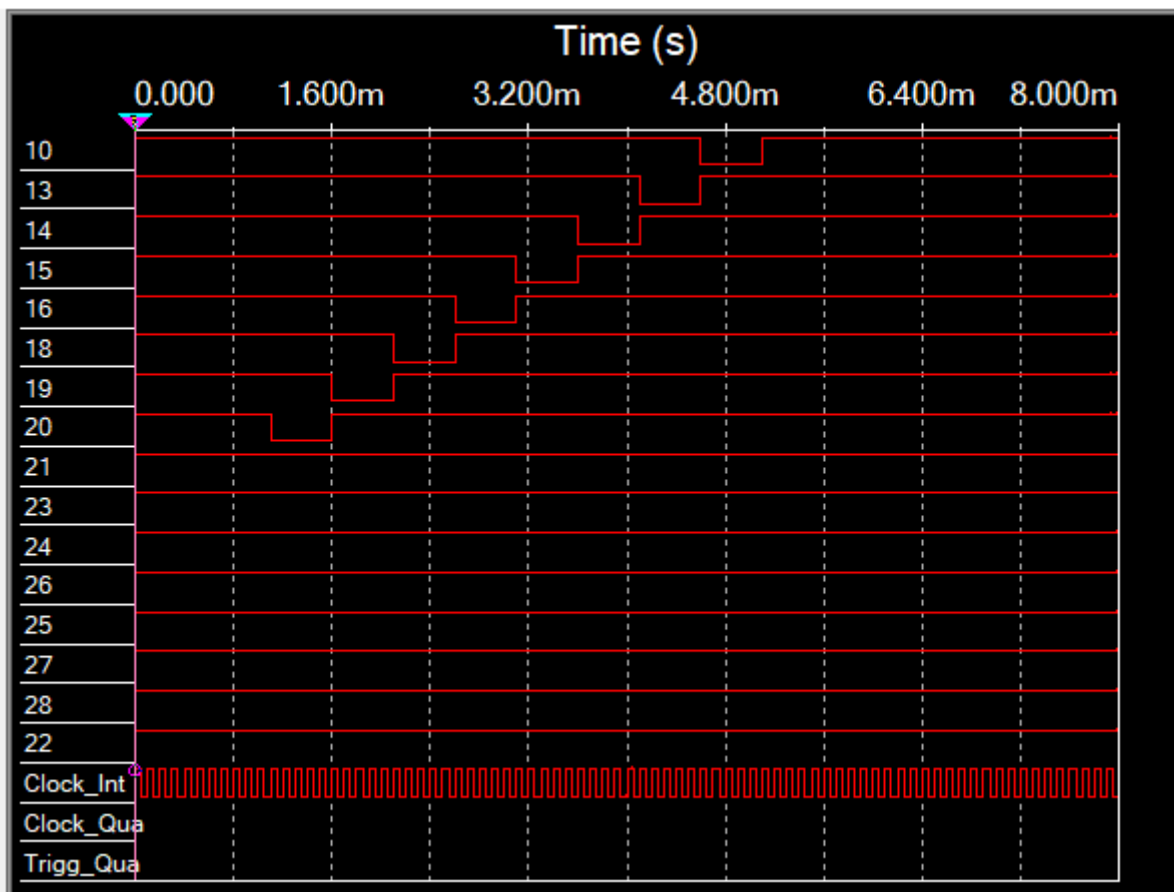


Рисунок 31 – Временная диаграмма

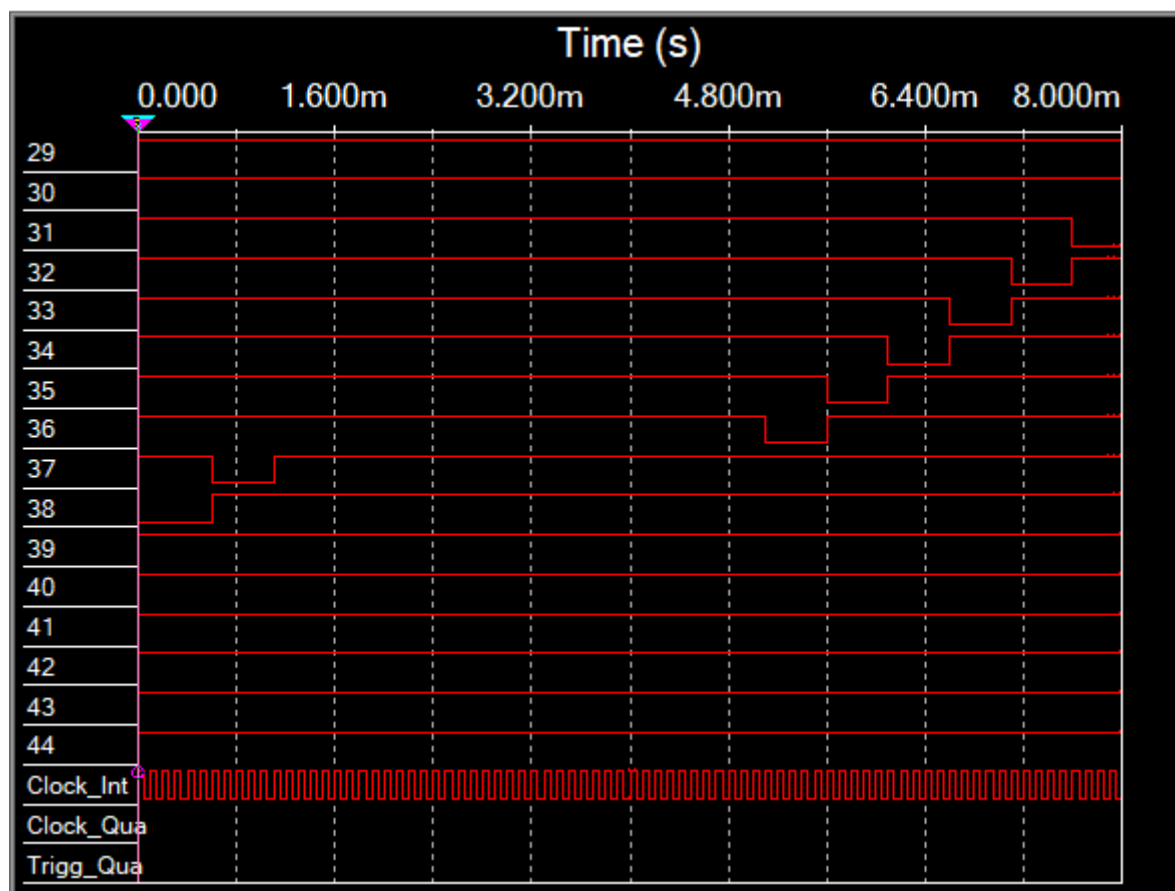


Рисунок 32 – Временная диаграмма

Вывод

Были изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов.

Контрольные вопросы

1. Что называется дешифратором?

Дешифратор - это комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора $DC\ n - N$ определяется таблицей истинности:

[illegible]

1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

4. *Поясните основные способы построения дешифраторов.*

Линейный дешифратор строится в соответствии с системой из предыдущего вопроса, и представляет собой 2^n конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $(n + 1)$ входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную $A_2(\overline{A_2})$. На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на $A_3(\overline{A_3})$ и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. *Что называется гонками и как устраняются ложные сигналы, вызванные гонками?*

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на

этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. *Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?*

Пусть для построения сложного дешифратора $DC\ n - N$ используются простые дешифраторы $DC\ n_1 - N_1$, причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $= \frac{n}{n_1}$. Если K – целое число, то во всех каскадах используются полные дешифраторы $DC\ n_1 - N_1$. Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор $DC\ n_1 - N_1$.

2. Количество простых дешифраторов $DC\ n_1 - N_1$ в выходном каскаде равно $\frac{N}{N_1}$, в предвыходном - $\frac{N}{N_1^2}$, в предпредвыходном - $\frac{N}{N_1^3}$ и т.д.; во входном каскаде - $\frac{N}{N_1}$ к. Если $\frac{N}{N_1}$ к – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.