



INSTITUTO TECNOLÓGICO
DE
BUENOS AIRES

INGENIERÍA ELECTRÓNICA
22.01 - TEORÍA DE CIRCUITOS

TRABAJO PRÁCTICO N°6

Grupo 4:

Álvarez, Lisandro
Fogg, Matias
Diaz, Ian
Delgado, Milton
Dieguez, Manuel
Oh, Victor

Legajos:

57771
56252
57515
56451
56273
56679

APROBADO EN FECHA:

ENTREGADO EL 15 DE NOVIEMBRE DE 2019

Índice

| | | |
|------------|--|-----------|
| I | Oscilador de Wien | 3 |
| 1. | Introducción | 3 |
| 1.1. | Criterio de Barkhausen | 3 |
| 1.2. | Oscilador de <i>Wien</i> | 3 |
| 2. | Análisis del circuito propuesto | 4 |
| 2.1. | <i>Automatic Amplitude Control (AAC)</i> | 5 |
| 2.1.1. | Transistor JFET-N | 5 |
| 2.1.2. | Diodos en serie | 5 |
| 2.1.3. | Controlador de respuesta en frecuencia de los diodos | 5 |
| 2.1.4. | Controlador de amplitud de oscilación | 6 |
| 2.2. | Máxima frecuencia de oscilación | 6 |
| 2.3. | Análisis de sensibilidades | 6 |
| 2.4. | Polos y ceros del circuito | 8 |
| 3. | Implementación | 9 |
| 3.1. | Frecuencia de oscilación | 9 |
| 3.2. | <i>Automatic Amplitude Control (AAC)</i> | 9 |
| 3.2.1. | Controlador de frecuencia | 9 |
| 3.2.2. | Elección de la resistencia del transistor JFET-N | 9 |
| 3.2.3. | Polos y ceros | 10 |
| 3.3. | Selección de amplificadores operacionales | 10 |
| 3.4. | Diseño del PCB | 11 |
| 4. | Simulaciones y mediciones | 11 |
| 4.1. | Distorsión Armónica | 12 |
| 4.2. | Transistor en estado estacionario | 12 |
| 4.2.1. | Resistencia dinámica | 12 |
| 4.2.2. | Tensión de Gate | 13 |
| II | PLL: Phase Locked Loop | 13 |
| 5. | Introducción | 13 |
| 6. | Funcionamiento de un PLL | 13 |
| 6.1. | Rango de enganche | 15 |
| 6.2. | Rango de captura | 16 |
| 6.2.1. | Efectos de distintos filtros sobre el rango de captura | 17 |
| 7. | Composición del integrado CD4046B | 19 |
| 7.1. | Comparadores de fase | 20 |
| 7.2. | Oscilador controlado por voltaje (VCO) | 21 |
| 8. | Implementación del integrado | 21 |
| 8.1. | Medición del rango de enganche y captura | 22 |
| 8.2. | Medición del factor de calidad Q | 22 |
| 8.3. | Aplicación: demodulación FM | 23 |
| 8.3.1. | Introducción: modulación FM | 23 |
| 8.3.2. | Implementación | 24 |
| 8.3.3. | Mediciones | 25 |
| 8.4. | Implementación: multiplicador de frecuencias | 27 |
| 8.4.1. | Mediciones | 27 |
| 9. | Conclusión | 28 |
| 10. | Bibliografía | 28 |

| | |
|--|-----------|
| III Diseño de VCO | 28 |
| 11.Introducción | 28 |
| 12.Introducción teórica | 28 |
| 13.Diseño | 29 |
| 13.1. VCO triangular Parte 1 | 29 |
| 13.2. Schimmit trigger | 31 |
| 13.3. VCO triangular Parte 2 | 32 |
| 13.4. Conversor | 33 |
| 13.5. PCB | 34 |
| 14.Medición | 35 |
| 15.Conclusión | 36 |

Parte I

Oscilador de Wien

1. Introducción

A lo largo de esta parte, se centrará en realizar un oscilador generador de onda sinusoidal basado en el puente de *Wien*. Para poder entender este oscilador, resulta necesario comprender el criterio de Barkhausen, el cual es imprescindible para realizar el oscilador.

1.1. Criterio de Barkhausen

Dado un sistema realimentado negativamente, siendo A la ganancia de lazo abierto y β la ganancia de realimentación, entonces se define $T(s) = A(s)\beta(s)$ como la ganancia de lazo de realimentación.

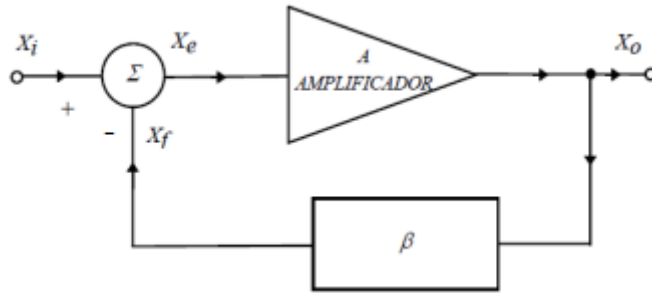


Figura 1: Sistema realimentado

De acuerdo con lo desarrollado en el libro *Design With Operational Amplifiers And Analog Integrated Circuits*¹, pueden ocurrir 3 posibles situaciones para la ganancia de lazo de realimentación $T(s)$:

1. $T(S_0) < 1$: Lo cual supone una atenuación de la señal por lo que el sistema resulta estable sin oscilar.
2. $T(S_0) > 1$: Lo cual genera una amplificación de la señal resultando en un sistema inestable que con el correr del tiempo generará que el amplificador oscile
3. $T(S_0) = 1$: Esta es considerada una estabilidad neutral ya que no atenúa ni amplifica la señal. Esta es la condición que se tiene en cuenta para que el criterio funcione.

De acuerdo con lo mencionado en el libro, para que se cumpla la condición 3, es necesario tener un par de polos conjugados sobre el eje $j\omega$.

1.2. Oscilador de *Wien*

Dado un circuito como el que se muestra en la Figura 2, se podrá calcular como se mencionó previamente, la ganancia de lazo de realimentación.

Como se menciona en el libro² se llega a la ecuación mencionada a continuación:

$$T(f) = \frac{1 + \frac{R_2}{R_1}}{3 + j \left(\frac{f}{f_0} - \frac{f_0}{f} \right)} \quad (1)$$

$$f_0 = \frac{1}{2\pi RC} \quad (2)$$

Por lo tanto, si se reemplaza f por la frecuencia f_0 , se obtiene

$$T(f_0) = \frac{1 + \frac{R_2}{R_1}}{3} \quad (3)$$

Consecuentemente, como se desea cumplir con la condición 3 mencionada en la subsección anterior, necesariamente $\frac{R_2}{R_1} = 2$. Por ende, cuando se cumpla esta condición, resulta evidente que se generará un puente balanceado a lo largo de la frecuencia f_0 .

¹A lo largo del capítulo 10.1 durante el desarrollo de *Basic Wien-Bridge Oscillator*

²Partiendo de la ecuación 10.4 y 10.5 de la página 486 del libro

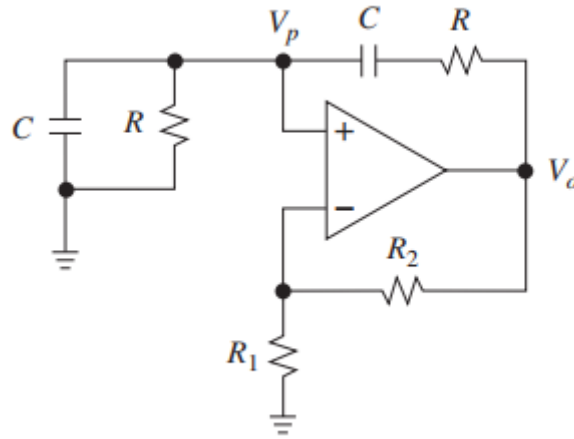


Figura 2: Circuito de Wien

2. Análisis del circuito propuesto

A lo largo de esta sección nos centraremos en analizar el circuito propuesto por la cátedra que se puede observar en la Figura 3.

A su vez, al calcular la distorsión armónica se obtuvo que:

$$THD =$$

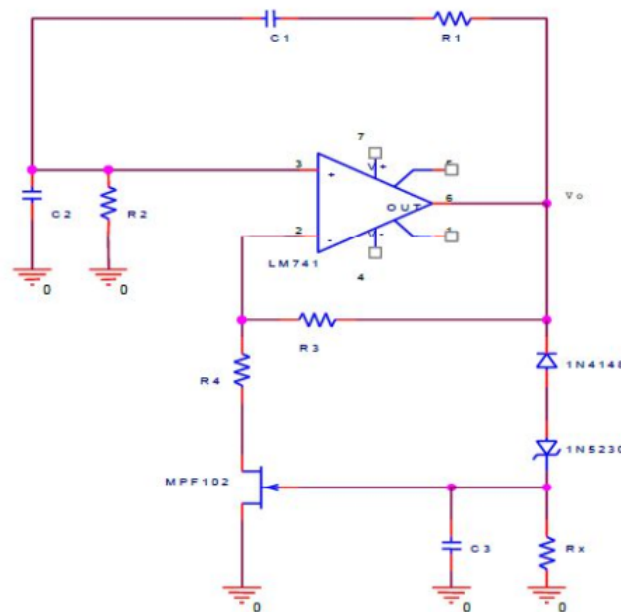


Figura 3: Circuito de Oscilador propuesto

Como se puede ver en la figura, el circuito propuesto es bastante parecido al mencionado en la Figura 2, los componentes adicionales agregados forman parte de lo que se llama *Automatic Amplitude Control*³ (AAC). El AAC, es la etapa del circuito encargada de ajustar el valor de $\frac{R_3}{R_4}$ dinámicamente con el objetivo de suplir las falencias constructivas de los elementos resistivos, que generan un determinado error en el cociente, para llevarlo al valor esperado de 2.

³Control Automático de Ganancia o CAG en español

2.1. Automatic Amplitude Control (AAC)

2.1.1. Transistor JFET-N

Para poder entender el funcionamiento del AAC, es necesario primero entender como se comporta un JFET-N, para eso, se puede observar la Figura 4.

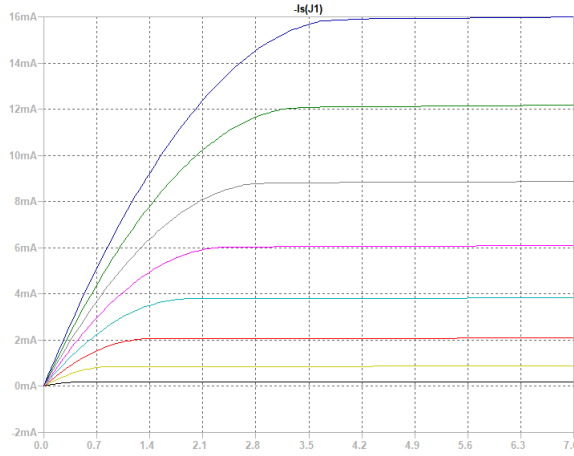


Figura 4: I_{DS} en función de V_{DS} , para valores de V_{GS} entre -3 (V) (línea negra) y 0.5(V) (línea azul)

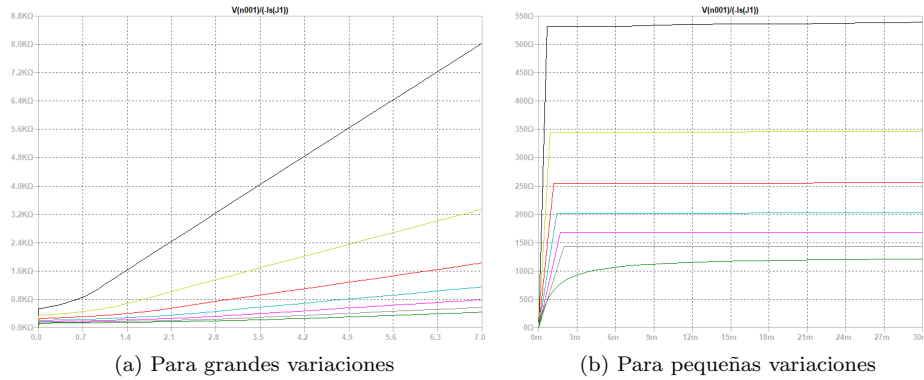


Figura 5: R_{DS} en función de V_{DS} para valores de V_{GS} entre -2.5(V) (línea negra) y 0.5(V) (línea verde)

Como se pudo observar en la Figura 5, se puede utilizar al transistor JFET-N como resistencia variable, esto es altamente útil para ajustar el valor del cociente $\frac{R_3}{R_4}$ visto anteriormente y utilizarlo a nuestro favor.

2.1.2. Diodos en serie

Debido a que el oscilador de Wien debe poder funcionar sin señal de entrada, se debe crear un control sobre $\frac{R_3}{R_4}$ de modo tal que, cuando el circuito se alimente, rápidamente se llegue a la oscilación. Esto se realiza mediante el cambio dinámico de R_4 , es decir, cuando el circuito permanezca apagado, y durante los primeros instantes de alimentación, R_4 debe permanecer lo suficientemente baja para que el cociente sea lo suficientemente mayor a 2 para lograr un tiempo de establecimiento relativamente corto, sin embargo, una vez que se llega a ese tiempo de establecimiento, se debe procurar de aumentar el valor de R_4 de modo tal que el cociente de resistencias sea 2, como fue explicado anteriormente. Para lograr esto, entran en juego los diodos, que cuando la tensión V_o es lo suficientemente chica, los diodos no conduzcan, generando así que el JFET tenga una resistencia interna aproximadamente igual a 0, y cuando V_o supera la tensión de umbral de los diodos (aproximadamente 5.4(V)), estos conduzcan corriente, carguen el capacitor C3 y ajusten la resistencia interna del transistor R_T para que $\frac{R_3}{R_4 + R_T} < 2$.

2.1.3. Controlador de respuesta en frecuencia de los diodos

Debido al comportamiento no lineal de los diodos, como se puede ver en la Figura 6, el cambio abrupto en la tensión de Gate se deberá controlar para que las componentes de alta frecuencia de ese comportamiento producido por los diodos.

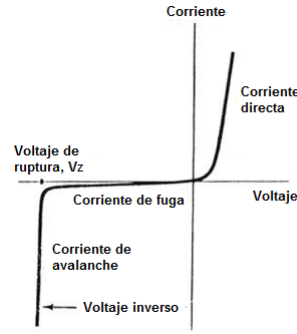


Figura 6: Curva de un diodo

Para resolver este problema de altas frecuencias generadas por los cambios abruptos, simplemente se añade al circuito un filtro pasivo de primer orden con comportamiento de pasabajos. Este filtro se logra con los componentes C_3 y R_x , dado que el pasabajos tendrá una constante de tiempo de establecimiento de $\tau = C_3 R_x$, estos componentes limitarán el comportamiento indeseado de los diodos y mantendrán la tensión de gate con pocas variaciones, esto es debido a la necesidad de controlar muy precisamente la resistencia R_{DS} del transistor. En principio, llamando f_0 a la frecuencia de oscilación del oscilador de *Wien* a realizar, se propone que se cumpla la siguiente inecuación:

$$\frac{1}{f_0} < 10^3 C_3 R_x \quad (4)$$

2.1.4. Controlador de amplitud de oscilación

Como uno bien se puede imaginar en la subsección 2.1.2, la tensión de umbral entre los diodos determina la tensión máxima de oscilación del circuito, es decir, para una tensión mayor a la tensión umbral de ambos diodos, la salida de la sinusoidal se verá recortada por ese tope de tensión. Para esto, la solución mas intuitiva, es agregar una caída de tensión variable entre los nodos de los diodos, para ello, lo unico que se debe hacer es conecta una resistencia variable en serie con los diodos que genere una caída de tensión variable, y así, se podría ajustar el valor máximo de la tensión pico de la señal.

Otra manera un poco mas sofisticada de enfrentar este problema es agregar un circuito inversor⁴ a la salida del oscilador⁵. La ventaja que se obtiene es que, a diferencia del metodo anterior donde solo se podia aumentar la tensión máxima de salida, en este caso, se puede controlar, tanto aumentando la tensión maxima de salida como atenuandola. El hecho de que invierta la señal no sería un problema ya que al ser un oscilador la fase de 0° uno la define donde quiere, por lo tanto, se puede interpretar a la salida con un desfase de 0° . Sin embargo, la gran desventaja de esta solución es el presupuesto de construcción del mismo, ya que se deben agregar tanto mas componentes pasivos como activos, y el consumo de corriente del circuito resultante tambien aumentará debido a la alimentacion del segundo amplificador.

Estos dos metodos fueron simulados y los resultados se ven en la Figura 7.

2.2. Máxima frecuencia de oscilación

Si bien como se ha visto en el análisis anterior, en ningun momento aparece un limite en la frecuencia de oscilación, esto se debe a que se trabajó con amplificadores operacionales ideales. Cuando se realiza el análisis con amplificadores operacionales reales, los limites comienzan a quedar determinados por el *Gain Bandwidth Product* y el *Slew Rate*. Al simular el circuito con amplificadores reales, como con el LM833 o el TL082, se observó que el limite de frecuencias a las cuales el oscilador dejaba de funcionar dependía del tiempo de establecimiento que estuvieramos dispuestos a esperar. Es por eso que para tiempos de establecimiento relativamente razonables, en las simulaciones quedó en evidencia que que las frecuencias disponibles para realizar el oscilador no podian superar los 500(kHz).

2.3. Análisis de sensibilidades

Se propone calcular analíticamente las sensibilidades del circuito respecto de los componentes de lazo de realimentación positiva. Para esto, primero que nada, es necesario calcular la funcion de la realimentación positiva.

⁴Se podría utilizar un circuito no inversor, pero no se lo menciona ya que no presenta ventajas frente a la resistencia en serie con los diodos

⁵Este método queda a discreción de el presupuesto destinado a realizar el oscilador.

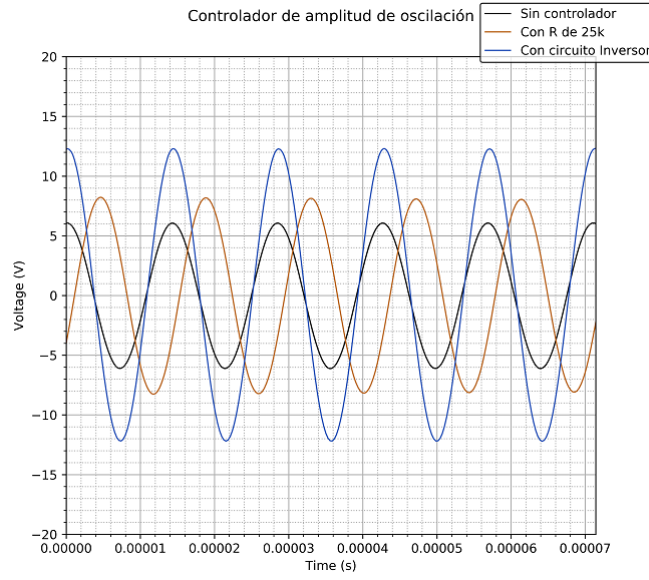


Figura 7: Cambios en el comportamiento del circuito para diferentes controladores de amplitud de oscilación

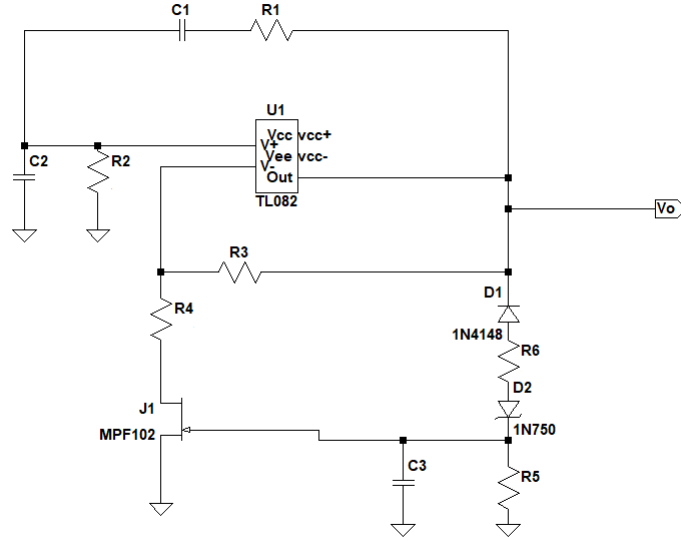


Figura 8: Circuito con controlador de amplitud por resistencia

Por lo tanto, a continuación se procederá a calcular la ganancia de realimentación positiva del circuito⁶. Para esto, observando la Figura 3, se plantea por el nodo V_p la siguiente ecuación

$$\frac{V_p - V_o}{\frac{1}{sC_1} + R_1} = -V_p \left(sC_2 + \frac{1}{R_2} \right)^{-1}$$

$$\Rightarrow \beta(s) = \frac{V_p}{V_o} = \frac{sC_1 R_2}{s^2 C_1 C_2 R_1 R_2 + s(C_1 R_1 + C_1 R_2 + C_2 R_2) + 1} \quad (5)$$

A partir de la ganancia de realimentación positiva de nuestro circuito calculada en la ecuación 5, de esta manera, operando adecuadamente con la ganancia del circuito no inversor ($A = 1 + \frac{R_3}{R_4}$), la transferencia de la ecuación 3 queda reescrita de la siguiente manera:

$$T(s) = \frac{sC_1 R_2 \left(1 + \frac{R_3}{R_4} \right)}{s^2 C_1 C_2 R_1 R_2 + s(C_1 R_1 + C_1 R_2 + C_2 R_2) + 1}$$

⁶Si bien se podría utilizar la ecuación 10.5 sacada de la pagina 486 del libro, esto no se debe hacer, debido a que en el libro se considera que C_2 y C_1 son iguales, y R_2 y R_1 también, y para el calculo de sensibilidades es necesario considerarlos como 2 componentes distintos.

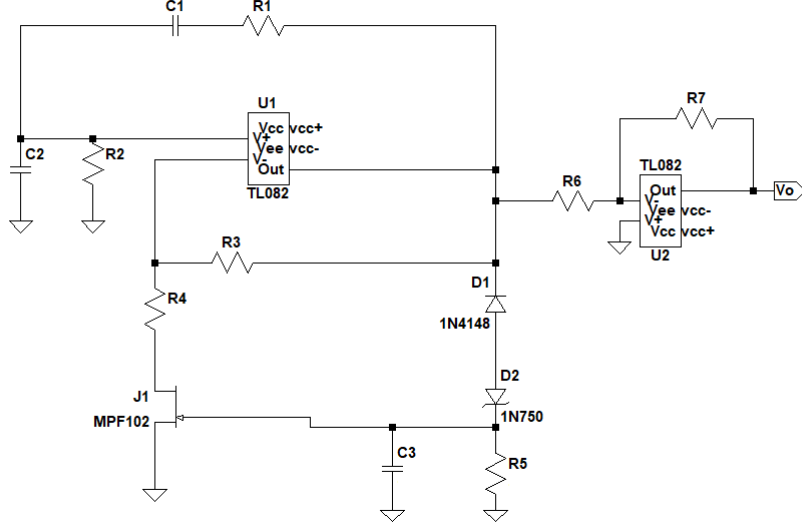


Figura 9: Circuito con controlador de amplitud por etapa inversora

Por lo tanto, considerando $C_1 = C_2 = C$ y $R_1 = R_2 = R$, la transferencia queda definida como:

$$\Rightarrow H(s) = \frac{A}{1 - T(s)} = \frac{(1 + \frac{R_3}{R_4}) \cdot [(sCR)^2 + s3CR + 1]}{(s \cdot CR)^2 + s \cdot CR(2 - \frac{R_3}{R_4}) + 1}$$

Por último, las ecuaciones de ω_0 y Q quedan definidas por:

$$\omega_0 = \sqrt{\frac{1}{C_2 R_2 C_1 R_1}} \quad (6)$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_1 R_1 + C_1 R_2 + C_2 R_2}$$

De esta manera las sensibilidades quedaran definidas por la formula 7, y calculando respectivamente cada una de ellas los resultados son los que se muestran en las ecuaciones posteriores.

$$S_{x_k}^{f(\bar{X})} = \frac{\partial f(\bar{X})}{\partial x_k} \frac{x_k}{f(\bar{X})} \Big|_{\bar{X}=\bar{X}_0} \quad (7)$$

$$\begin{aligned} S_{C_1}^{\omega_0} &= S_{C_2}^{\omega_0} = S_{R_1}^{\omega_0} = S_{R_2}^{\omega_0} = -\frac{1}{2} \\ S_{C_1}^Q &= -\frac{1}{2} \frac{3C_1 R_1 + 3C_1 R_2 + C_2 R_2}{C_1 R_1 + C_1 R_2 + C_2 R_2} \\ S_{C_2}^Q &= -\frac{1}{2} \frac{C_1 R_1 + C_1 R_2 + 3C_2 R_2}{C_1 R_1 + C_1 R_2 + C_2 R_2} \\ S_{R_1}^Q &= -\frac{1}{2} \frac{3C_1 R_1 + 3C_1 R_2 + C_2 R_2}{C_1 R_1 + C_1 R_2 + C_2 R_2} \\ S_{R_2}^Q &= -\frac{1}{2} \frac{C_1 R_1 + 3C_1 R_2 + 3C_2 R_2}{C_1 R_1 + C_1 R_2 + C_2 R_2} \end{aligned}$$

Si se reemplaza por los valores tal que $C_1 = C_2 = C$ y $R_1 = R_2 = R$, entonces los valores de las sensibilidades quedaran como:

$$S_C^{\omega_0} = S_R^{\omega_0} = 1$$

$$S_C^Q = S_R^Q = 0$$

2.4. Polos y ceros del circuito

Se procedió a hacer un análisis de los diagramas de polos y ceros de distintas etapas del circuito para cada situación del mismo.

3. Implementación

A lo largo de esta sección nos centraremos en desarrollar el proceso de implementación del circuito analizado anteriormente. Como primera etapa, nos centraremos en analizar los componentes que fijan la frecuencia de oscilación, que es lo primordial en nuestro diseño.

3.1. Frecuencia de oscilación

Como se puede observar en la ecuación 2, si se toman valores iguales de $R_1 = R_2 = R$ y $C_1 = C_2 = C$, entonces con fijar un valor arbitrariamente, el valor del otro componente quedará determinado por ese valor, y la frecuencia de operación de nuestro oscilador. Como nuestra frecuencia de oscilación es de $f_0 = 70 \text{ (kHz)}$, fijando el valor del capacitor a un valor comercial conocido, como $C = 10 \text{ (nF)}$ ⁷, la resistencia por lo tanto quedara fijada y de valor $R = 227,36 \text{ (}\Omega\text{)}$. Debido al hecho de que ese valor de resistencia no es un valor comercial, se decidió aproximar ese valor al valor comercial más cercano, sea $R = 220 \text{ (}\Omega\text{)}$, resultando en un error relativo de resistencia de $Error \approx 3 \%$. De esta manera la frecuencia de operación resultante queda de valor:

$$f_0 = 72,3 \text{ (kHz)}$$

$$Error \text{ Relativo} = 3,34 \%$$

Como se ve en las ecuaciones anteriores, el error relativo de la frecuencia es demasiado alto, es por esto, que para lograr ajustar la frecuencia al valor deseado de 70 (kHz) , si introducirá un preset en el lugar de la resistencia R_2 , y utilizando la ecuación 6, se la ajustara convenientemente de modo que la frecuencia sea la deseada. Utilizando este método, se espera obtener un error relativo de frecuencia mucho menor, del orden del 0.5% .

Sin embargo, al recurrir a las simulaciones se observó que la frecuencia que se obtenía dadas esas resistencias, era mayor a la obtenida en la simulación, es por esto, que empíricamente se comprobó que para llegar a la frecuencia deseada de 70 (kHz) , era necesario utilizar resistencias de 195 ohms . Esto fue particularmente bueno ya que se pueden generar con un paralelo de 2 resistencias de 390 ohms que son parte del estandar E12 al 1% de error.

3.2. Automatic Amplitude Control (AAC)

3.2.1. Controlador de frecuencia

Como se mencionó en la sección 2.1, hay varias reglas que se deben tener en cuenta a la hora de diseñar los valores de los componentes del AAC. En principio, como se propuso en la ecuación 4, se decide tomar el capacitor $C_3 = 10 \text{ (nF)}$, para utilizar solo un tipo de valor de capacitor en todo nuestro circuito, y por ende, el valor de la resistencia quedará fijo en $R_x > 285,71 \Omega$. Por ende, para lograr una buena relación entre impedancias, se eligió un valor de $R_x = 10 \text{ (k}\Omega\text{)}$.

3.2.2. Elección de la resistencia del transistor JFET-N

Debido a las relaciones mencionadas en la sección 2.1.2, se deben cumplir ciertas relaciones entre las resistencias R_3 , R_4 y R_T , estas relaciones (que fueron explicadas anteriormente), quedan sintetizadas en las siguientes expresiones:

$$\begin{cases} \frac{R_3}{R_4} = K_1 \\ \frac{R_3}{R_4 + R_T} = K_2 \end{cases}$$

$$K_1 > 2 ; K_2 < 2$$

Debido a que se elige un tiempo de establecimiento del oscilador relativamente corto, se elige arbitrariamente $K_1 = 2,2$ y $K_2 = 1,8$, mateniendo simetría entre ambas constantes y siendo lo suficientemente dstantes del 2 como para ajustar rapidamente cualquier variación respecto del 2. Como se puede observar en la Figura 5, el valor de la resistencia del transistor R_T , varia dependiendo de la polarización del mismo, es or esto, que se elige polarizarlo con la mayor resistencia posible. Por esta razon, y como se puede ver en la figura, la impedancia del transistor varía abruptamente para valores entre 0 y 3 (mV) de V_{GS} , es por esto que vamos a considerar esta resistencia como $0 \text{ (}\Omega\text{)}$ cuando el transistor se encuentre apagado y como $\sim 550 \text{ (}\Omega\text{)}$ cuando el transistor se

⁷Se utilizó este valor para usar los mismos valores que los capacitores de desacople y obtener un solo valor de capacitor en todo el PCB

encuentra encendido. Por lo tanto $R_T \approx 550(\Omega)$, por ende los valores de las otras resistencias quedarán bien determinadas por los valores:

$$R_3 = 5,4(k\Omega)$$

$$R_4 = 2,4(k\Omega)$$

Si bien estos valores son correctos, solo falta ajustarlos de manera que se encuentren dentro de valores comerciales de resistencias, es por eso que se los implementará con resistencias en serie y paralelo para llegar a un valor lo más cercano posible.

3.2.3. Polos y ceros

Por lo tanto, teniendo ya definidos estos valores a utilizar, ya es posible realizar un diagrama de polos y ceros del circuito, estos se pueden observar en las Figuras .

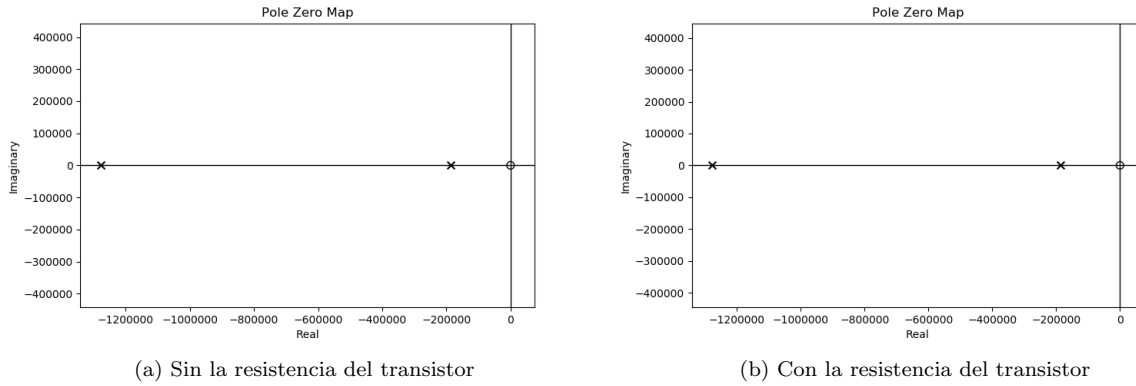


Figura 10: Diagrama de polos y ceros para la ganancia de lazo

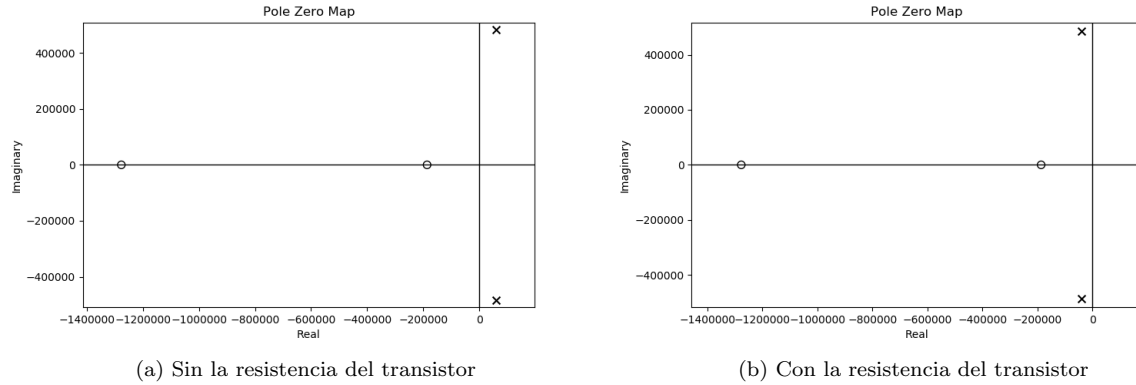


Figura 11: Diagrama de polos y ceros para la transferencia del circuito

3.3. Selección de amplificadores operacionales

Para la selección del amplificador operacional a utilizar, se tuvieron en cuenta solo aquellos que se encontraban disponibles al día de la fecha de implementación del circuito en el pañol de la universidad. Esto se debe, a que en trabajos prácticos anteriores, esto no fue tenido en cuenta y a la hora de implementar el circuito fue necesario realizar muchos cambios debido a esto. Los amplificadores disponibles en el pañol y sus respectivas características se pueden observar en el cuadro 1.

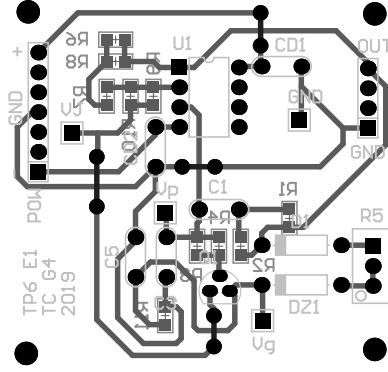


Figura 13: PCB

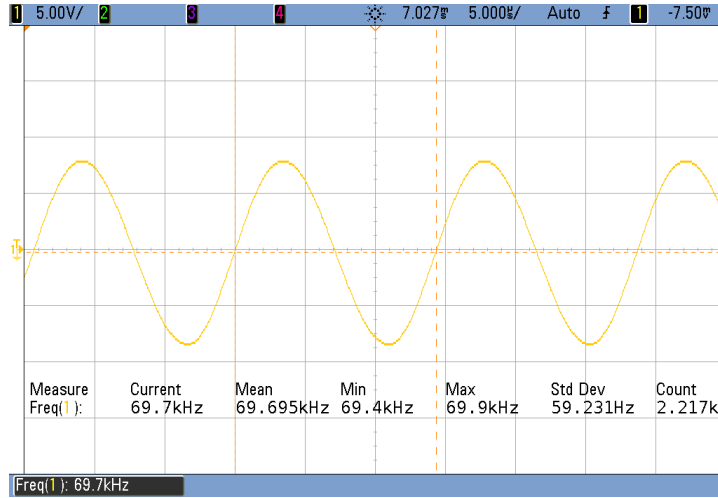


Figura 14: Oscilación del circuito

4.1. Distorsión Armónica

Debido a imperfecciones propias de la realidad, la generación de señales senoidales completamente puras es imposible. Es por ello que es necesario realizar un análisis de cuánta es la distorsión armónica de nuestro oscilador. Para realizar estos análisis se hace uso del llamado *Total Harmonic Distortion*, que es un parámetro que da cuenta de cuanto esta distorsionada nuestra señal respecto al armónico principal. Si realizamos una *Fast Fourier Transform* (FFT) a la señal generada por el oscilador, podemos observar mas detalladamente la componente de potencia que tienen todos los armónicos de la señal, esta imagen se puede observar en la Figura 15. Como se puede observar, es notorio que cuanto mas grande sea el armónico, mas atenuado estará. Si se mide la potencia de los primeros 5 armónicos siguientes al armónico principal, la distorsión armónica da como resultado lo siguiente:

$$THD = 0,0206$$

Por otro lado, al medir el espectro en frecuencia de la señal con una FFT en el osciloscopio, el resultado fue el que se muestra en la Figura 16.

Donde se puede observar que la distorsión armónica es prácticamente igual a la simulada.

4.2. Transistor en estado estacionario

4.2.1. Resistencia dinámica

Luego de que se llego al estado estacionario del circuito, es decir cuando termino el tiempo transitorio desde que se lo conecto a una fuente, la resistencia dinámica del transistor debería quedar en un valor, de tal manera que la relación de impedancias $\frac{R_3}{R_4 + R_T} = 2$, para esto, despejando de los valores de las resistencias, R_T debería tener un valor cercano a 300(Ω). Esto se verifica al ver la Figura 17, que muestra la simulación hecha con LTSpice.

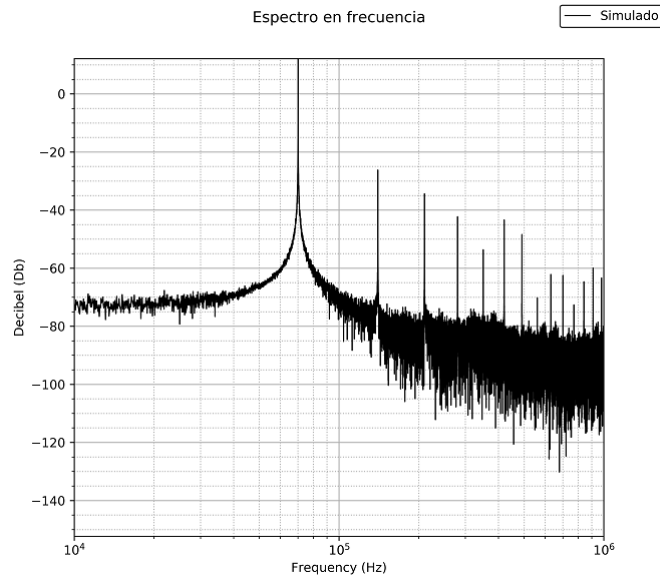


Figura 15: FFT de la señal generada

4.2.2. Tensión de Gate

Para lograr obtener los valores de resistencia aproximadamente dentro del rango requerido, es necesario que la tensión de gate a su vez tenga pequeñas variaciones cerca de un intervalo. Si se simula la tensión de gate en el estado estacionario, el resultado se puede observar en la Figura 18.

Como se puede observar, la tensión de gate tiene variaciones máximas de 0.2(mV), por lo cual, a fines prácticos, y considerando el ruido electromagnético de laboratorio, se la puede considerar constante.

Parte II

PLL: Phase Locked Loop

5. Introducción

Un lazo de seguimiento de fase, o *phase locked loop*, es un sistema de control que genera una señal en su salida cuya fase está relacionada con la fase de la señal en su entrada.

En el presente informe, se implementa un PLL mediante el uso de un circuito integrado de bajo consumo, el CD4046B, que consta de un oscilador controlado por voltaje (VCO, por sus siglas en inglés), dos comparadores de fase y un filtro pasa-bajos. También, se describe en detalle su comportamiento, se lo compara con otros circuitos, y se lo utiliza para implementar un demodulador FM y un multiplicador de frecuencias.

6. Funcionamiento de un PLL

Se muestra en la Figura 20 el diagrama de bloques de un PLL básico. Se asume que hay una señal FM con una portadora de frecuencia f_0 en la entrada. Al ingresar, se la multiplica en un comparador de fase por la salida de un VCO cuya frecuencia, seleccionada en el diseño, también es f_0 .

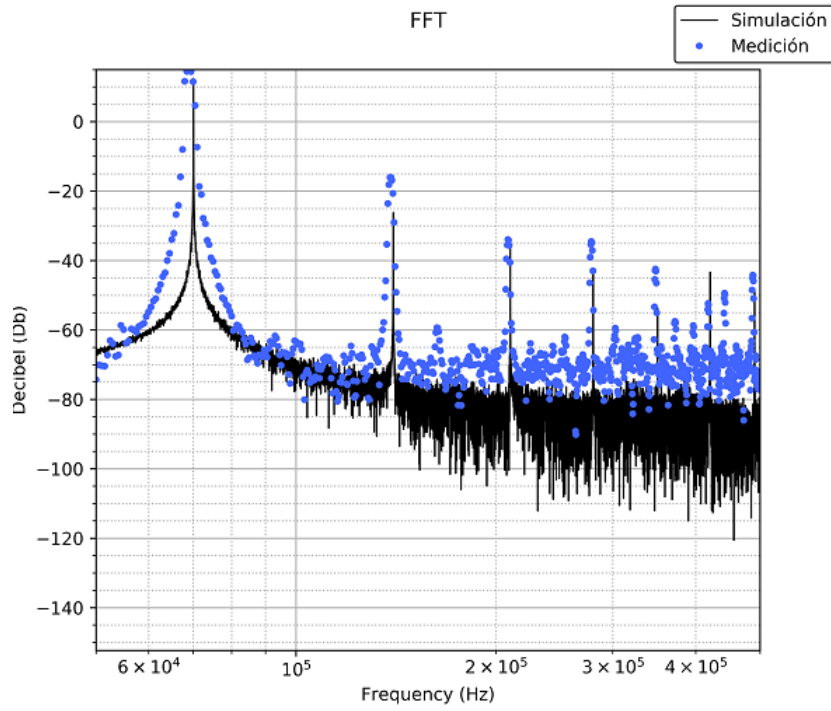


Figura 16: FFT de la señal generada

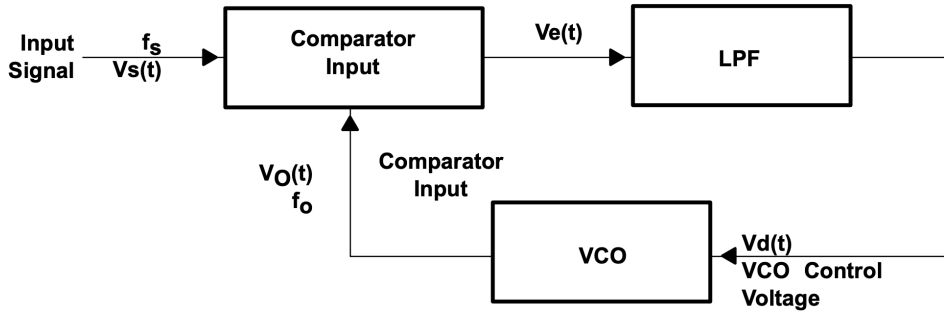


Figura 20: Diagrama de bloques de un PLL básico

El producto de la multiplicación es filtrado por un filtro pasa-bajos de forma tal que se elimina el *ripple* y el ruido de alta frecuencia, solo quedando en la salida una tensión proporcional a la diferencia de fase instantánea (la integral de la diferencia de frecuencia) entre las señales multiplicadas. Esta tensión controla la frecuencia del VCO. Si no hay señal en la entrada, no hay voltaje de error a la salida del comparador, por lo que tampoco lo hay a la salida del LPF. En esta situación, el VCO está fijo en su frecuencia central, f_0 .

Como la entrada del control del VCO al variar reduce la diferencia de frecuencia entre el VCO y la señal de entrada y a su vez es proporcional a esta diferencia, la frecuencia del VCO tiende a la frecuencia de la señal de entrada, es decir, realiza un seguimiento de la misma. Cuando se llega a esta condición, se dice que el sistema está *amarrado*.

Naturalmente, como consecuencia de la modulación, la frecuencia de la señal de entrada varía respecto de la frecuencia de la portadora, f_0 . Existe un rango de frecuencias característico en el que es posible para el VCO realizar el seguimiento de frecuencias. Este rango se conoce como *rango de enganche* y se discutirá más adelante. Para aplicaciones en las que quiera detectarse un cambio de frecuencia en la señal de entrada, como en demoduladores de FM o FSK, se toma v_e como salida del PLL. Si lo que se desea es "limpiar una señal ruidosa", se toma como salida ω_0 : para una señal ruidosa, v_d fluctúa alrededor de un valor medio. Si el filtro pasa-bajos es lo suficientemente preciso, v_e será una señal limpia, dando lugar a una fase y frecuencia estables para el VCO.

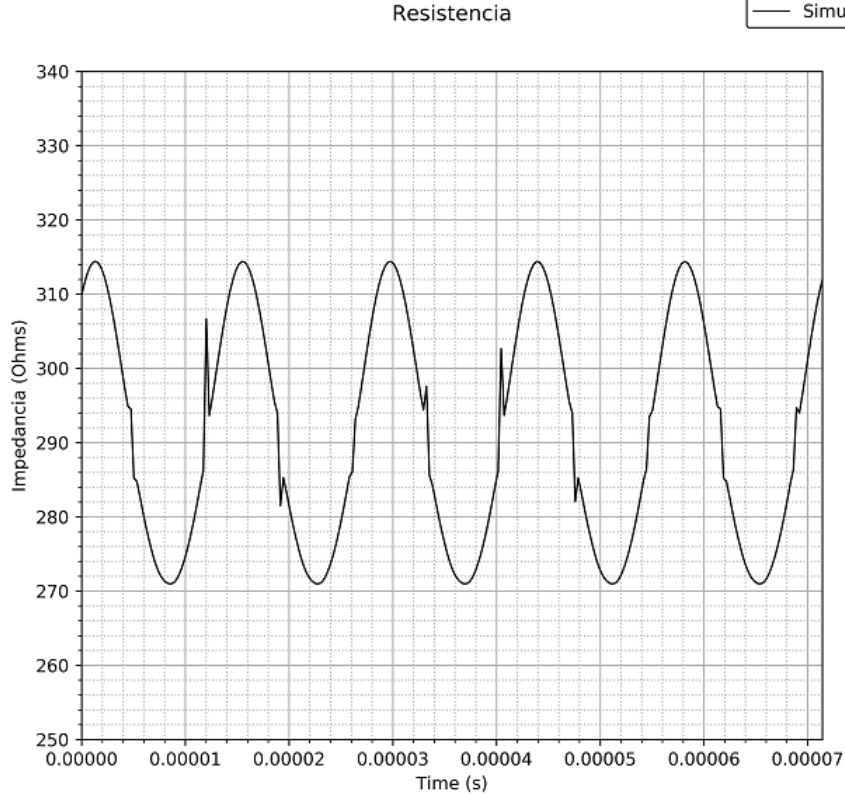


Figura 17: Simulación de resistencia del transistor en el estado estacionario

6.1. Rango de enganche

Utilizando un comparador de fase cuya salida es proporcional al seno del ángulo de error de fase, la tensión de error v_e , tras pasar por el filtro pasa-bajos, será:

$$v_e(t) = K_1 f(t) * \sin[\phi_i(t) - \phi_0(t)] \quad (9)$$

donde

$$K_1 = AE/2$$

siendo E la amplitud de la señal de entrada y A la amplitud de la señal de la salida del VCO. K_1 aquí representa la ganancia de conversión del comparador de fase, y $f(t)$ es la respuesta al impulso del filtro pasa-bajos. Asumiendo que la frecuencia del VCO es una función lineal de la tensión de error, esta será:

$$\omega_0 = \omega_c + \frac{d\phi_0}{dt} \quad (10)$$

Reemplazando $\frac{d\phi_0}{dt}$ por $K_2 v_e(t)$, donde K_2 tiene unidades de $\frac{rad}{V.s}$ y es la sensibilidad de tensión del VCO, y reemplazando v_e según (9), tenemos que:

$$\frac{d\phi_i(t)}{dt} = \frac{d\phi}{dt} + K f(t) * \sin\phi(t) \quad (11)$$

donde

$$K = K_1 K_2 rad/s$$

$\frac{d\phi_i(t)}{dt}$ representa la diferencia entre la frecuencia de la señal de entrada y la frecuencia de la portadora, $\Delta\omega_i$. Por lo tanto, asumiendo que la ganancia del filtro es 1, la solución de la ecuación 11 para estado estacionario es:

$$\sin\phi = \frac{\Delta\omega_i}{K} \quad (12)$$

Se deduce que el sistema mantiene dicho estado, es decir, mantiene el enganche de frecuencias, siempre que:

$$|\Delta\omega_i| \leq K \quad (13)$$

La ecuación 13 define el rango de enganche.

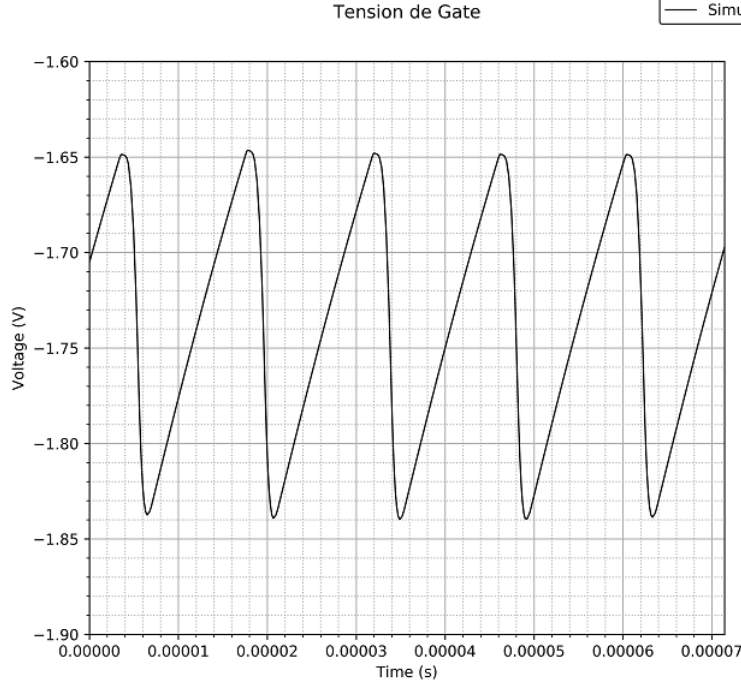


Figura 18: Tensión de gate en el estado estacionario

6.2. Rango de captura

El rango de captura es el rango de frecuencias dentro del cual la frecuencia del VCO puede sincronizarse con la frecuencia de la señal de entrada, partiendo de una situación de asincronismo. Si se tiene un filtro ideal que filtra solo las componentes de alta frecuencia y no atenúa las componentes de baja frecuencia de la señal, los rangos de captura y enganche coinciden. Si el filtro no es ideal y se quiere acotar el rango de enganche, reduciendo el ancho de banda del sistema, es muy probable que se vea restringido el rango de captura. Esto es un problema, ya que se dificulta el enganche fuera de condiciones iniciales. Con un rango de captura reducido, si se perturba el circuito y se produce un desenganche, no necesariamente se alcanzará nuevamente el sincronismo aunque la frecuencia de entrada se encuentre dentro del rango de enganche.

Si el sistema se encuentra en enganche, la transferencia del lazo no se ve afectada por el circuito pasa-bajos. Esta se ve gobernada por K , que define el rango de enganche, como se explicó en la sección anterior. Sin embargo, cuando el sistema no está enganchado, las frecuencias de las señales de entrada del comparador no son las mismas, y el VCO se ve controlado por una tensión de error variable, que puede ser atenuada por el filtro pasa-bajos. Esto es equivalente a modificar la ganancia del lazo, y es así como se genera la diferencia entre rango de captura y de enganche.

Si se expresa la transferencia del filtro pasa-bajos como

$$F(j\omega) = F_{\omega} e^{j\psi(\omega)} \quad (14)$$

se tiene que la tensión de error es

$$v_e(t) = K_1 F_{\Delta\omega_i} \sin \Delta\omega_i t \quad (15)$$

Para la frecuencia de captura ω_{ic} , el valor pico de la tensión de error es

$$\hat{v}_{ec} = K_1 F_{\Delta\omega_{ic}} \quad (16)$$

Por definición, al alcanzar la frecuencia de captura, el circuito entra en estado estacionario. La tensión de error para estado estacionario es

$$v_{ec} = K_1 \sin \psi_c \quad (17)$$

Igualando las expresiones 16 y 17 y reemplazando con la expresión 12, tenemos que

$$v_{ec} = K_1 \left(\frac{\Delta\omega_i}{K} \right) \quad (18)$$

entonces, el rango de captura es

$$(\omega_i - \omega_c, \omega_i + \omega_c) \quad \omega_c = K F_{\Delta\omega_{ic}} \quad (19)$$

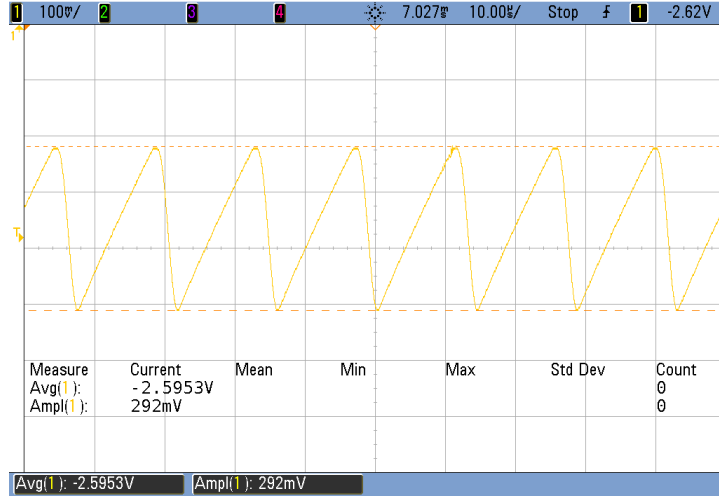


Figura 19: Medición de la tensión de gate

6.2.1. Efectos de distintos filtros sobre el rango de captura

Para un filtro pasa-bajos de transferencia $F_\omega = 1$, el rango de captura es igual al de enganche, por razones expuestas anteriormente.

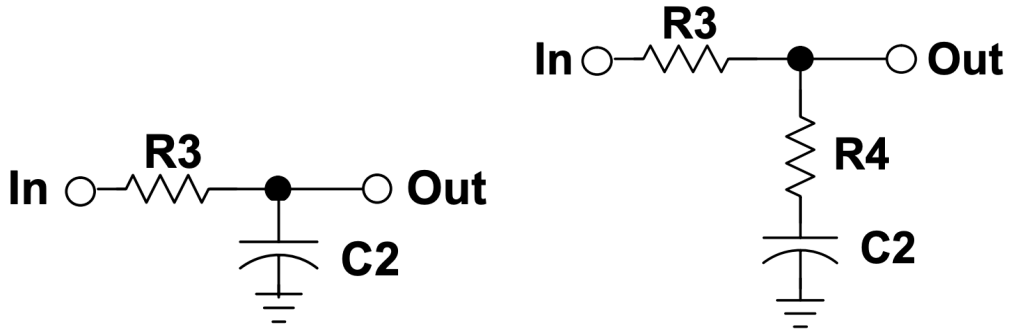


Figura 21: Filtros normalmente utilizados en diseño de PLL

Para un filtro pasa-bajos de orden 1, cuya transferencia es

$$F_\omega = \frac{1}{(1 + \omega^2(RC)^2)^{1/2}} \quad (20)$$

el rango de captura, según 19, es

$$\frac{\Delta\omega_{ic}}{K} = \left[\frac{\omega_{co}}{K} \left(1 + \frac{1}{4} \left(\frac{\omega_{co}}{K} \right)^2 \right)^{\frac{1}{2}} - \frac{1}{2} \left(\frac{\omega_{co}}{K} \right)^2 \right]^{\frac{1}{2}} \quad (21)$$

Este resultado se ve graficado en función del ancho de banda del filtro en la Figura 22.

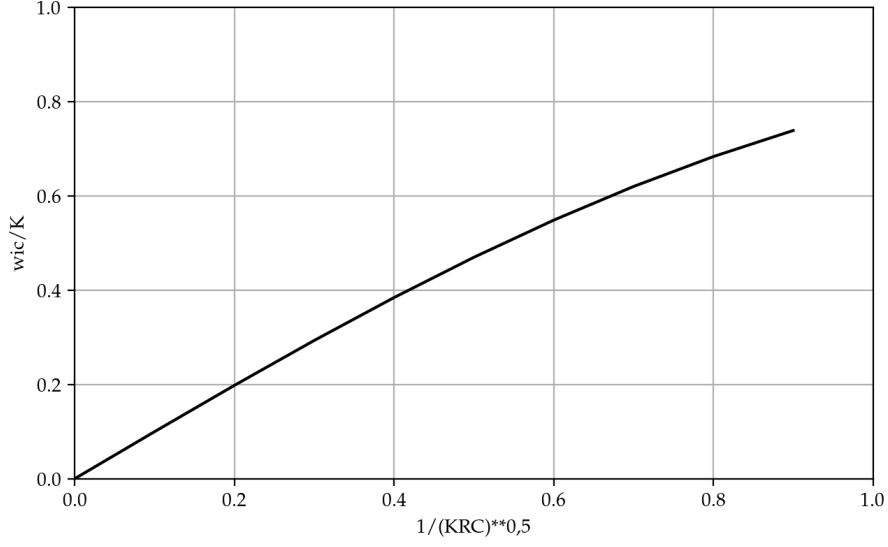


Figura 22: Relación rango captura/rango enganche del VCO en función del ancho de banda del filtro pasa-bajos de primer orden

Se observa que a menor ancho de banda del filtro, menor es la relación entre el rango de captura y el rango de enganche del VCO.

Para un filtro del tipo RRC, cuya transferencia es

$$F_\omega = \left[\frac{1 + \omega^2 \tau_1^2}{1 + \omega^2 \tau_2^2} \right]^{\frac{1}{2}} \quad (22)$$

donde

$$\tau_1 = R_4 C_2$$

$$\tau_2 = (R_4 + R_3) C_2$$

reemplazando las siguientes expresiones,

$$2\zeta \frac{\omega_n}{K} = \frac{1 + K\tau_1}{K\tau_2} \quad \left(\frac{\omega_n}{K} \right)^2 = \frac{1}{K\tau_2} \quad (23)$$

se obtiene la siguiente relación:

$$\frac{\Delta\omega_{ic}}{K} = \frac{\omega_n}{K} \left[\left(\left[2\zeta \left(\frac{\omega_n}{K} \right) \right]^2 + 1 \right)^{\frac{1}{2}} - 2\zeta \left(\frac{\omega_n}{K} - \zeta \right) \right]^{\frac{1}{2}} \quad (24)$$

La ecuación 24 representa la relación rango de captura - rango de enganche en función del *damping* del filtro RRC. ω_n representa la frecuencia natural del sistema, mientras que ζ es la relación entre el *damping* real y crítico de la transferencia de lazo cerrado del PLL. Esta relación se puede observar para distintos valores de $\frac{\omega_n}{K}$ en la Figura 23.

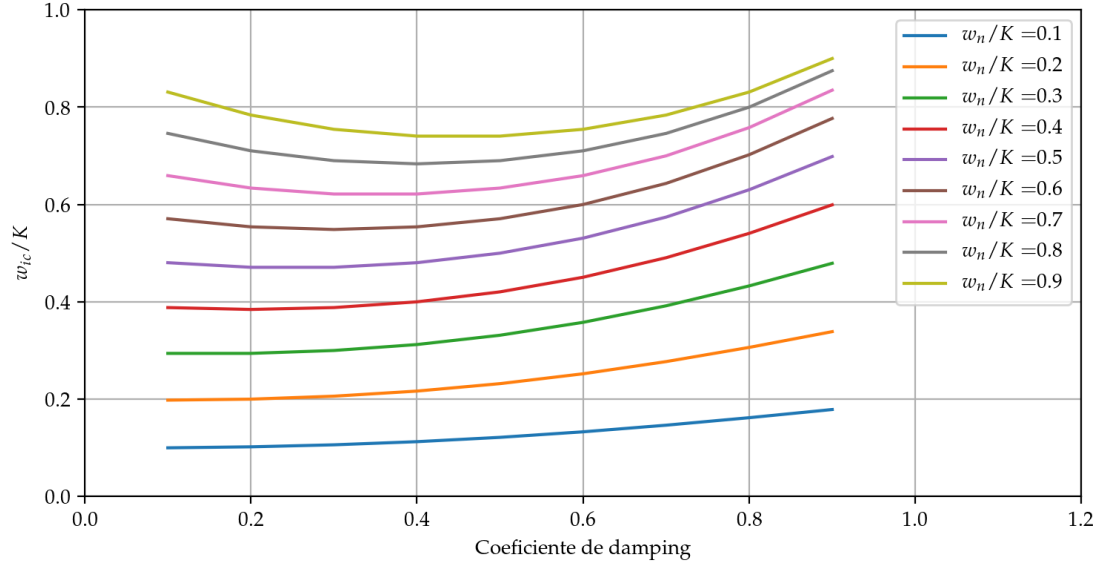


Figura 23: Relación rango captura/rango enganche del VCO en función del ancho de banda del filtro RRC para distintos valores de $\frac{\omega_n}{K}$

Se sabe que $\zeta = \frac{1}{2Q}$, donde Q es el factor de calidad del filtro. La ventaja que tiene usar un filtro RRC es que, como se observa en la Figura 23, se puede seleccionar ω_n modificando el valor de τ_2 del filtro pasa-bajos (ver ecuación 23) para mantener el rango de captura muy cercano al de enganche para cualquier sensibilidad.

7. Composición del integrado CD4046B

El integrado *CD4046B*, utilizado en el presente informe, se compone de un VCO y dos comparadores de fase para escoger, de los cuales se utiliza solo uno a la vez. El esquemático de este integrado se muestra en la Figura 24.

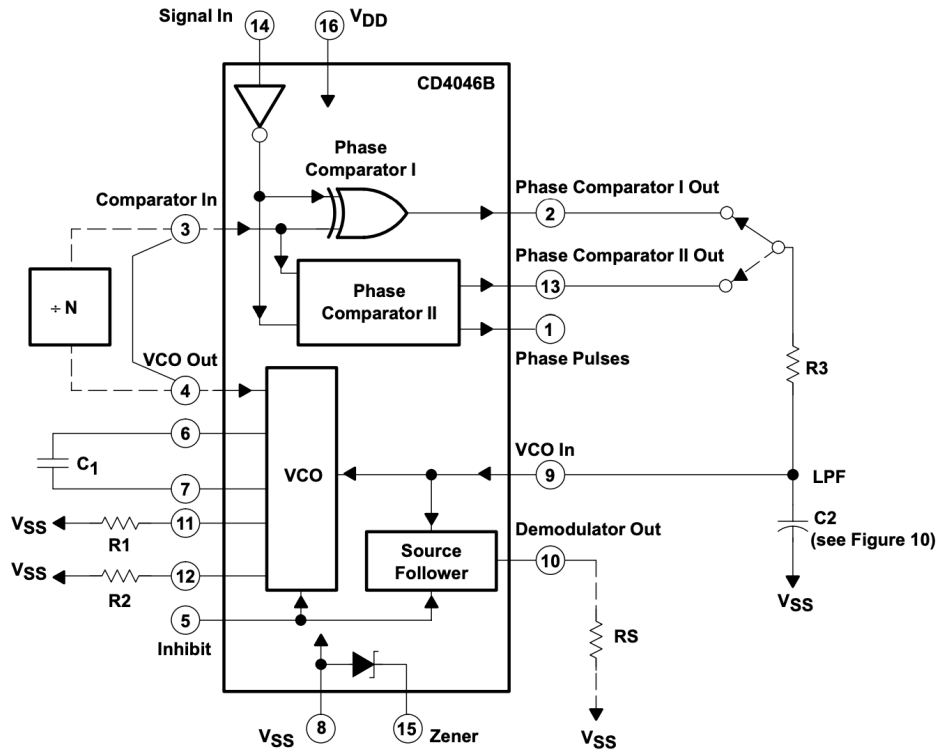


Figura 24: Esquemático del integrado CD4046B

7.1. Comparadores de fase

El esquemático de la etapa de comparadores del circuito se observa en la Figura 25.

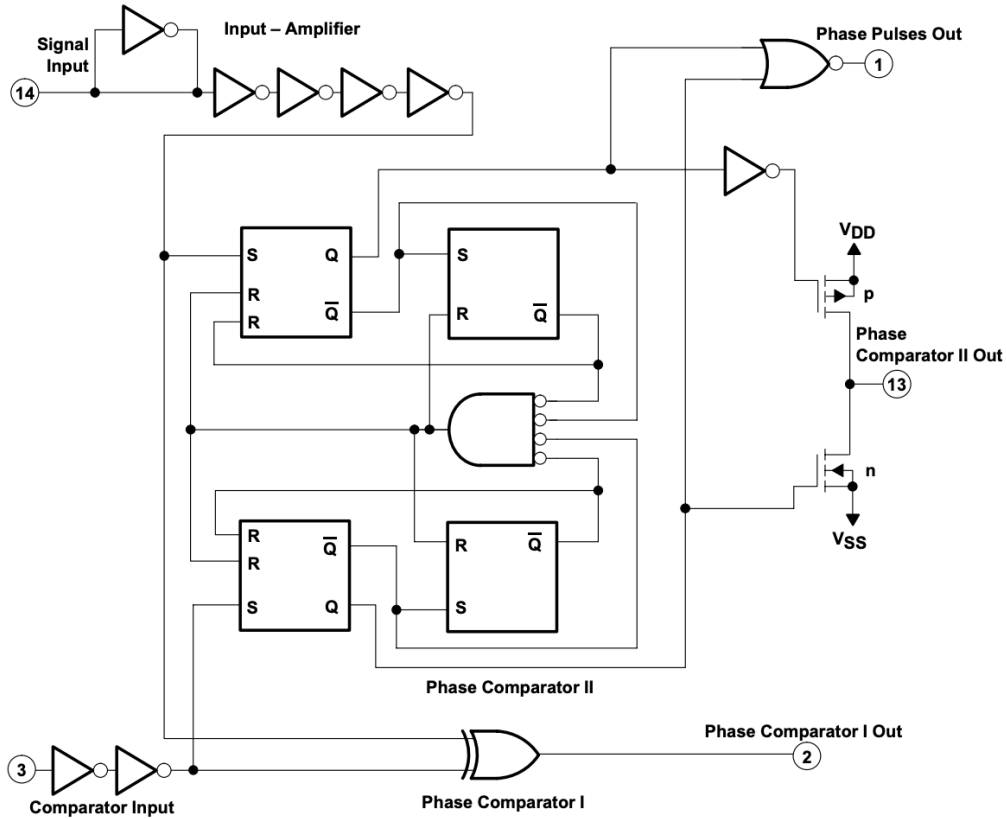


Figura 25: Etapa de comparadores del integrado CD4046B

Se observa que el comparador I es una compuerta XOR, de modo que la señal a la salida está en estado activo cuando las señales a la entrada están en estados distintos. El *duty cycle* de esta señal es función de la diferencia entre las señales de entrada.

Al pasar por el filtro pasa-bajos, la señal cuadrada de *duty cycle* variable se transformará en otra, cuya tensión es función del valor medio de la anterior, es decir aumenta cuando hay diferencia en las señales y disminuye cuando no la hay. Es esta la señal que controla el VCO. Esto puede verse en la Figura 26.

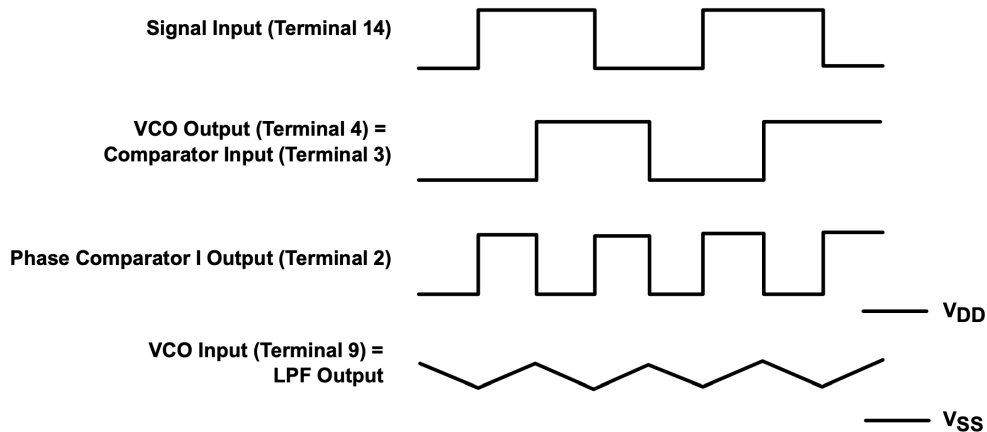


Figura 26: Ondas del PLL con comparador 1

Hace falta tener en cuenta dos particularidades: que este comparador puede hacer tender el sistema a frecuencias de entrada cercanas a armónicos de la frecuencia central del VCO, f_0 , y que la diferencia de fase que admite en sus entradas varía entre 0 y 180 grados, y es de 90 para la frecuencia f_0 . La relación diferencia de fase - tensión de salida del LPF para este comparador se muestra en la Figura 27.

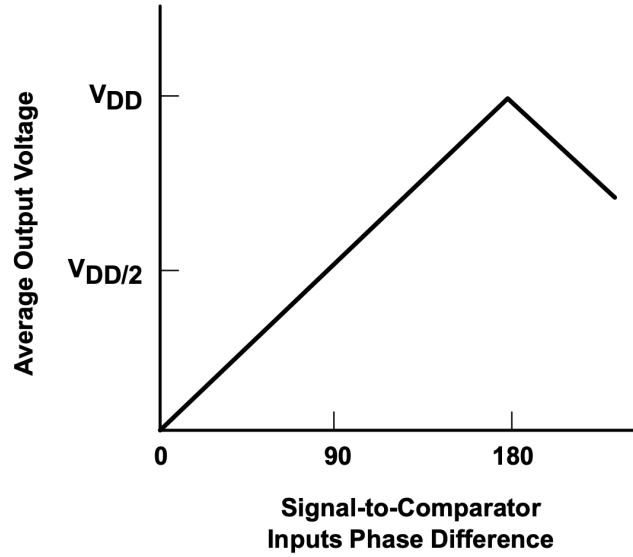


Figura 27: Relación diferencia de fase en comparador - tensión a la salida del LPF

El comparador 2 es algo más complejo y no será desarrollado, puesto que el comparador a utilizar a los propósitos del presente informe es el primero.

7.2. Oscilador controlado por voltaje (VCO)

El oscilador interno del integrado permite regular su frecuencia central, f_0 , mediante la selección de los componentes C_1 y R_1 , que se conectan externamente. La relación de la frecuencia central con C_1 para varios valores de R_1 se muestra en la Figura 28.

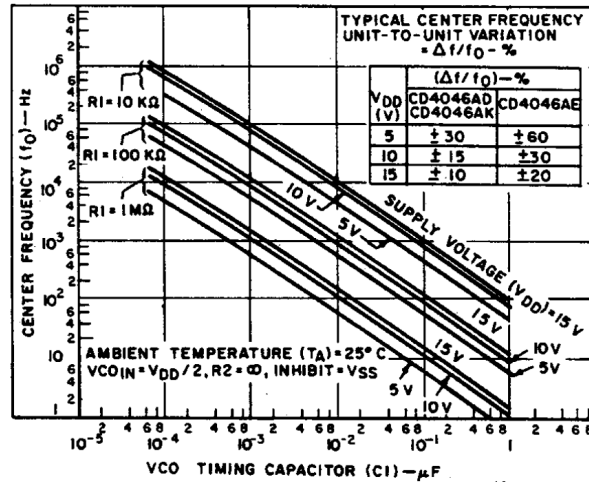


Figura 28: Relación de f_0 con C_1 para varios valores de R_1

8. Implementación del integrado

Se implementó el integrado para diseñar un PLL con un rango de enganche que abarca desde $6kHz$ hasta $98kHz$.

Se seleccionó una frecuencia central $f_o = 46kHz$, el promedio lineal entre los extremos del rango. Con una alimentación de $5,5V$, según la Figura 28, para que oscile a esa frecuencia los valores de C_1 y R_1 deben ser de aproximadamente $800pF$ y $10k\Omega$, respectivamente.

Se configuró el VCO con valores de $R_1 = 10,35k\Omega$ y $C_1 = 790pF$. Además, para proveer un límite inferior del rango de enganche de $6kHz$, se utilizó una resistencia $R_2 = 470k\Omega$. Se colocaron *trimmers*, resistencias variables, para calibrar el rango variando R_1 y R_2 y compensar los efectos de las impedancias parásitas y la temperatura.

Se implementaron en el PCB mediante un *jumper* tres opciones distintas en el lugar para la etapa de filtrado de la señal: una opción para saltar la etapa, un filtro RC y un filtro RRC.

8.1. Medición del rango de enganche y captura

Se realizaron mediciones del rango de enganche y captura.

Con los valores de los componentes mencionados anteriormente, se determinaron los rangos de enganche y captura que se observan en la Tabla 3.

| | Intervalo Enganche | Intervalo Captura | f_0 |
|------------|--------------------|-------------------|-------|
| Sin Filtro | (5600Hz,98250Hz) | (5800Hz, 95720Hz) | 46kHz |
| Filtro RC | (5600Hz,98250Hz) | (6200Hz, 96000Hz) | 46kHz |
| Filtro RRC | (5600Hz,98250Hz) | (6000Hz, 97900Hz) | 46kHz |

Cuadro 2: Mediciones de rango de enganche y captura

Cabe destacar que estos valores pueden calibrarse para ser más restrictivos o dejar más margen de frecuencia de enganche.

Por lo expuesto en la sección 19, es razonable que el filtro RRC permita un mayor rango de captura. Los resultados se condicen con la teoría.

8.2. Medición del factor de calidad Q

Para obtener el valor de Q, se midió la respuesta al escalón del PLL en la entrada de control del VCO. Se define:

$$Q = \frac{1}{2\zeta} \quad (25)$$

$$\zeta = \frac{-\ln(OS)}{\sqrt{\pi^2 + \ln^2(OS)}} \quad (26)$$

$$OS = \frac{V_{pico} - V_{estacionario}}{V_{estacionario}} \quad (27)$$

En las figuras 29 y 30 se pueden ver las mediciones de la respuesta al escalón de frecuencia mencionado anteriormente, y en la Tabla ?? se muestra la información reunida de dicho experimento.

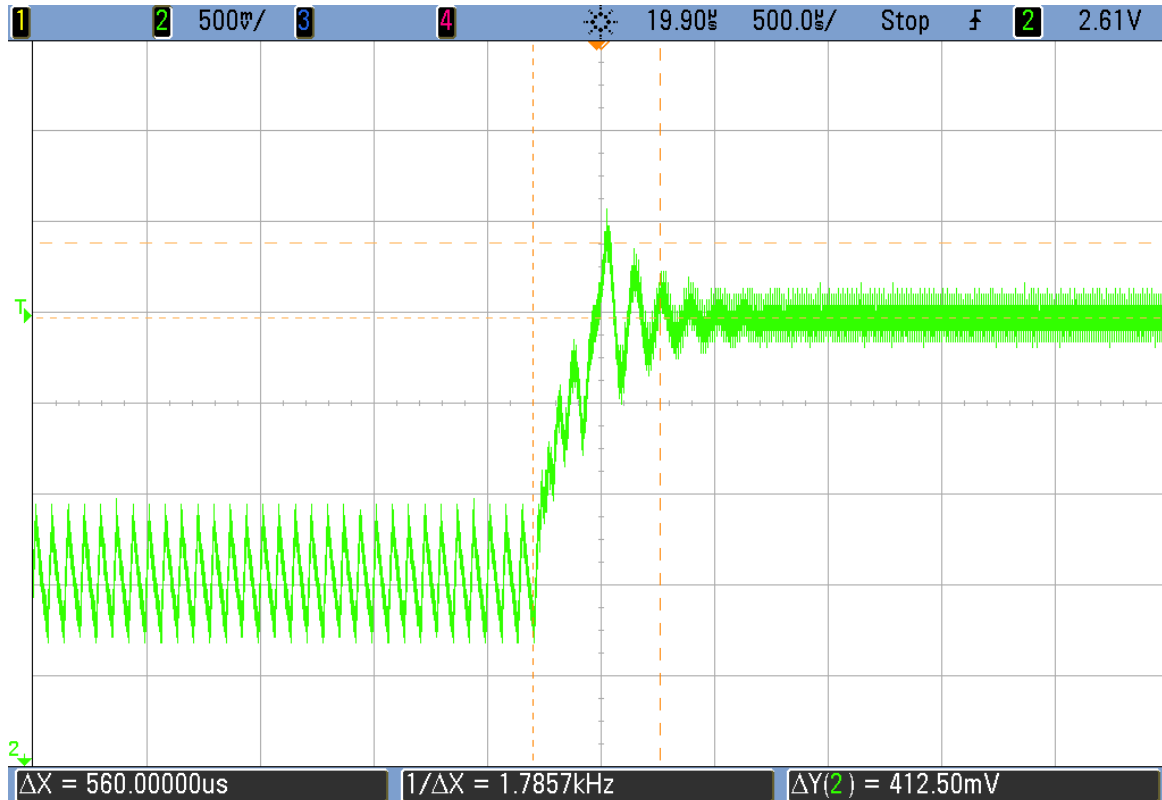


Figura 29: Medición: respuesta del PLL al escalón de frecuencia (filtro RC)

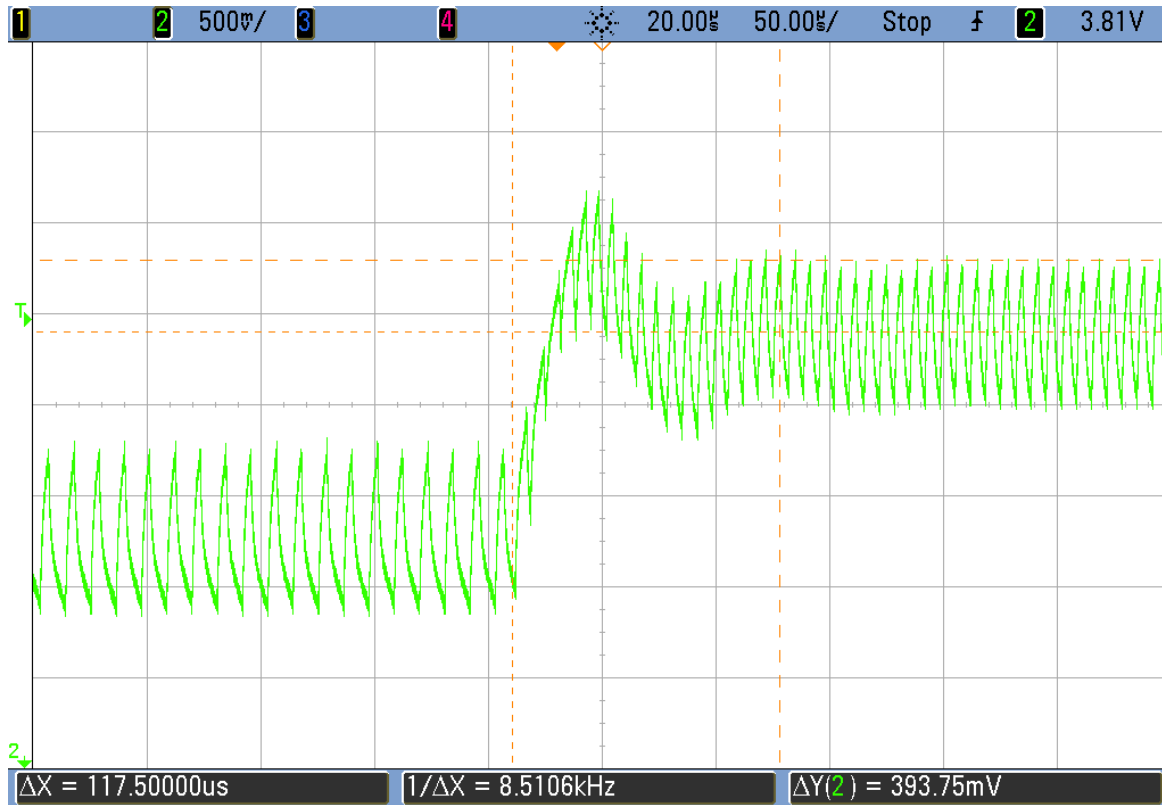


Figura 30: Medición: respuesta del PLL al escalón de frecuencia (filtro RRC)

Se ve que en vez de curvas, estas señales son bandas de ancho fijo. Esto se debe a el corto tiempo de establecimiento de la respuesta al escalón de tensión de los filtros: la señal alcanza a tener recorrido aún ante la rápida variación de la tensión de la señal cuadrada que entra al filtro.

| | OS | ζ | Q | T_{est} |
|------------|------|---------|-------|-----------|
| Filtro RC | 0,16 | 0,503 | 0,992 | 0,56ms |
| Filtro RRC | 0,1 | 0,591 | 0,845 | 0,11ms |

Cuadro 3: Mediciones de parámetros del transitorio

Se observa que el tiempo de establecimiento del filtro RRC es, como era de esperarse, menor al del filtro RC.

8.3. Aplicación: demodulación FM

8.3.1. Introducción: modulación FM

El principio básico tras el concepto de modulación en frecuencia (FM, por sus siglas en inglés) es que la amplitud de una señal analógica, a la que llamaremos la señal modulada, puede ser representada por un cambio en la frecuencia de otra, a la que llamaremos la señal portadora. De esta forma, distintas amplitudes de la primera corresponden a frecuencias específicas de la segunda. Esto se ve ilustrado en la Figura 31

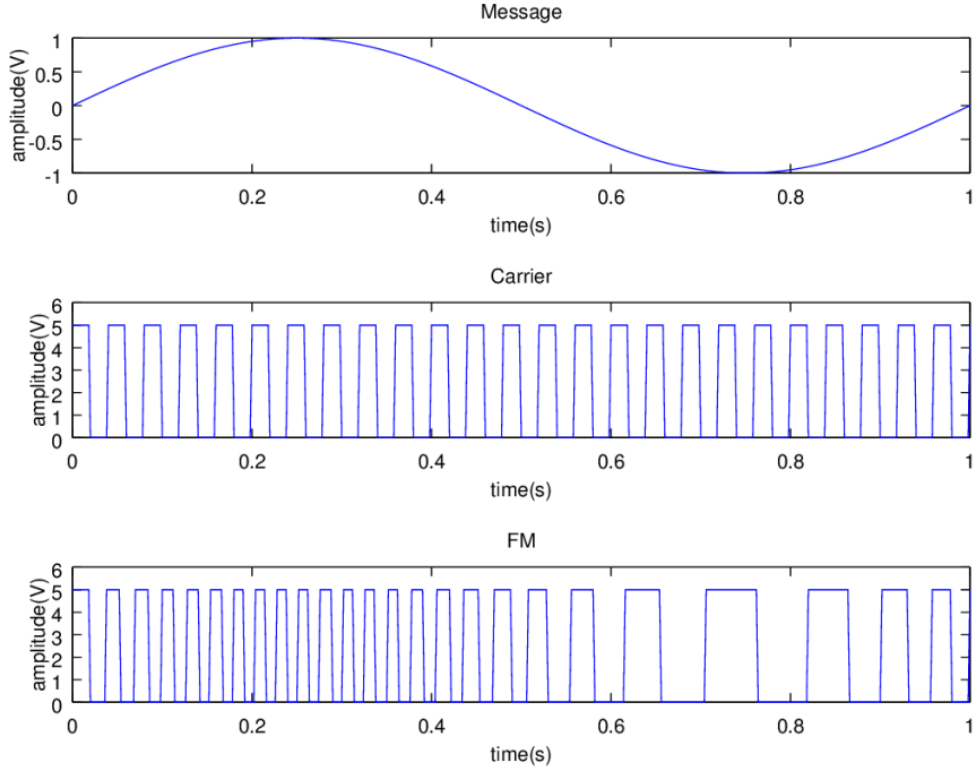


Figura 31: Modulación FM: portadora, modulada y FM

8.3.2. Implementación

Se implementó el integrado en un circuito para demodular una señal FM con portadora de 50kHz modulada por una señal de audio de frecuencia $f_1 = 400\text{Hz}$. A continuación, se detalla su funcionamiento.

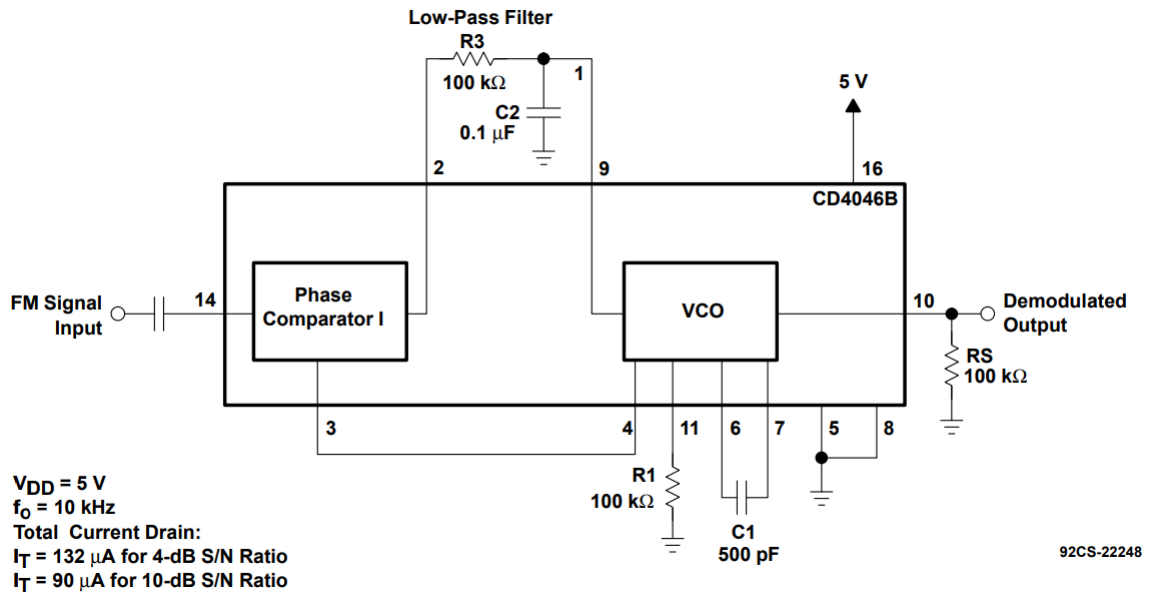


Figura 32: Esquemático del circuito del demodulador FM

Cuando se pone en la entrada de un PLL una señal FM y se produce el enganche de frecuencias, se realiza un seguimiento de su frecuencia. La amplitud de la señal de entrada del VCO en esta situación, es decir la tensión de error del comparador de fase tras pasar por el filtro, es proporcional a la diferencia entre la frecuencia del

VCO y la frecuencia de la señal FM. Si se configura el VCO con una f_0 igual a la de la portadora de la señal FM, esta señal corresponde a la señal FM demodulada, es decir, la señal modulada original. Con esta configuración, según la Figura 28, la frecuencia central del VCO será de aproximadamente $50kHz$. Se coloca un capacitor de desacople en la entrada para eliminar el nivel de continua de la señal FM. A su vez, el rango de captura de esta configuración es de $f_c = \pm \frac{f_1}{R_3 C_2} = \pm 0,4kHz$, donde f_1 es la frecuencia de la señal modulada y R_3 y C_2 son los valores de los componentes del filtro pasa-bajos. Con este rango de captura, se permite realizar la captura de la señal aunque su frecuencia no sea exactamente la de la portadora, por efectos de la modulación.

El pin 10 del integrado, que corresponde a la salida de la señal demodulada, está internamente conectado mediante un *buffer* a la entrada del VCO, es decir, la salida del filtro pasa-bajos.

Esta configuración solo demodula la señal especificada, pero bastaría con modificar los valores de los componentes R_1 o C_1 para variar la frecuencia a seguir, o los valores de R_3 y C_2 para modificar el rango de captura. Reemplazando R_1 por un potenciómetro adecuado, podría incluso implementarse un demodulador FM de frecuencia variable.

8.3.3. Mediciones

Se utilizó un generador de señales para modular en frecuencia con varias señales de $400Hz$ una portadora cuadrada de $50kHz$. Las señales FM resultantes se transmitieron al PLL para ser demoduladas.

Se muestran en las figuras 33, 34 y 35 las mediciones de la señal de entrada FM, la salida del VCO y la salida demodulada para ambos filtros para moduladoras de forma cuadrada, senoidal y triangular, respectivamente.

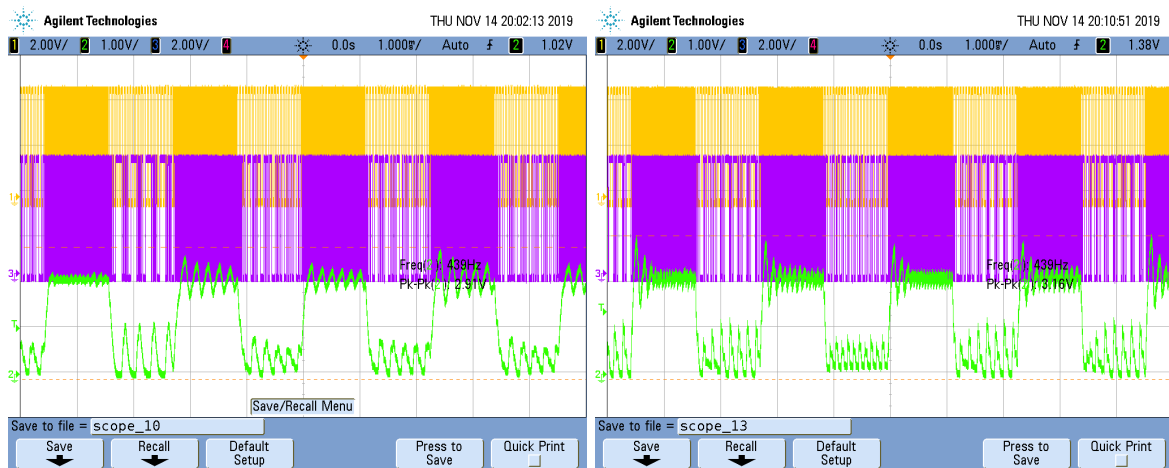


Figura 33: Medición: demodulación de señal cuadrada (filtro RC izquierda)

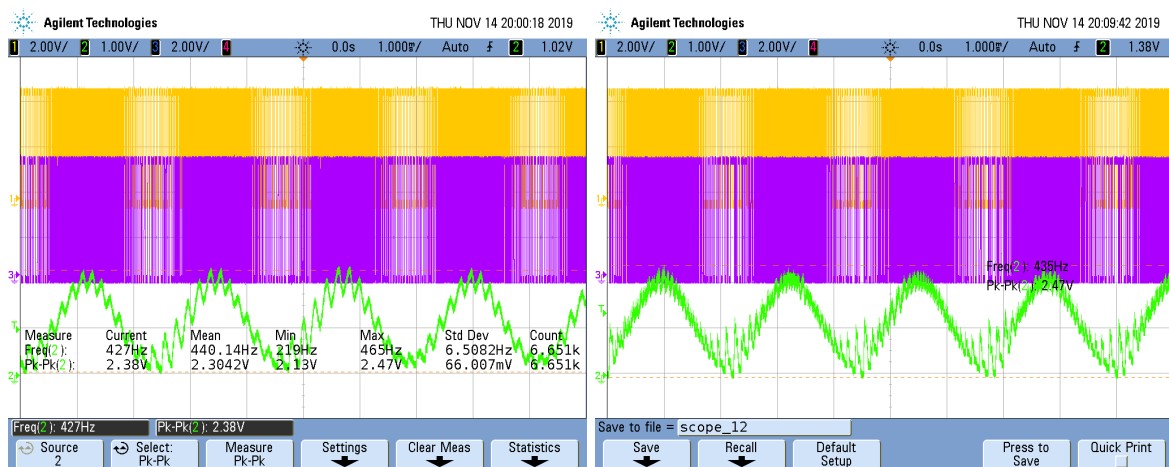


Figura 34: Medición: demodulación de señal senoidal (filtro RC izquierda)

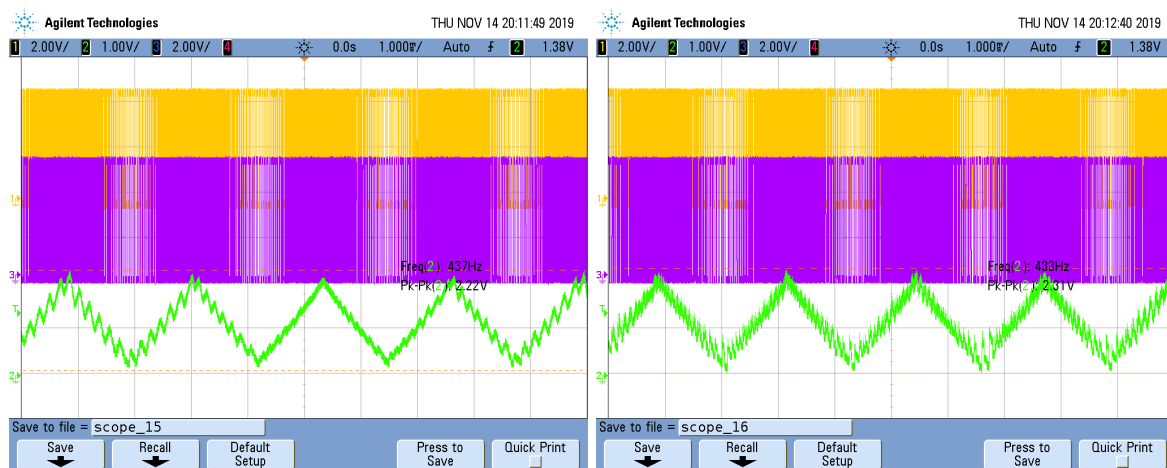


Figura 35: Medición: demodulación de señal triangular (filtro RC izquierda)

Se utilizó para esta aplicación el comparador 2, ya que la señal a la entrada podría no ser cuadrada y el comparador 1 es una compuerta digital.

Puede verse que el filtro RC, al tener un tiempo de establecimiento más largo, produce una señal que oscila en una banda. El filtro RRC también muestra este efecto, pero con una mayor frecuencia, que a su vez depende más notablemente de la frecuencia de la señal FM. Estas señales podrían filtrarse para reducir este efecto indeseado. Si se procesa esta señal de portadora cuadrada con el comparador 1, se obtienen resultados más satisfactorios. En la Figura 36 se observa la demodulación de la modulada senoidal con el comparador 1.

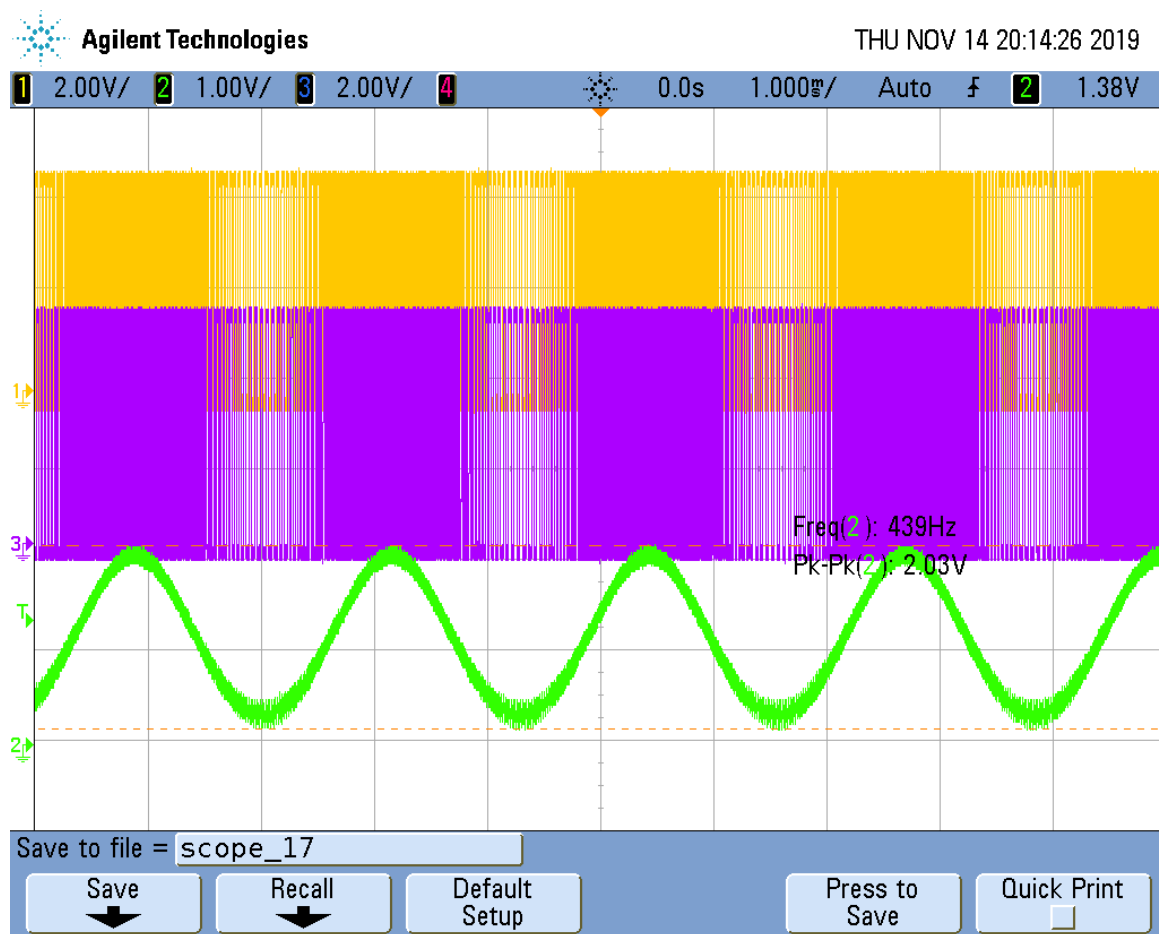


Figura 36: Medición: demodulación de señal senoidal (filtro RC, comparador 1)

8.4. Implementación: multiplicador de frecuencias

Se implementó el PLL como un multiplicador de frecuencias mediante la conexión de un contador de décadas CD4017 que actúa de divisor de frecuencias entre la salida del VCO y la entrada de una compuerta flip-flop, que fue implementado para llevar que la salida del divisor tenga un duty cycle del 50% y se pueda utilizar con éxito el comparador 1 para esta aplicación. La salida de este último componente se conecta a la entrada del comparador. Cabe destacar que el flip-flop divide la frecuencia en dos.

De esta manera, se puede escoger mediante la elección de compuerta del contador un valor entero de N múltiplo de 2 entre 2 y 18, y la salida del PLL tendrá una frecuencia de Nf_{in} .

Se utilizó también un filtro RRC para esta aplicación, ya que tiene un tiempo de establecimiento más corto y permite rápida adaptación a los saltos de frecuencia introducidos por el selector de frecuencia del divisor.

8.4.1. Mediciones

En las figuras 37 y 38 se observan las mediciones de la señal de entrada y salida del PLL para las configuraciones $N=8$ y $N=16$, respectivamente.

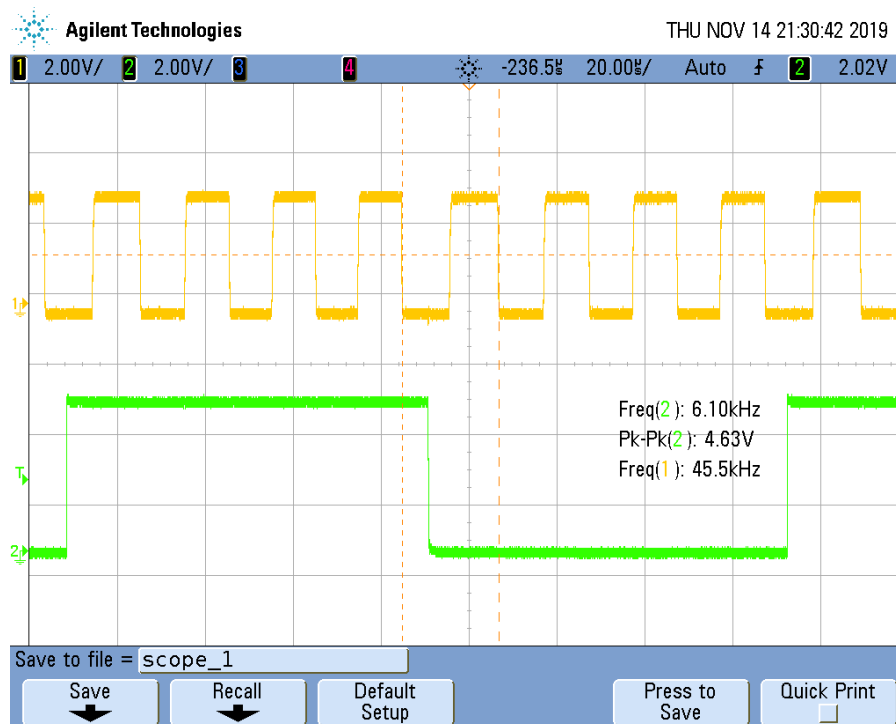


Figura 37: Medición: multiplicación por 8

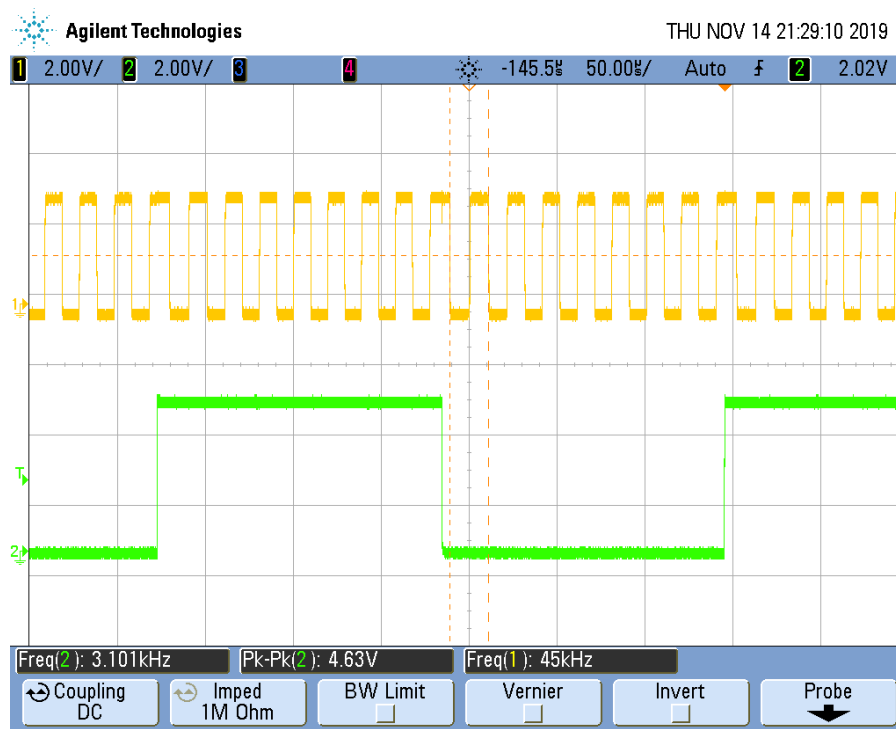


Figura 38: Medición: multiplicación por 16

9. Conclusión

El PLL es un circuito versátil, que puede ser implementado para demodular señales FM y FSK, multiplicar frecuencias, sincronizar *clocks* y sintetizar frecuencias, entre otras aplicaciones. Mediante la selección de componentes adecuados en el diseño, se puede escoger de un amplio rango de valores de operación, además de optimizar el diseño para distintas aplicaciones que exijan tiempos de establecimiento y selectividad de frecuencias específicas.

10. Bibliografía

Phase-Locked Loop Design Fundamentals: https://www.nxp.com/files-static/rf_if/doc/app_note/AN535.pdf
 CD4046B Phase-Locked Loop: A Versatile Building Block for Micropower Digital and Analog Applications: <http://www.ti.com/lit/an/scha002a/scha002a.pdf>
 Miniaturized RC Filters Using Phase-Locked Loop. (Moschytz, G.S.): <https://ia801902.us.archive.org/17/items/bstj44-5-823/bstj44-5-823.pdf>
 CMOS Phase-Locked-Loop Applications Using the CD54/74HC/HCT4046A and CD54/74HC/HCT7046A: <http://www.ti.com/lit/an/scha003b/scha003b.pdf>

Parte III

Diseño de VCO

11. Introducción

En esta sección se busca diseñar e implementar un VCO (*Voltage Controlled Oscillator*) con un rango de trabajo de $0V - 5V$ y que genere una señal senoidal de amplitud $1V$ en un rango de $1kHz$ a $10kHz$.

12. Introducción teórica

Muchas aplicaciones requieren tener una frecuencia de salida f_0 que se programe automáticamente mediante el control de una tensión V_I . Este es el trabajo de un VCO, que está diseñado de modo que devuelve:

$$f_0 = kV_{IN} \quad (28)$$

Donde $V_I > 0$ y k es la sensibilidad del VCO con unidades de hertz por volt.

Los VCO s se pueden dividir en dos grupos:

Osciladores armónicos: la salida del oscilador es senoidal. Estos tipos de osciladores son mas difíciles de implementar pero tienen una mejor estabilidad que el otro tipo de osciladores. También, son llamados osciladores de voltaje lineal. Se pueden implementar con circuitos RC, LC o tanque. En estos tipos de osciladores es importante tener en cuenta el parámetro THD (*total harmonic distortion*) que expresa la pureza de la onda senoidal. Su expresión esta dada por:

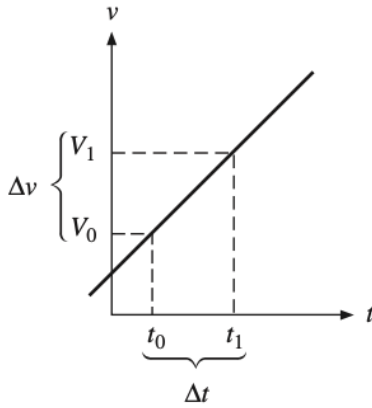
$$THD(\%) = 100 \frac{\sqrt{D_2^2 + D_3^2 + D_4^2 + \dots}}{D_1}$$

Donde D_k ($k = 2, 3, 4, \dots$) es el ratio de la amplitud del armónico k del armónico fundamental de la serie de Fourier de la onda dada.

Osciladores de relajación: la salida del oscilador es del tipo triangular, diente de sierra, pulso o cuadrada. En general, son mas fáciles de implementar que los osciladores armónicos.

Para obtener este tipo de salidas se utilizan dispositivos biestables como interruptores, *Schmitt triggers*, compuertas logicas, flip-flops para que rápidamente se pueda cargar y descargar un capacitor.

La descarga y recarga del capacitor es la responsable de dar el tipo de señal de salida. Luego, es de particular interés determinar el Δt que le toma al capacitor cargar y descargarse por una determinada cantidad de Δv . Las formas mas comunes de carga y descarga son la lineal y la exponencial. La primera se da cuando, por el capacitor fluye una corriente constante. Luego, se obtiene una rampa como se ve en la Figura 39. Este tipo de función permite estimar Δt . Su expresión es:



$$\Delta t = \frac{C}{I} \Delta v \quad (29)$$

13. Diseño

Si bien el objetivo es obtener un VCO cuya salida es una señal senoidal, no se realiza un oscilador armónico sino que se utiliza un oscilador de relajación. Se propone diseñar un oscilador de relajación que devuelva una señal triangular y luego hacer una conversión de dicha triangular

a senoidal. En primer lugar se diseña un VCO triangular y luego se diseña un convertor de señal triangular a senoidal.

13.1. VCO triangular Parte 1

Se propone el circuito de la Figura 40. Como se puede ver, el mismo cuenta con un *Schmitt trigger* como se anticipo en la sección anterior. La función del trigger es variar la tensión V_{SQ} entre dos valores, V_{TH} (*trigger high*) y V_{TL} (*trigger low*). Esto hace que la señal triangular V_{TR} también varíe entre estos dos valores. En consecuencia, como se quiere que la amplitud de la señal con amplitud de 1V se define que la diferencia $\Delta V_{TR} = V_{TH} - V_{TL} = 2V$. Mas adelante se analiza como implementar el trigger, por el momento se analiza el resto del circuito.

El amplificador operacional OA_1 es un conversor tension-corriente que fuerza al capacitor C conducir linealmente y proporcional a la tensión de entrada V_{IN} . Se debe tener en mente que, como el capacitor se debe cargar y descargar, la corriente que circula por el capacitor I_C se debe alternar entre polaridades opuestas. Ver que, la tensión en ambas terminales de OA_1 tienen la misma tensión $\frac{V_{IN}}{2}$ (se considera al amplificador operacional como ideal). Esto surge del divisor resistivo que forman ambas R_3 . Además, se puede calcular la corriente que fluye por $2R$ que es:

$$I_1 = \frac{V_{IN} - \frac{V_{IN}}{2}}{2R} = \frac{V_{IN}}{4R}$$

Nótese que, I_C es:

$$I_C = I_1 - I_2$$

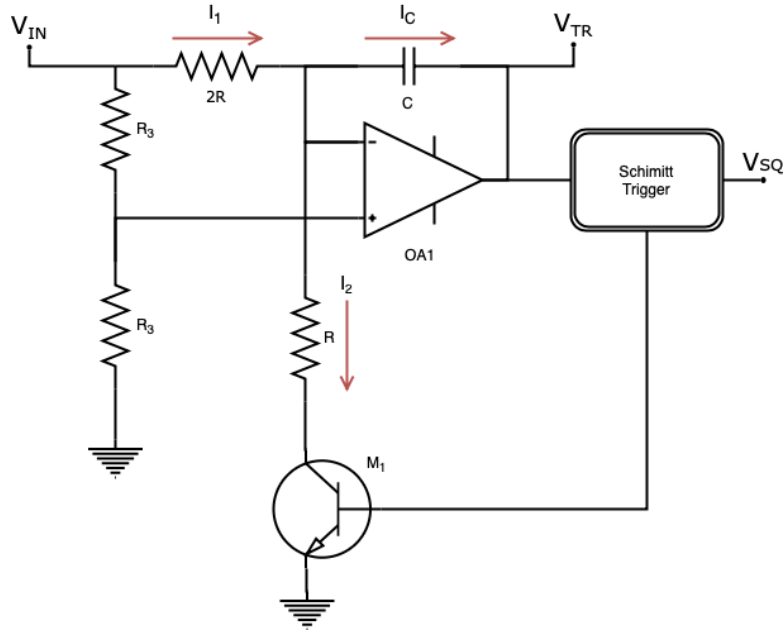


Figura 40: Circuito propuesto VCO

Para explicar el funcionamiento del circuito primero se asume que V_{SQ} comienza en V_{TL} . Esto implica que el transistor M_1 está apagado por lo que toda la corriente I_1 fluye en C ($I_2 = 0A$). Luego, $I_C = I_1$. Al fluir desde la terminal inversora de OA_1 hacia su salida de, el capacitor se descarga. Al descargarse, genera una rampa descendiente llevando a $V_{TR} = V_{TL}$.

Por otro lado, cuando $V_{TR} = V_{TL}$ el tigger *Schmitt* cambia de modo que, $V_{SQ} = V_{TH}$. Esto hace que M_1 se encienda poniendo en corto a R . Esto implica que $I_2 = \frac{V_{IN}}{2R} = 2I_1$. En consecuencia, $I_C = -I_1$. Tomando este sentido, la corriente I_C fluye desde la salida de OA_1 hacia la terminal no inversora del mismo, cargando al capacitor y formando una rampa ascendente que lleva a $V_{TR} = V_{TH}$.

Se puede ver claramente como la corriente del capacitor cambia de sentido formando una señal triangular. A lo largo de todo el ciclo, I_C tiene la expresión:

$$I_C = \pm \frac{V_{IN}}{4R} \quad (30)$$

Cuando V_{TR} llega a V_{TH} el tigger vuelve a poner a V_{SQ} en V_{TL} , apagando a M_1 y comenzando nuevamente el ciclo (oscila). Esto se ve explícitamente en la expresión de V_{TR} . Utilizando (29) y (30), la expresión de V_{TR} es:

$$\begin{aligned} \Delta t &= \frac{C}{I_C} \Delta V_C \\ \Delta V_C &= \pm \frac{V_{IN}}{4RC} \Delta t \\ V_{TR} &= \frac{V_{IN}}{2} + V_C \\ V_{TR} &= \frac{V_{IN}}{2} \pm \frac{V_{IN}}{4RC} \Delta t \end{aligned} \quad (31)$$

Esta expresión es muy importante ya que muestra la forma que adquiere V_{TR} . Además, se puede obtener la variación de V_{TR} , ΔV_{TR} . De 31:

$$\Delta V_{TR} = \frac{V_{IN}}{4RC} \Delta t = \Delta V_C$$

A su vez, se vio que V_{TR} varía entre las tensiones del trigger. Luego:

$$\Delta V_{TR} = \Delta V_C = V_{TH} - V_{TL}$$

Con estas últimas expresiones y teniendo en cuenta (29) y (30), se puede calcular la frecuencia de oscilación f_0 :

$$\Delta t = \frac{C}{I_C} \Delta V_C = \frac{T}{2}$$

$$f_0 = \frac{1}{T}$$

$$f_0 = \frac{V_{IN}}{8RC(V_{TH} - V_{TL})} \quad (32)$$

También se puede calcular la sensibilidad k del oscilador. Teniendo (28) y (32):

$$k = \frac{1}{8RC(V_{TH} - V_{TL})} \quad (33)$$

Como se puede observar, las ecuaciones halladas dependen de V_{TH} y V_{TL} por lo que a continuación se diseña el trigger.

13.2. Schmitt trigger

Los trigger Schmitt son amplificadores operacionales cuya realimentación es positiva. Al tener una realimentación positiva, los amplificadores son forzados hacia la saturación estableciendo dos estados en su salida, V_{OH} y V_{OL} .

Se propone el trigger en configuración inversora de la Figura 41 para usar en el diseño del VCO. De la figura se puede ver que se utiliza un divisor de tensión para realizar la realimentación positiva. Como la salida V_{OUT} solo puede tener dos valores posibles, V_{TH} y V_{TL} adquieren las siguientes expresiones:

$$V_{TH} = \frac{R_1}{R_1 + R_2} V_{OH} \quad (34)$$

$$V_{TL} = \frac{R_1}{R_1 + R_2} V_{OL} \quad (35)$$

El circuito funciona de la siguiente manera. Para $V_{IN} \ll 0$, el amplificador operacional satura en V_{OH} y la tensión en la terminal inversora es $V_P = V_{TH}$. Si se aumenta V_{IN} hasta V_{TH} , la acción regenerativa de la alimentación positiva hace que V_{OUT} pase de V_{OH} a V_{OL} tan rápido como el amplificador operacional lo permita.

Esto provoca que V_P pase de V_{TH} a V_{TL} . Para cambiar el estado de V_{OUT} , se debe bajar V_{IN} hasta que $V_P = V_{TL}$. En este punto, V_{OUT} cambia nuevamente a V_{OH} . Este ciclo se puede apreciar con facilidad en la Figura 42. Como se puede ver, el gráfico muestra una histeresis con un ancho ΔV_T . Su expresión es:

$$\Delta V_T = V_{TH} - V_{TL} = \frac{R_1}{R_1 + R_2} (V_{OH} - V_{OL}) \quad (36)$$

Con esta última expresión es posible continuar con el diseño del VCO. Como se desea que $V_{TH} = 1V$ y $V_{OL} = -1V$, $\Delta V_T = 2$. Sin embargo, para poder darle valores a R_1 y R_2 se necesita conocer la tensión a la cual el amplificador operacional satura. Esto no se puede conocer a priori pero se puede suponer un valor aproximado para hacer los cálculos. Si se alimenta al amplificador operacional con $\pm 15V$ y se presupone que satura en aproximadamente en $\pm 13V$, $V_{OH} = 13V$ y $V_{OL} = -13V$. Luego, se llega a la siguiente relación de R_1 y R_2 :

$$R_2 = 12R_1 \quad (37)$$

Ya es posible darle valores a R_1 y R_2 . Se utilizan los siguientes:

$$R_1 = 1,8k\Omega$$

$$R_2 = 21,6k\Omega$$

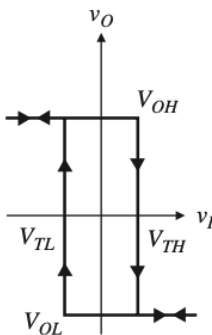


Figura 42: VTC

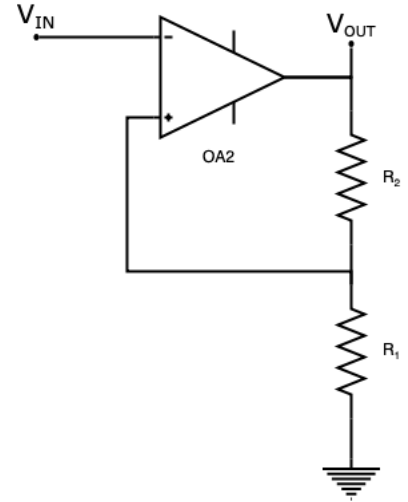


Figura 41: Schmitt trigger

Para el caso de R_2 , se utiliza un preset de $25k\Omega$ en lugar del valor obtenido ya que la tensión de saturación puede que no sea $\pm 13V$ y se deba ajustar la resistencia para compensar el error de la tensión de saturación. En la Figura 43 se puede apreciar una simulación del trigger con los componentes seleccionados. Cabe aclarar que se utilizó el amplificador operacional TL084 para hacer la simulación. Nótese como la tensión de salida toma solo dos estados. Habiendo diseñado satisfactoriamente el trigger ya es posible continuar con el diseño del VCO.

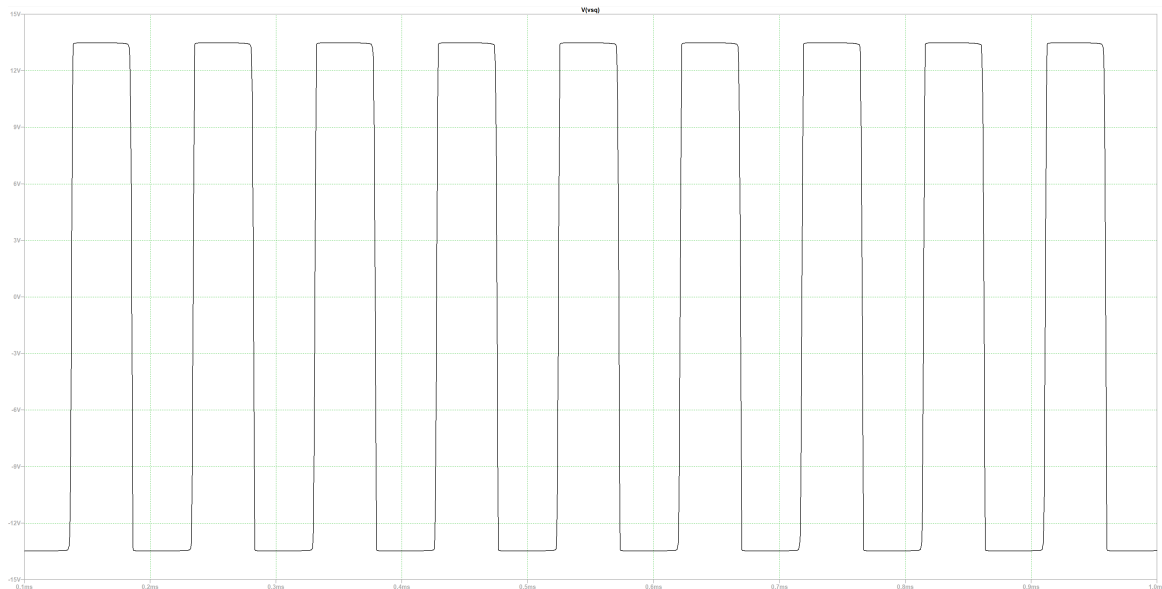


Figura 43: Simulación del trigger

13.3. VCO triangular Parte 2

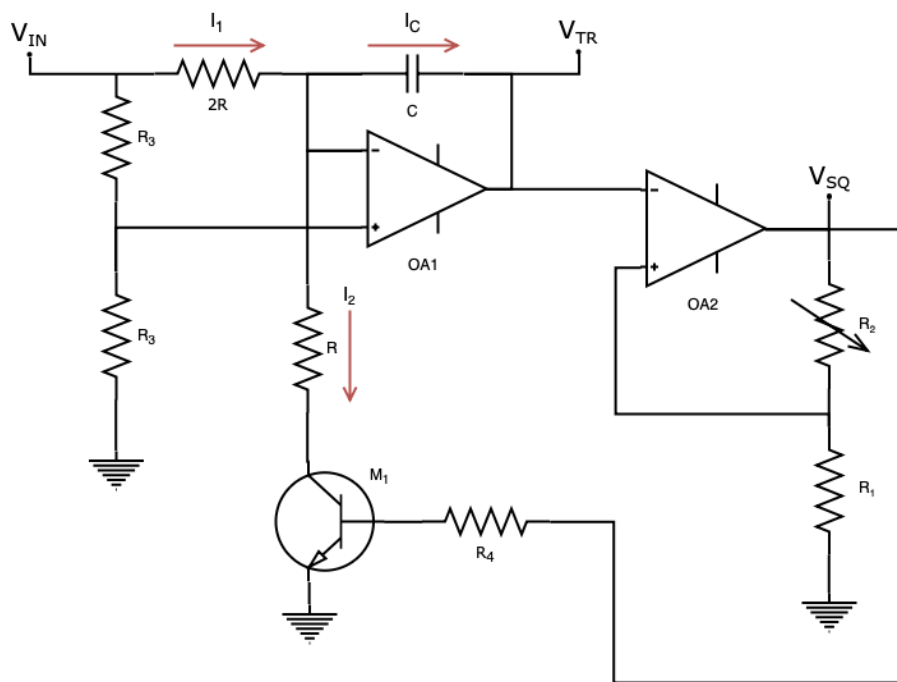


Figura 44: Circuito propuesto

Al tener ya diseñado el trigger, se puede incorporar al circuito original. El resultado se puede ver en la Figura 44. Para completar el diseño solo falta darle valores a los componentes restantes. Para hacerlo se utiliza la expresión (32) y teniendo en cuenta el rango al que se desea que el VCO trabaje. Se decide por utilizar los siguientes componentes:

$$R = 24k\Omega$$

$$R_3 = 10k\Omega$$

$$R_4 = 1k\Omega$$

$$C = 1nF$$

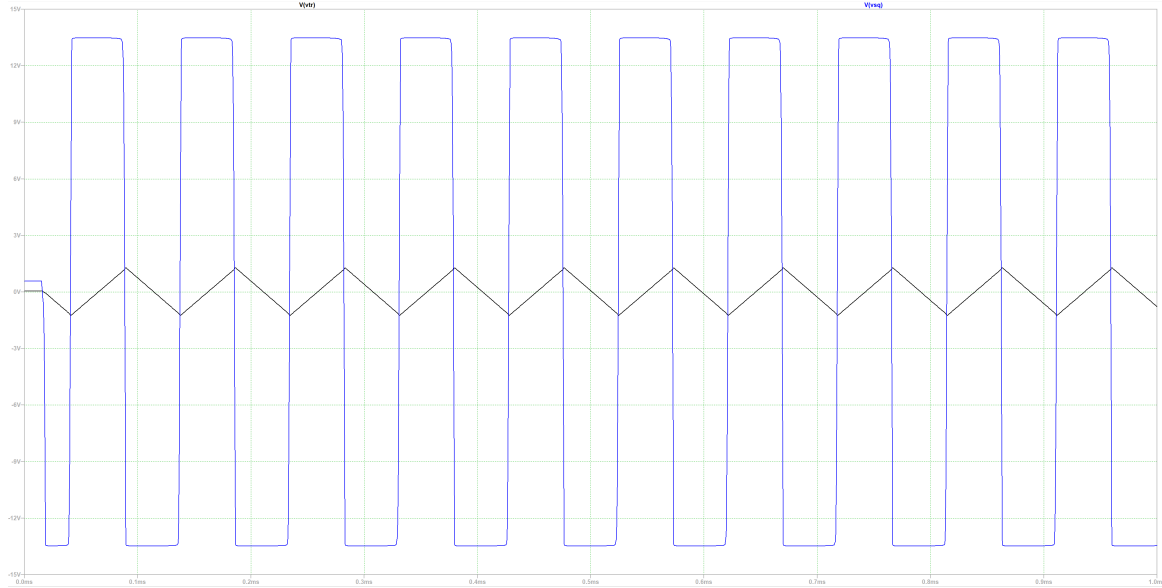


Figura 45: Simulación del VCO

Nótese que R_3 es de valor arbitrario y que R_4 se requiere para un correcto funcionamiento del transistor. En la Figura 45 se puede ver una simulación con una tensión de $5V$ a la entrada del VCO. En dicha figura se superponen la tensión de salida V_{TR} y la tensión de salida del trigger V_{SQ} . La simulación describe una función triangular con una frecuencia de aproximadamente $10,360kHz$ y una amplitud de $1,28V$. Como se puede ver, se logra el principal objetivo de crear una señal triangular con una frecuencia de aproximadamente $10kHz$ cuando la tensión de entrada V_{IN} es $5V$. Además, la amplitud de la señal es $1,28V$ si bien no es $1V$ como se deseaba esto se ajusta en la etapa del conversor.

13.4. Conversor

Para completar el diseño se debe agregar al circuito propuesto una última etapa para convertir la señal triangular en una senoidal. Se propone el circuito creado por Thomas Henry, el mismo se puede ver en la Figura 46. Como se puede observar, el circuito cuenta con un par diferencial y un amplificador operacional a la salida. El circuito posee un preset a la entrada y otro en las terminales emisoras de los transistores. El primero se utiliza para calibrar la forma de la senoidal (más o menos puntiaguda) y el segundo para asegurar que la corriente emisora de los transistores sea la misma.

Para obtener una señal senoidal con la misma amplitud que la entrada, el creador del circuito propone los componentes listados en la Tabla 4. Los valores de R_9 y R_8 se seleccionaron de modo que se obtenga una señal senoidal de amplitud de $1V$ a la salida.

| | |
|----------|-----------------------------|
| R_1 | <i>preset</i> – $25k\Omega$ |
| R_2 | $2,2k\Omega$ |
| R_3 | $10k\Omega$ |
| R_4 | $10k\Omega$ |
| R_5 | $2,2k\Omega$ |
| R_6 | <i>preset</i> – $50k\Omega$ |
| R_7 | $18k\Omega$ |
| R_8 | $2,2k\Omega$ |
| R_9 | $2,2k\Omega$ |
| R_{10} | 390Ω |

Cuadro 4: Componentes del conversor

Con todas las etapas del circuito hechas es posible realizar la simulación del circuito completo. En la Figura 47 se puede ver una simulación del circuito cuando $V_{IN} = 5V$. En dicha figura se puede apreciar tanto el trigger como la triangular y la senoidal. Cabe aclarar que se configuraron $R_1 = 10k\Omega$ y $R_6 = 50k\Omega$ ($25k\Omega$ de cada lado). Nótese que, la curva roja es la tensión V_{TR} que representa la señal triangular mientras que la negra es V_{out} que es la señal senoidal de salida. La simulación resulta ser muy buena. Se obtuvo una señal senoidal con amplitud de aproximadamente $V_{out} = 1,03V$ y $f = 10,256kHz$.

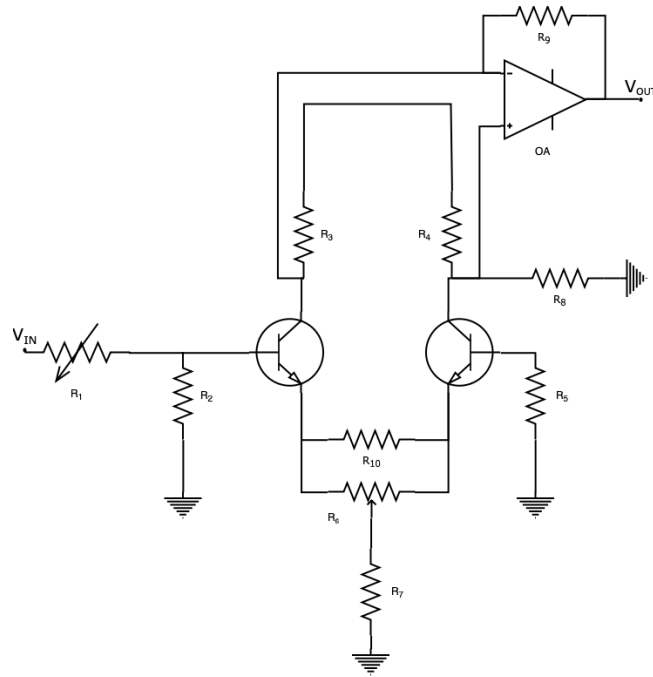


Figura 46: Conversor

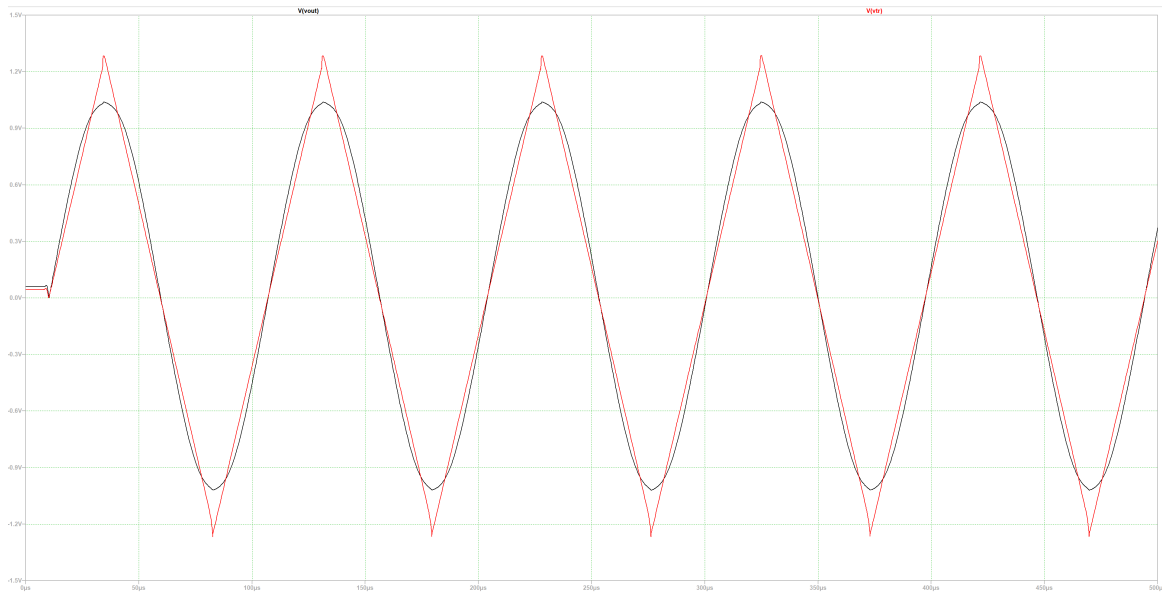


Figura 47: Simulación del circuito con $V_{in} = 5$

Para terminar la etapa de diseño es de suma importancia notar que el circuito fue diseñado de modo que cuando la $V_{IN} = 5V$ la frecuencia de la senoidal sea $f_0 = 10kHz$ con amplitud $1V$. Esto cumple con los parámetros deseados del *VCO*. Sin embargo, $f_0 = 1kHz$ no se alcanza con $V_{in} = 0V$ sino que con aproximadamente $V_{in} = 0,4V$. Esta situación se evidencia en la sección *Medición*. Luego, el rango de trabajo del *VCO* se achica de $[0V; 5V]$ a $[0,4V; 5V]$. Esto se puede solucionar con una etapa de transformación lineal. Sin embargo, se decide no agregar dicha etapa al diseño ya que los resultados de la simulación fueron satisfactorios.

Por otro lado, no está de más aclarar que, para todas las simulaciones se utilizan el modelo del amplificador operacional TL084 ya que el mismo cuenta con cuatro amplificadores operacionales y el diseño del circuito completo requiere tres. El cuarto amplificador se utiliza en configuración de buffer entre la etapa del *VCO* y la etapa del conversor.

13.5. PCB

En la Figura 48 se muestra el diseño del PCB del circuito propuesto. Notese que se utilizan jumpers de manera que se pueden desacoplar las etapas del circuito y calibrar las mismas de manera apropiada. Además,

| V_{in} (V) | f media (kHz) | f mínima (kHz) | f máxima (kHz) | Desv std (Hz) | Count (k) |
|--------------|---------------|----------------|----------------|---------------|-----------|
| 5 | 9.989 | 9.94 | 10.06 | 11.434 | 30.16 |
| 4 | 8.1610 | 8.13 | 8.20 | 8.862 | 20.11 |
| 3 | 6.252 | 6.23 | 6.27 | 6.658 | 20.13 |
| 2 | 4.259 | 4.25 | 4.26 | 0.706 | 20.12 |
| 1 | 2.160 | 2.15 | 2.16 | 1.884 | 20.08 |
| 0.464 | 0.999 | 0.99 | 1.00 | 0.739 | 20.1 |

Cuadro 5: Medición de *Jitter* para distintos valores de V_{in}

se utilizan capacitores de desacople de $100nF$ colocados lo mas cerca posible del integrado.

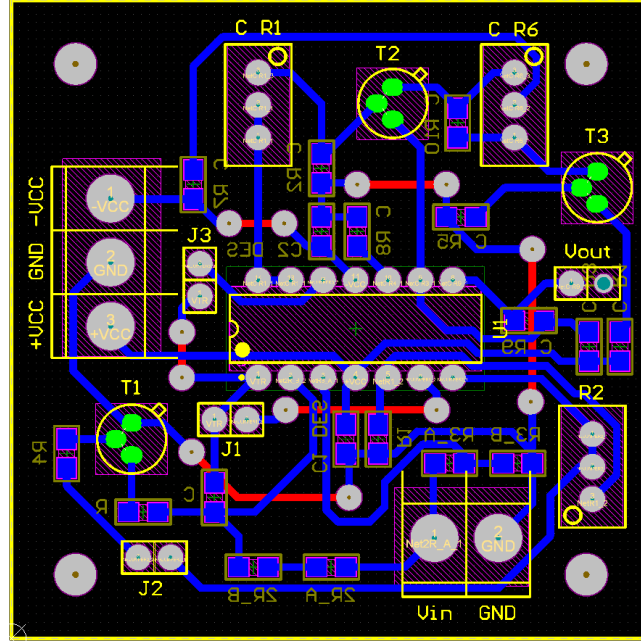


Figura 48: Diseño del PCB

14. Medición

En esta sección se realizan las mediciones del circuito propuesto en la sección de *Diseño*. Recordar que el circuito cuenta con tres presets para ser calibrado. La forma de calibrar el circuito es la siguiente. En primer lugar, se modifica R_2 de la etapa del trigger y se configura para que la frecuencia de la señal triangular se corresponda con V_{in} . En segundo lugar, se modifica R_6 de la etapa del conversor de modo que la corriente que fluye en la base de los transistores sea la misma. Por ultimo, utilizando la función FET de un osciloscopio se calibra la señal senoidal con R_1 de la etapa del conversor. La función FET muestra los armónicos de la señal senoidal. Luego, como la señal senoidal ideal es aquella que tiene solo un armónico principal, se calibra R_1 de modo que los armónicos (no el principal) que muestra la función FET sean lo mas chicos posibles.

Como medición inicial se configura $V_{IN} = 5V$ y se calibra como se explico anteriormente. En la Figura 49 se ve la medición. Como se puede apreciar los resultados son satisfactorios. La amplitud de la senoidal es $1,036V$ lo que es muy próximo a $1V$. Entonces, se concluye que se logro la amplitud deseada. Además, la frecuencia es $10kHz$ que es la deseada.

Se continua a medir el *jitter*. Para hacerlo, se vario V_{in} y se medio la frecuencia de la señal senoidal con mediciones estadísticas mayores a $20k$. En la Tabla 5 se pueden ver dichas mediciones. Como se puede ver, en todos los casos la desviación standard resulto ser de tres ordenes de magnitud menor que la frecuencia media. Además, la diferencia entre la frecuencia máxima y media ronda alrededor de 1% siendo la mejor de $0,23\%$ y la peor de $1,2\%$. Se puede concluir que los resultados son satisfactorios. Por otro lado, en estas mediciones se manifiesta la relación lineal que existe entre V_{in} y la frecuencia de la senoidal. Además, como se anticipo, se obtiene una frecuencia de $f = 1kHz$ cuando $V_{in} = 0,464V$.

Como se dijo anteriormente, se mide el *THD* mediante el osciloscopio tomando los primeros 5 armónicos. En la Tabla 6 se pueden ver dichas mediciones. Como se puede ver, en todas las mediciones el *THD* resulto ser menor

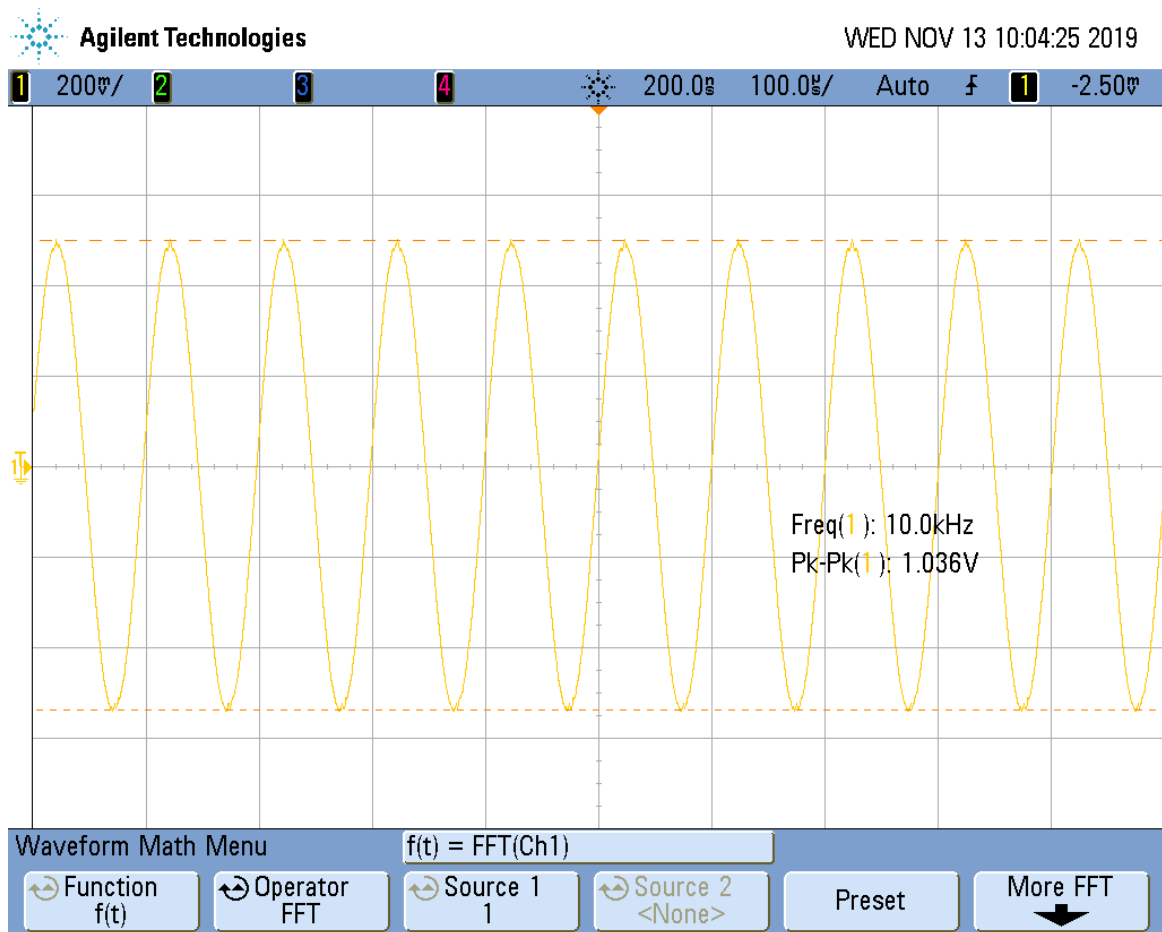


Figura 49: Medición con $V_{in} = 5$

del 2%. Recordar que, este parámetro depende de la precisión de la calibración del circuito el cual puede variar mucho. Además, depende del circuito de la etapa del convertidor que contiene transistores. Al contener transistores, puede que la temperatura de los mismos difiera entre cada medición agregando error a las mediciones. Cabe aclarar que, también, se utilizó el analizador de espectros de audio para realizar las mediciones. Si bien este dispositivo computa el parámetro THD más rápido y con más armónicos, no se pudo obtener una medición clara ya que el valor mostrado variaba entre un número significativo de valores.

| V_{in} (V) | Frecuencia fundamental (kHz) | THD (%) |
|--------------|------------------------------|---------|
| 5 | 9.9 | 1.44 |
| 4 | 8.1 | 1.64 |
| 3 | 6.1 | 1.41 |
| 2 | 4.1 | 1.31 |
| 1 | 2.1 | 1.17 |
| 0.47 | 1 | 1.09 |

Cuadro 6: Medición de THD

15. Conclusión

Se logró diseñar e implementar un VCO con una salida senoidal de 1V de amplitud con un rango de frecuencias de $[1kHz; 10kHz]$. Si bien el rango de trabajo se vio acotado a $[0.47V; 5V]$ se logró obtener los parámetros de $jitter$ y THD dentro de los rangos deseados. Como consideraciones adicionales se podría implementar una etapa de transformación lineal para ajustar el rango de trabajo del VCO . Además, se podrían evaluar otros transistores para mejorar la etapa convertidora y así mejorar los parámetros de $jitter$ y THD .