

Quartus Prime Lite v. 20.1

Table des matières

1. Installation et prise en main

- Installer Quartus _____ p. 4
- Installation du pilote USB Blaster _____ p. 6
- Installation sur macOS _____ p. 10
- Création d'un projet _____ p. 13

2. Édition du RTL

- Conception par schéma _____ p. 17
- Conception par code VHDL _____ p. 20
- Conception hybride _____ p. 22

3. Simulation sur ModelSim Altera

- Paramétrages _____ p. 26
- Simulation fonctionnelle _____ p. 29

4. Programmation de la DE 10-Lite

- Pin planner _____ p. 34
- Chip planner _____ p. 41
- Programmation du FPGA _____ p. 42

5. Erreurs fréquentes

- Conception et synthèse _____ p. 45
- Pin planner _____ p. 48
- ModelSim _____ p. 50

1 Installation et prise en main



Installer Quartus Prime Lite v. 20.1

The screenshot shows the Intel Quartus Prime software landing page. It features a navigation bar with links for PRODUITS, SUPPORT, SOLUTIONS, DÉVELOPPEURS, PARTENAIRES, and a search bar. Below the navigation is a breadcrumb trail: Produits Intel® / Intel® FPGA, SoC FPGA et CPLD / Outils de développement FPGA Intel® / Logiciel Intel® Quartus® Prime. The main content area is titled "Logiciel Intel® Quartus® Prime" and describes it as an "environnement de conception intuitif et très performant". It lists three editions: Pro Edition, Standard Edition, and Lite Edition. The Lite Edition section is highlighted with a red box around the "Télécharger pour Windows (gratuit, aucune licence requise)" button.

1 Se rendre sur : <https://www.intel.com/content/www/us/en/software-kit/661019/intel-quartus-prime-lite-edition-design-software-version-20-1-for-windows.html>

⚠ Ne pas sélectionner une version postérieure car ModelSim ne sera pas compatible !

2 Cliquer sur « Download ».

3 Installer Quartus Prime Lite : dézipper l'archive puis lancer « QuartusLiteSetup... ».

⚠ Ne pas décocher l'installation du driver USB Blaster et ModelSim.

The screenshot shows the Intel Software Download Center. It displays a table for "Intel® Quartus® Prime Lite Edition Design Software Version 20.1 for Windows". The table includes columns for ID (661019), Date (6/14/2020), and Version (20.1). A red box highlights the "Version" dropdown menu. Below the table, a yellow banner states: "A newer version of this software is available, which includes functional and security updates. Customers should click here to update to the latest version."

The screenshot shows the "Downloads" section of the Intel Software Download Center. Under the "Multiple Download" tab, a list of files is shown, with the "Quartus-lite-20.1.0.711-windows.tar" file highlighted by a red box. The file details are: Size: 5.9 GB, SHA1: 101fa5f7b86e4737f40379339b9b7eed4dc8672d. Below the file list, a note says: "What's included? ** Nios® II EDS on Windows requires Ubuntu 18.04 LTS on Windows Subsystem for Linux (WSL), which requires a manual installation. ** Nios® II EDS requires you to install an Eclipse IDE manually."



Attention à bien prendre la version 20.1
En cas d'erreur, il faut désinstaller l'autre version avant d'installer la 20.1

En cas d'oubli... : Installer ModelSim

Downloads

Multiple Download Individual Files **Additional Software** Copyleft Licensed Source

Intel® Quartus® Software

ModelSim-Intel® FPGA Edition (includes Starter Edition)

Download ModelSimSetup-20.1.0.711-windows.exe

Size: 1.2 GB
SHA1: 00478ed0e5fe6391ccd013162716ae26ea092154

Intel® Quartus® Prime (includes Nios® II EDS)

Download QuartusLiteSetup-20.1.0.711-windows.exe

Size: 1.6 GB
SHA1: c2e6b94d64bf585214d734f0a8c13b3424b561bb

** Nios® II EDS on Windows requires Ubuntu 18.04 LTS on Windows Subsystem for Linux (WSL), which requires a manual installation.
** Nios® II EDS requires you to install an Eclipse IDE manually.

- 1 Aller dans « **Individual files** » et cliquer sur « **Download** ».
 - 2 Installer ModelSim (« **ModelSim – Intel FPGA Starter Edition** »).
- Voir la section « **3. Simulation sur ModelSim Altera** » pour le paramétrage.

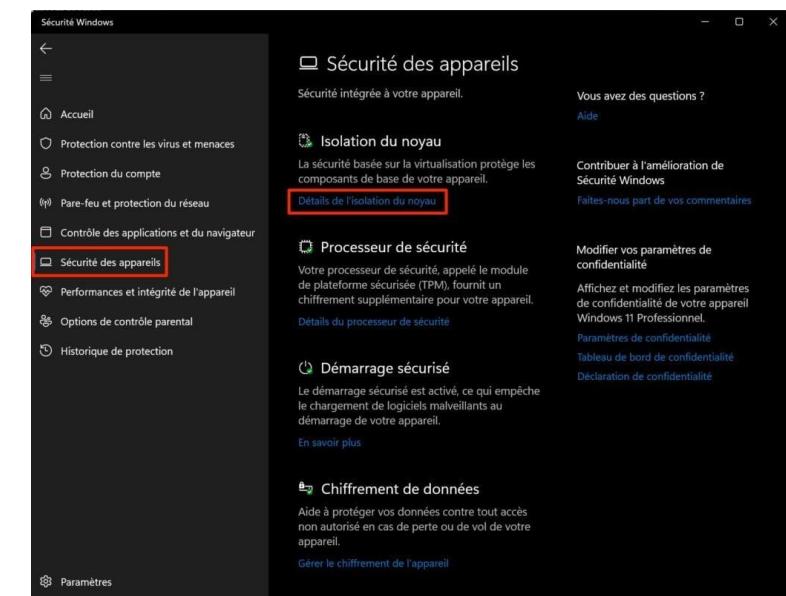
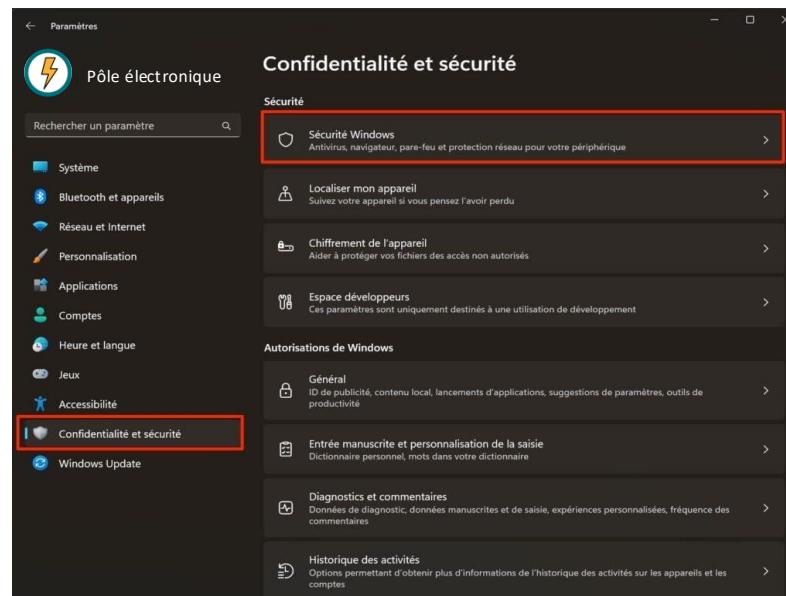
Installer le driver USB blaster (1 / 4)

- Pour la programmation de la carte FPGA, il faut établir une liaison entre le logiciel Quartus et la carte DE 10-lite. Pour ce faire, l'ordinateur a besoin du pilote « **USB Blaster** ».
- Dans la majorité des cas, il s'installe correctement sans action supplémentaire. Cependant, dans certains cas dépendant de votre modèle d'ordinateur, version de Windows, etc., il est nécessaire de l'installer manuellement.
- Pour ce faire, on vous invite à tester dans l'ordre suivant jusqu'à la résolution du problème :

Sur windows 11/10

Aller dans Paramètres → confidentialité et sécurité → Sécurité Windows

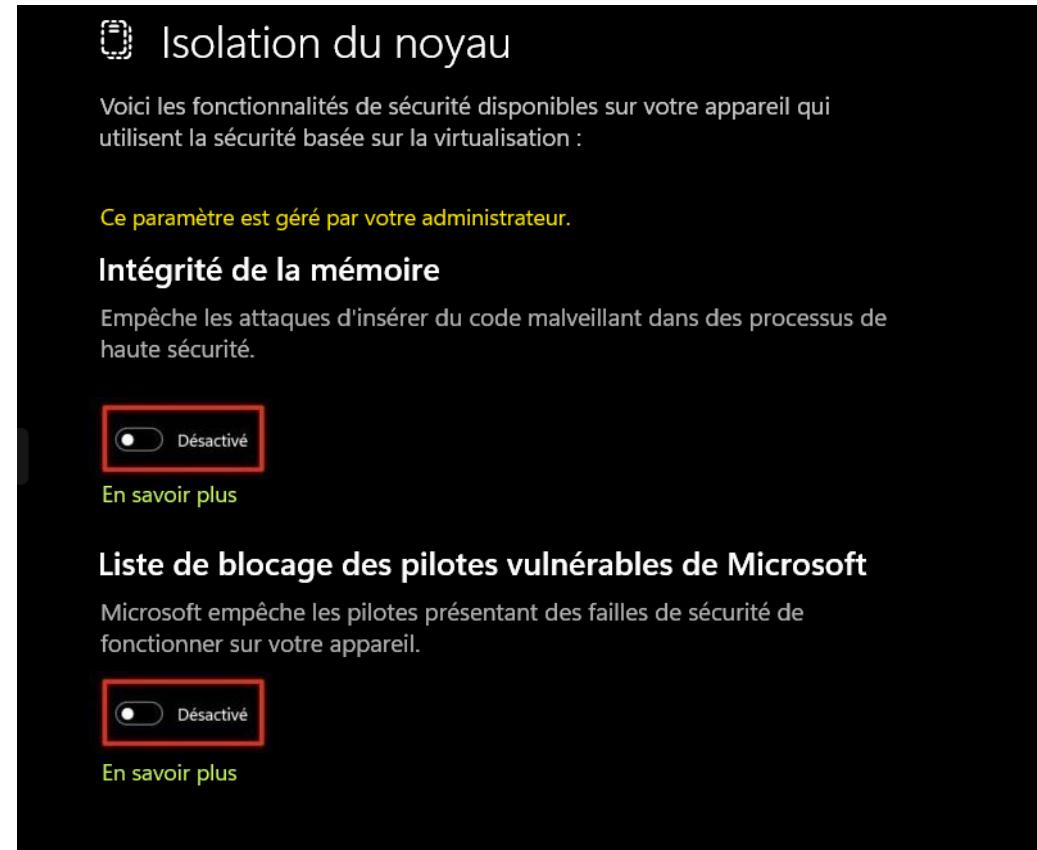
Puis, Sécurité des appareils → **isolation du noyau**



Installer le driver USB blaster (2 / 4)

■ Il faut alors :

- ▷ Désactiver l'option « intégrité de la mémoire »
- ▷ Désactiver l'option « Liste de blocage des pilotes vulnérables de Microsoft »



Installer le driver USB blaster (3 / 4)

- Avant d'installer le pilote, pour que les paramètres de sécurité prennent effet, fermer tous les logiciels et redémarrer l'ordinateur.
- De retour sur votre ordinateur, se connecter à Boostcamp et aller sur la **Toolbox**, puis télécharger le fichier zip (compressé) « **Pilote Blaster USB** ».

The screenshot shows the 'LA TOOLBOX' page on Boostcamp. At the top, it displays '4626 inscrits' and 'Parcours visible'. Below this, there's a section titled 'La toolbox' with a sub-section 'Nom abrégé : La Toolbox2223'. It lists '30 classe(s)' with a long list of cohort names. On the right, there's a sidebar for 'ÉLECTRONIQUE' with a 'SCIENCE & INGÉNIERIE' button. Below this, there's a list of links: AUDACITY, CAPSULES TECH, CONFÉRENCES TECH, CONSEILS, FICHES, GITHUB, and HALL OF FAME. The 'pilote Blaster USB' link is highlighted with a red box.

- AUDACITY
- CAPSULES TECH
- CONFÉRENCES TECH
- CONSEILS
- FICHES
- GITHUB
- HALL OF FAME

Additional notes on ModelSim

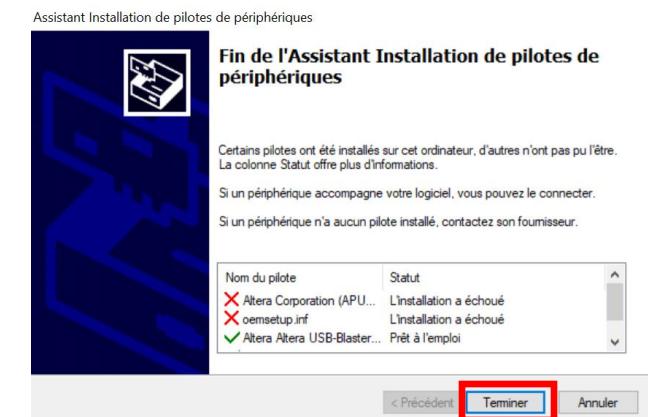
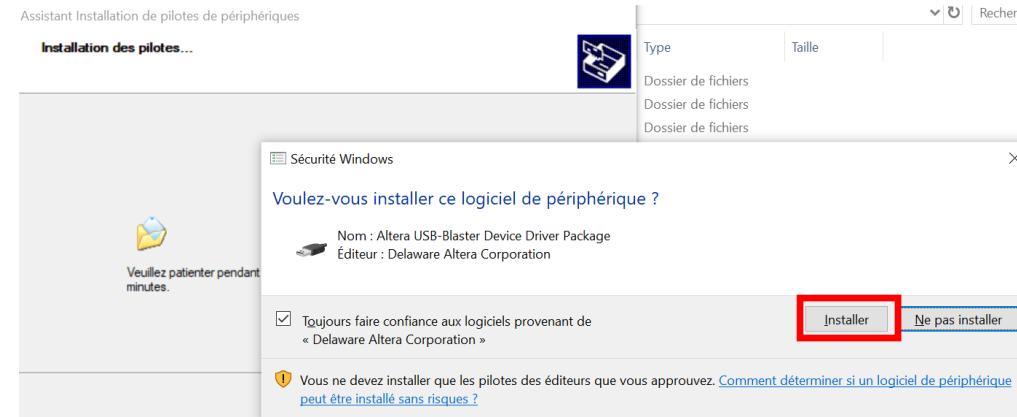
Installation des librairies Quartus

pilote Blaster USB

Installer le driver USB blaster (4 / 4)

- Étant donné que vous récupérez une archive, il faut la décompresser (vous ne pouvez pas directement vous en servir en cliquant dessus). Une manière de faire de créer un dossier et de décompresser les fichiers (clic droit → décompresser...) dans ce même dossier.
- Pour lancer l'assistant d'installation du pilote, double cliquer sur « **DPIInst** ».
- ...Puis suivre les étapes de l'assistant jusqu'à la fin en finissant par cliquer sur « **Terminer** ».

Bureau > bb			
Nom	Modifié le	Type	Taille
i386	08/09/2024 15:35	Dossier de fichiers	
sentinel	08/09/2024 15:35	Dossier de fichiers	
usb-blaster	08/09/2024 15:35	Dossier de fichiers	
usb-blaster-ii	08/09/2024 15:35	Dossier de fichiers	
wdrv	08/09/2024 15:35	Dossier de fichiers	
apu_usb	08/09/2024 15:35	Informations de conf...	2 Ko
apu_usb.sys	08/09/2024 15:35	Fichier système	14 Ko
DPIInst	08/09/2024 15:35	Application	1 026 Ko
DPIInst	08/09/2024 15:35	Microsoft Edge HTM...	1 Ko
oemsetup	08/09/2024 15:35	Informations de conf...	1 Ko
pgdhdlc.dll	08/09/2024 15:35	Extension de l'applica...	15 Ko
pgdnt.dll	08/09/2024 15:35	Extension de l'applica...	32 Ko



Installation sur macOS... (1 / 2)

- Actuellement (2022), Quartus Prime Lite ne fonctionne que sur PC et sur Linux.
- Si vous travaillez sur macOS, vous pouvez, par ordre de praticité provenant de différentes sources, choisir une des options suivantes :
 - ① Emprunter une machine Windows ou Linux le temps du module.
 - ② Installer un Dual boot Windows en utilisant [Boot Camp](#) : utilisation optimale des ressources de l'ordinateur mais redémarrage de l'ordinateur nécessaire à chaque changement entre macOS et Windows...
 - ③ Installer une machine virtuelle Windows (UTM, VMWare Fusion, Virtual Box ou encore Parallels) en allouant au minimum 2 Go de RAM et 2 cœurs. Des images de VM sont disponibles sur la page Boostcamp La Toolbox.

Installation sur macOS... (2 / 2)

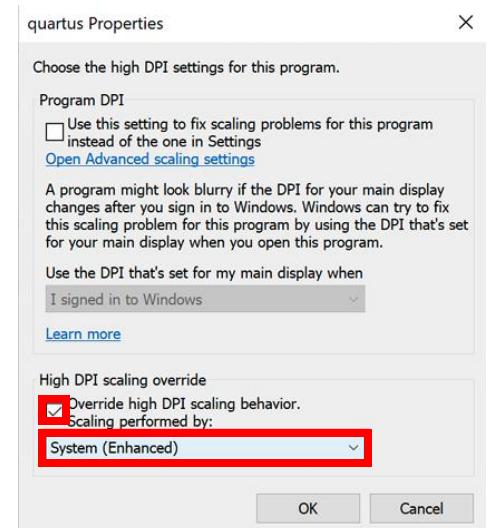
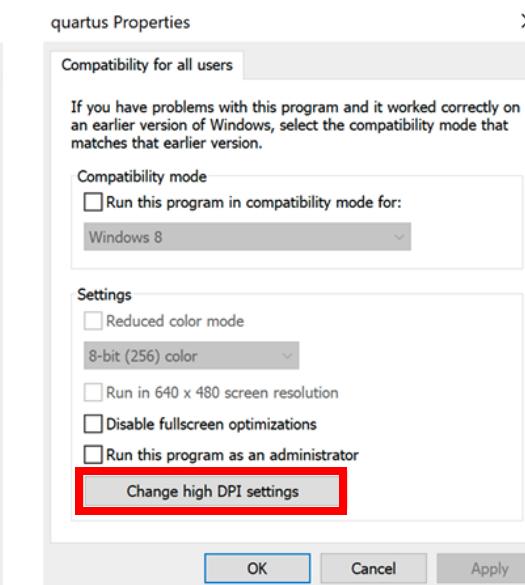
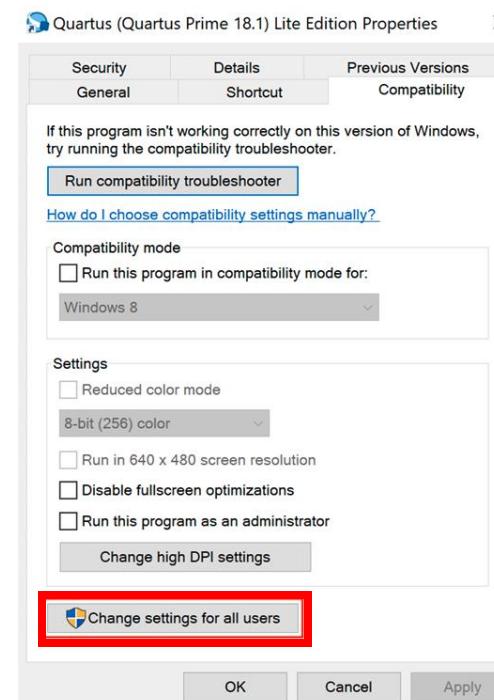
- Un autre problème que vous pouvez rencontrer sur iOS est un mauvais ajustement de la résolution de l'écran (à partir des écrans Retina) : Quartus ne fonctionne pas en plein écran et les proportions des icônes et du texte ne sont pas bonnes...
- Ce problème de compatibilité est corigeable en suivant les étapes suivantes :

① Cliquer droit sur l'icône Quartus sur le bureau et ouvrir « Propriétés »

② Aller dans l'onglet « Compatibilité » et cliquer sur « Change settings for all users »

③ Dans la fenêtre suivante, cliquer sur « Change high DPI settings »

④ Cocher « Override high DPI scaling behavior » et sélectionner « System (enhanced) »



Les extensions des fichiers



Quartus Prime File

- Dossier du projet Quartus
- Contient des informations relatives au projet, la version de Quartus, les configurations, etc.

Block Schematic File

- Composants schématique
- Peut être obtenu à partir d'une description VHDL
- À instancier dans une description schématique (BDF)

Block Design File

- Description schématique d'un circuit logique.

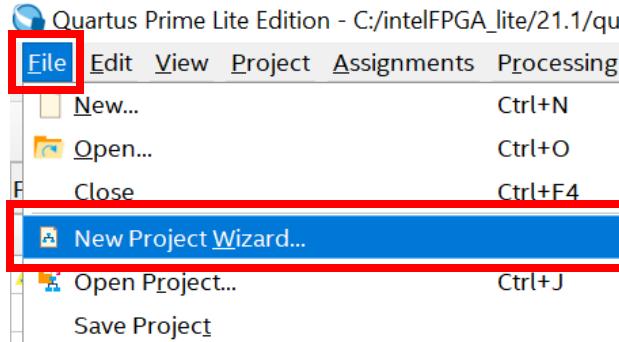
VHDL File

- Description en VHDL d'un circuit logique.

SRAM Object File

- Standard proposé par Altera pour le bitstream à stocker dans une SRAM
- Contient les configurations des blocs logiques du FPGA.

Créer un projet (1 / 3)



- ① Aller dans « File » → « **New project wizard** ».
- ② Sélectionner le dossier de travail, donner un nom au projet et cliquer sur « Next ».
- ③ Cliquer sur « Next » aux deux étapes suivantes.

New Project Wizard

Directory, Name, Top-Level Entity

What is the working directory for this project?
C:/Users/mschneider/Desktop/monProjet ...

What is the name of this project?
premierProjet ...

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.
premierProjet ...

Use Existing Project Settings...

Help < Back Next > Finish Cancel

New Project Wizard

Project Type

Select the type of project to create.

Empty project
Create new project by specifying project files and libraries, target device family and device, and EDA tool settings.

Project template
Create a project from an existing design template. You can choose from design templates installed with the Quartus Prime software, or download design templates from the [Design Store](#).

Help < Back **Next >** Finish Cancel

New Project Wizard

Add Files

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.

Note: you can always add design files to the project later.

File name:	...	Add		
File Name	Type	Library	Design Entry/Synthesis Tool	HDL Version

Specify the path names of any non-default libraries. User Libraries...

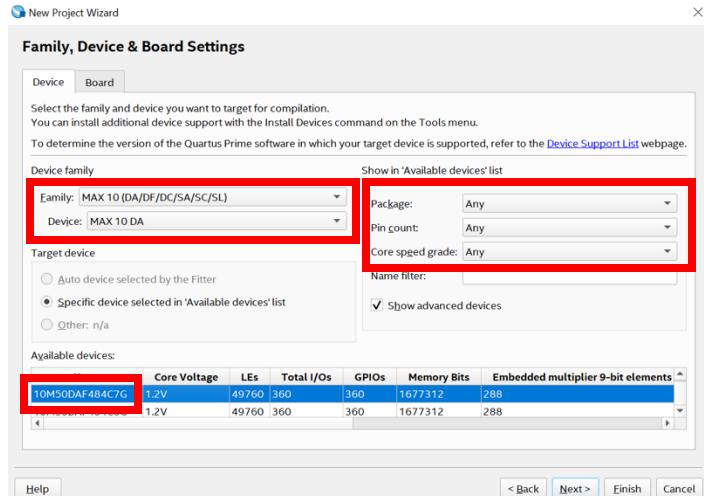
Help < Back **Next >** Finish Cancel

Créer un projet (2 / 3)

Création
d'un projet

Conception

Validation



④ Sélectionner le type de FPGA :

Family : **MAX 10 (DA/DF/DC/SA/SC/SL)**

Device : **MAX 10**

Name : **10M50DAF484C7G**



Attention à bien sélectionner le bon FPGA.
Sinon la programmation sera impossible...

⑤ Sélectionner le compilateur et le simulateur :

Design Entry / Synt : **Synplify Pro**

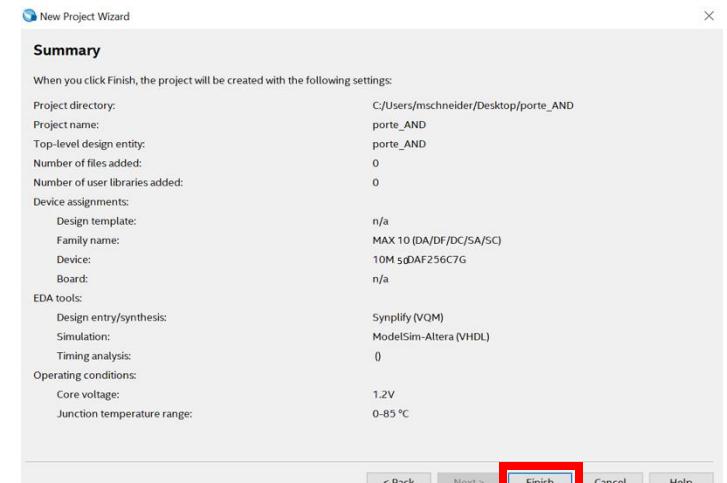
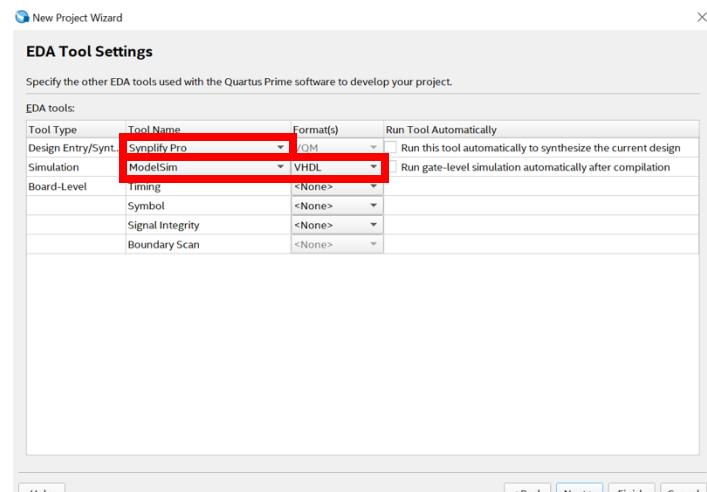
Simulation : **ModelSim**



« ModelSim-Altera »

Et pas simplement « ModelSim »

⑥ Cliquer sur « Next » puis sur « Finish ».



Créer un projet (3 / 3)

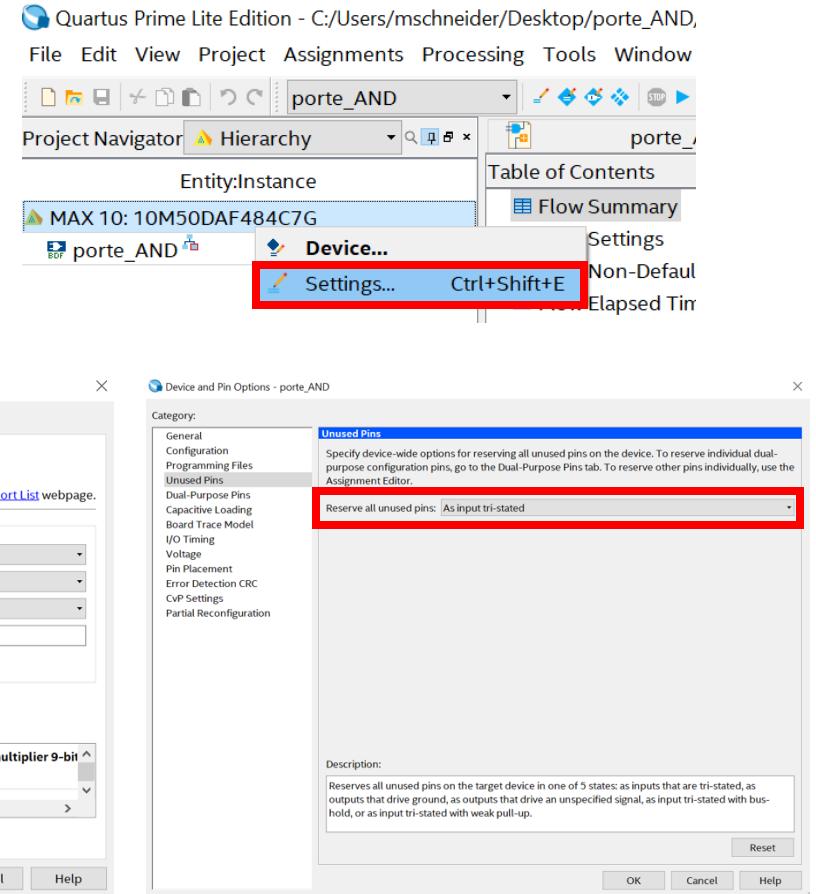
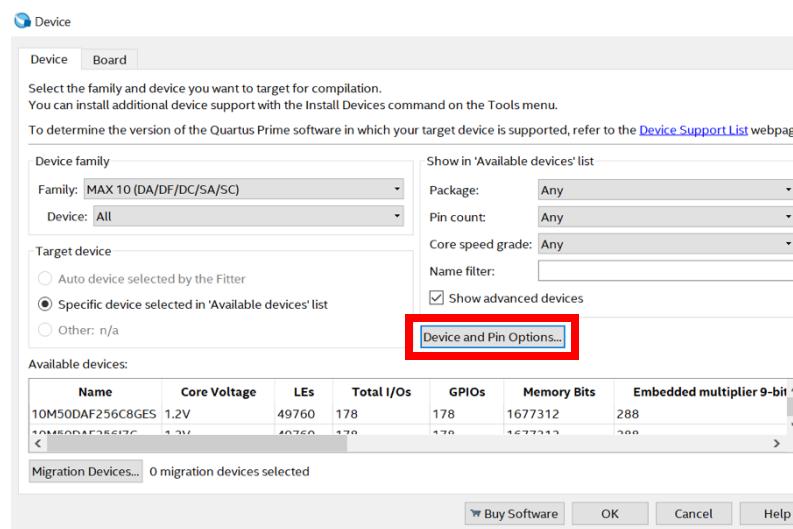
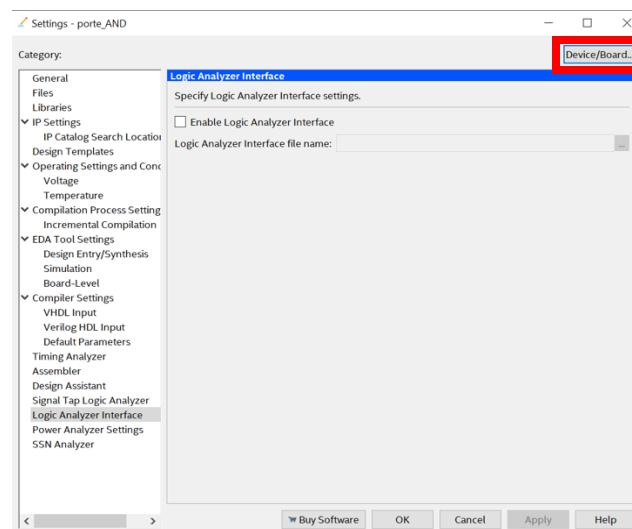
Création
d'un projet

Conception

Validation

Paramétrage pour ne pas avoir des LEDs supposées éteintes à moitié allumées

- ⑦ Cliquer droit sur le nom du FPGA (menu sur la gauche) et aller dans « Settings ».
- ⑧ Cliquer sur « Device / Board »
- ⑨ Cliquer sur « Device and Pin Options »
- ⑩ Sélectionner « As input Tri-stated »

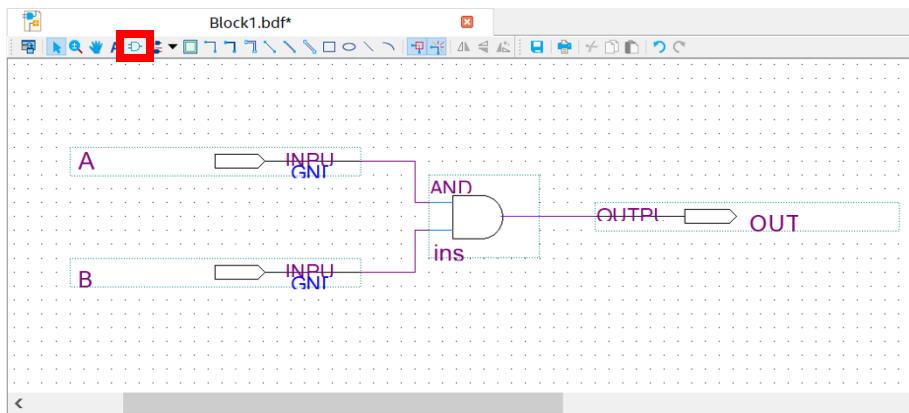


2 Édition du RTL

Conception par schéma : saisie du schéma

Création d'un projet Schéma Validation

- ① Aller dans File > New et sélectionner « Block Diagram / Schematic File »
- ② Saisir le schéma en allant chercher les composants dans l'outil « Symbol Tool » (icone en forme de porte ET) – les composants de base sont dans c:/intelfpga_lite... > primitives
 - **/logic** pour les portes logiques ;
 - **/pin** pour les entrées / sorties ;
 - **/storage** pour les bascules.
- ③ Compiler le design en cliquant sur « Start Analysis and Elaboaration » (icone en forme de bouton play avec un check vert dessus)



```
Funs TD Message ****
> 0 Running Quartus Prime Analysis & Elaboration
Command: quartus_map --read_settings_files=on --write_settings_files=off porte_AND -c porte_AND --analysis_and_elaboration
> 18236 Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your project settings file.
> 20030 Parallel compilation is enabled and will use 4 of the 4 processors detected
> 12021 Found 1 design units, including 1 entities, in source file porte_and.bdf
> 12127 Elaborating entity "porte_AND" for the top level hierarchy
> 0 Quartus Prime Analysis & Elaboration was successful. 0 errors, 1 warning
```



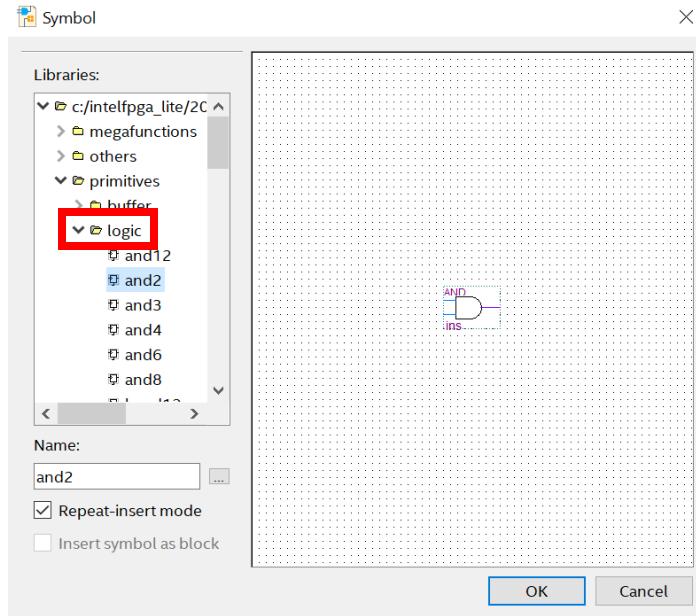
Les noms des entrées / sorties ne doivent pas être des mots réservés
Et ne pas commencer par un chiffre.

Conception par schéma : liste des composants

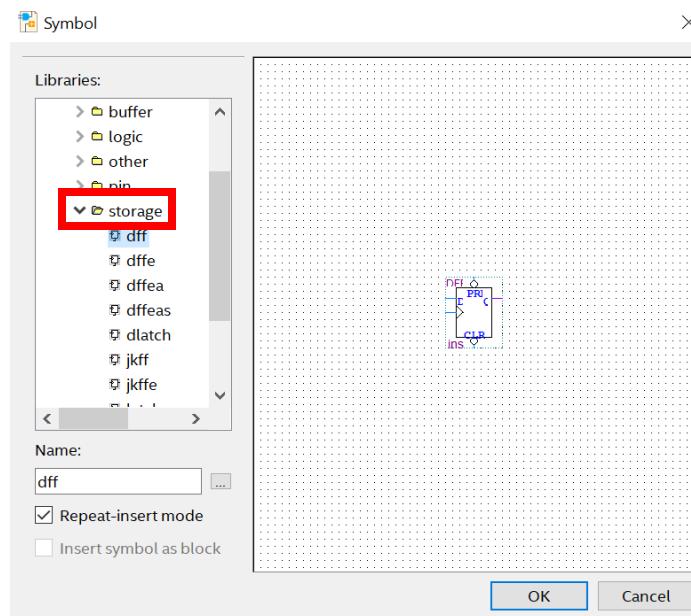
Création
d'un projet

Schéma

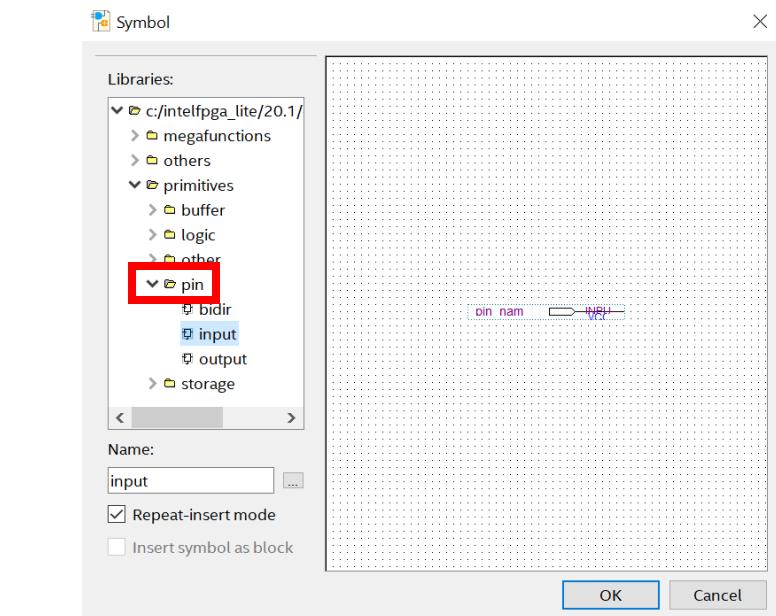
Validation



Portes logiques



Bascules



Entrées / sorties

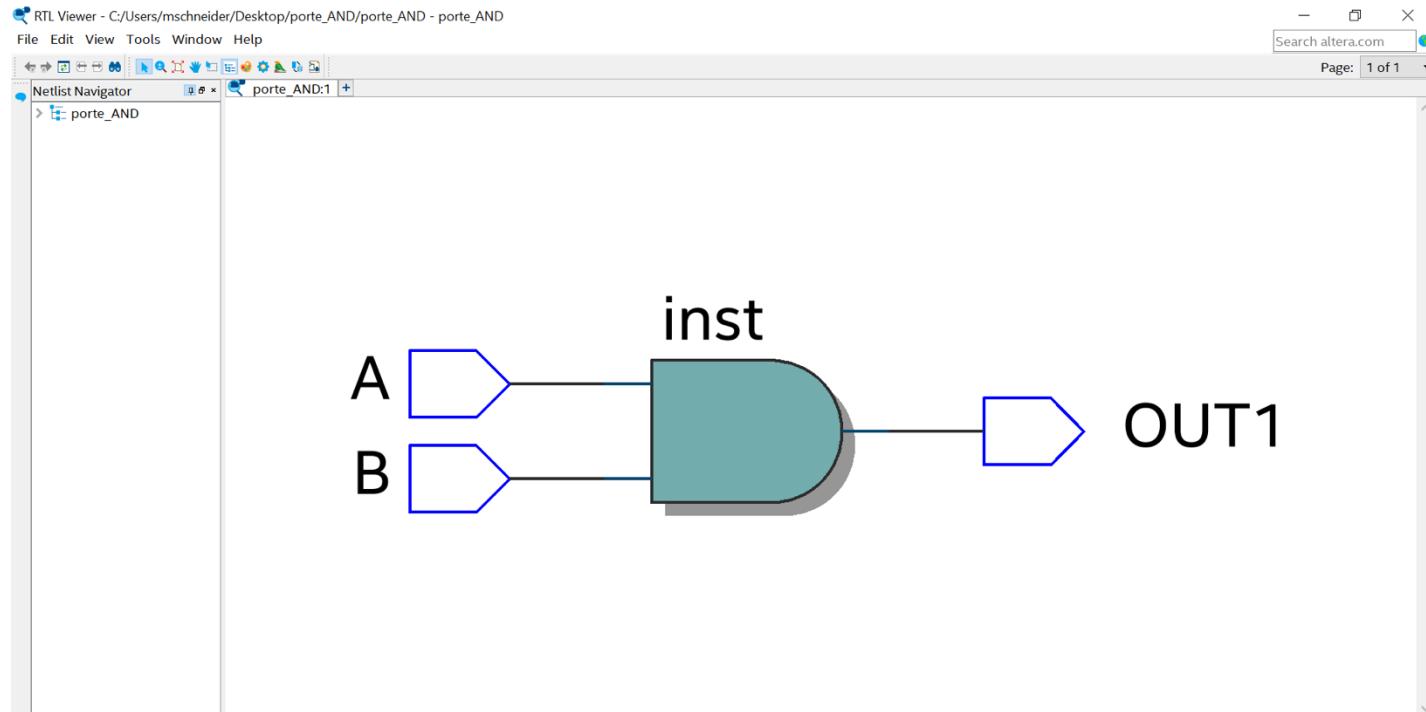
Conception par schéma : génération du RTL

Création
d'un projet

Schéma

Validation

- 4 Aller dans Tools > Netlist Viewers > RTL Viewer



**Le nom du schéma (.BDF) doit être le même que celui du projet.
Tous les .BDF doivent être inclus dans le projet : cliquer le navigateur de projet en mode Fichier pour voir quels sont les fichiers liés au projet.**



Conception par code : description du circuit

Création
d'un projet Code Validation

- ① Aller dans File > New et sélectionner « VHDL File »
- ② Décrire le circuit en VHDL
- ③ Compiler le design en cliquant sur « Start Analysis and Elaboaration » (icone en forme de bouton play avec un check vert dessus)

The screenshot shows the Quartus Prime Lite Edition software interface. The menu bar includes File, Edit, View, Project, Assignments, Processing, Tools, Window, and Help. The main window displays a project named "code_AND". The Project Navigator shows an Entity:Instance named "code_AND" under a MAX 10: 10M50DAF484C7G device. The code editor window contains the following VHDL code:

```
Quartus Prime Lite Edition - C:/Users/mschneider/Desktop/code_AND/code_AND - code_AND
File Edit View Project Assignments Processing Tools Window Help
Project Navigator Hierarchy code_AND
Entity:Instance
MAX 10: 10M50DAF484C7G
code_AND.vhd
abc code_AND vhdl Compilation Report
code_AND.vhd
1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity code_AND is port(
5     A,B : IN std_logic;
6     OUT1 : OUT std_logic);
7 end code_AND;
8
9 architecture dataFlow of code_AND is
10 begin
11     OUT1 <= A AND B;
12 end dataFlow;
```

The toolbar above the code editor has several icons, one of which is highlighted with a red box. The bottom of the screen shows a terminal window with the Quartus Prime Analysis & Elaboration log:

```
Run ID: TD | MESSAGE
1 ****
> 1 Running Quartus Prime Analysis & Elaboration
1 Command: quartus_map --read_settings_files=on --write_settings_files=off code_AND -c code_AND --analysis_and_elaboration
1 18236 Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in
1 20030 Parallel compilation is enabled and will use 4 of the 4 processors detected
> 1 12021 Found 2 design units, including 1 entities, in source file code_and.vhd
1 12127 Elaborating entity "code_AND" for the top level hierarchy
> 1 Quartus Prime Analysis & Elaboration was successful. 0 errors, 1 warning
```



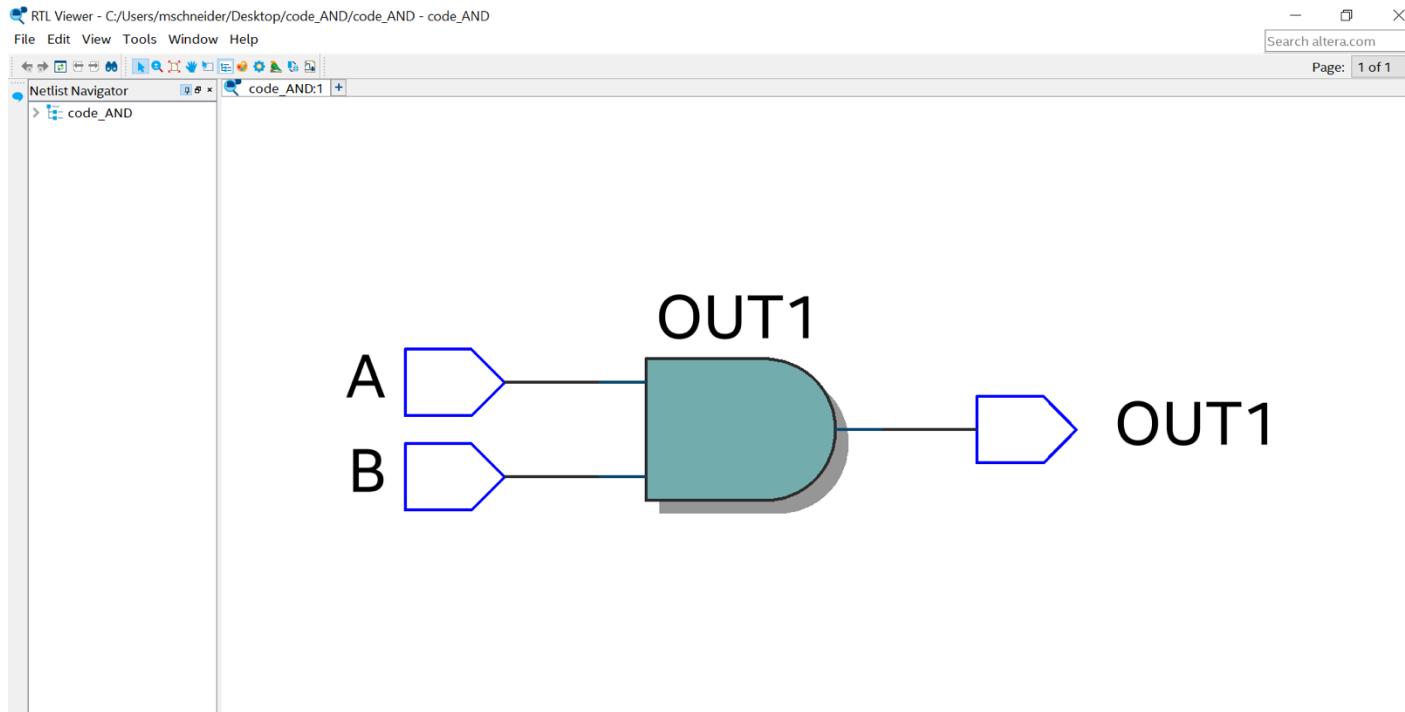
Conception par code : génération du RTL

Création
d'un projet

Code

Validation

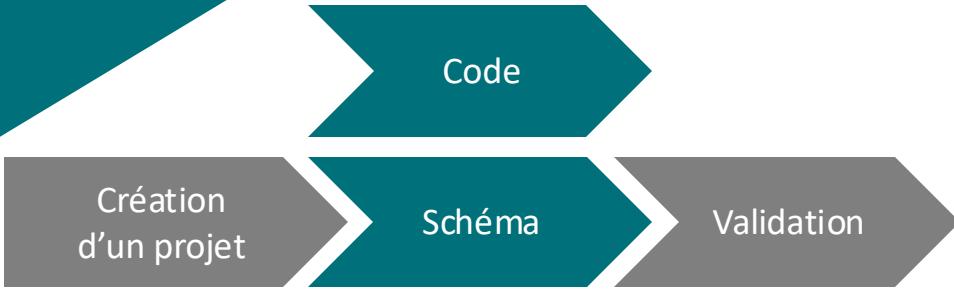
- 4 Aller dans Tools > Netlist Viewers > RTL Viewer



**Le nom du fichier de code (.VHD) doit être le même que celui du projet.
Tous les .VHD doivent être inclus dans le projet : cliquer le navigateur de projet
en mode Fichier pour voir quels sont les fichiers liés au projet.**

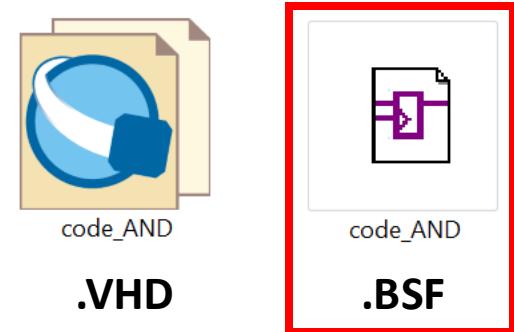
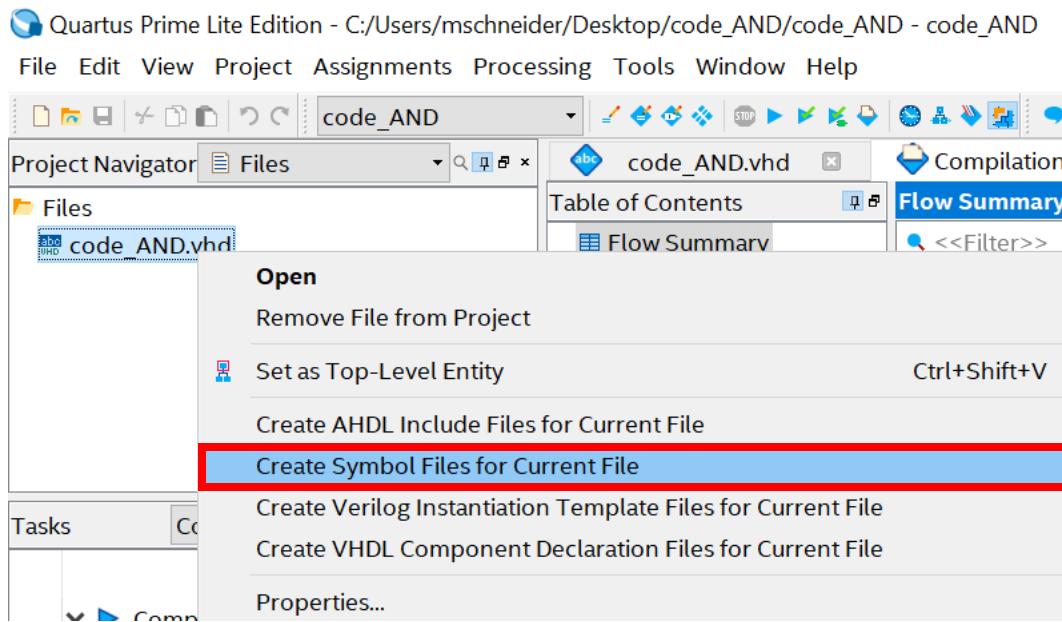


Conception hybride : ajout d'un bloc de code dans un schéma

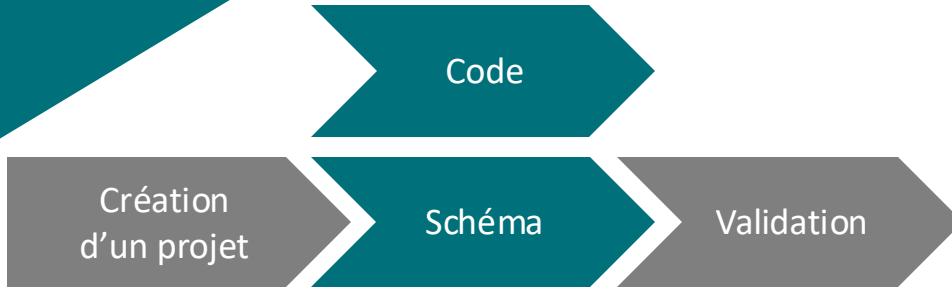


Création d'un symbole à partir d'un code en VHDL

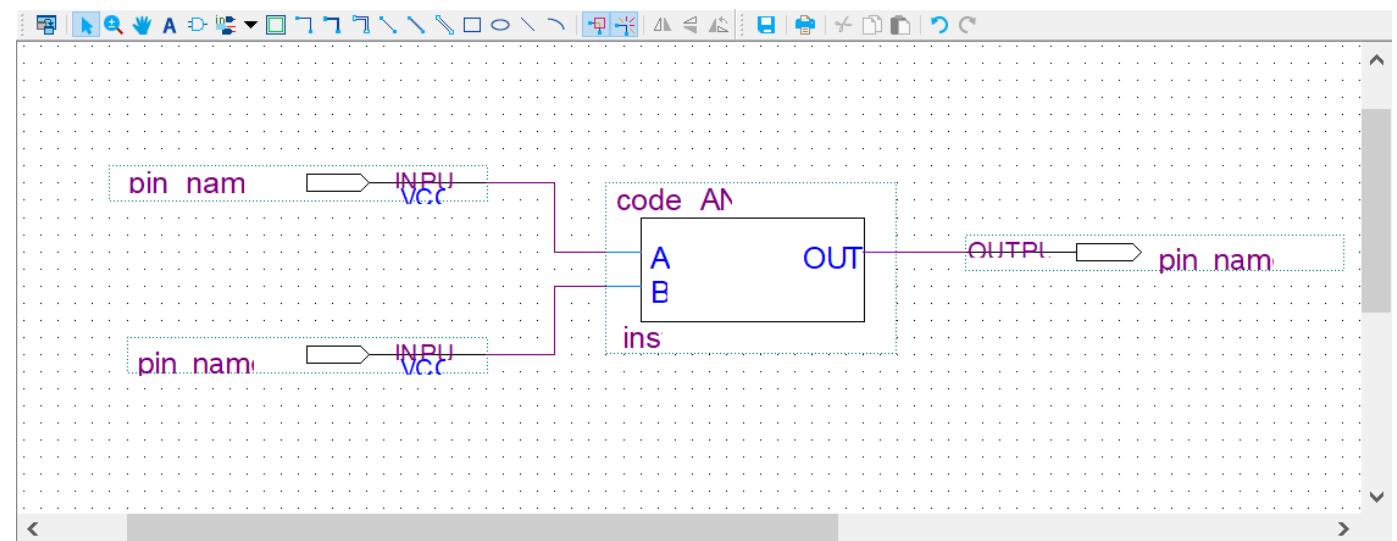
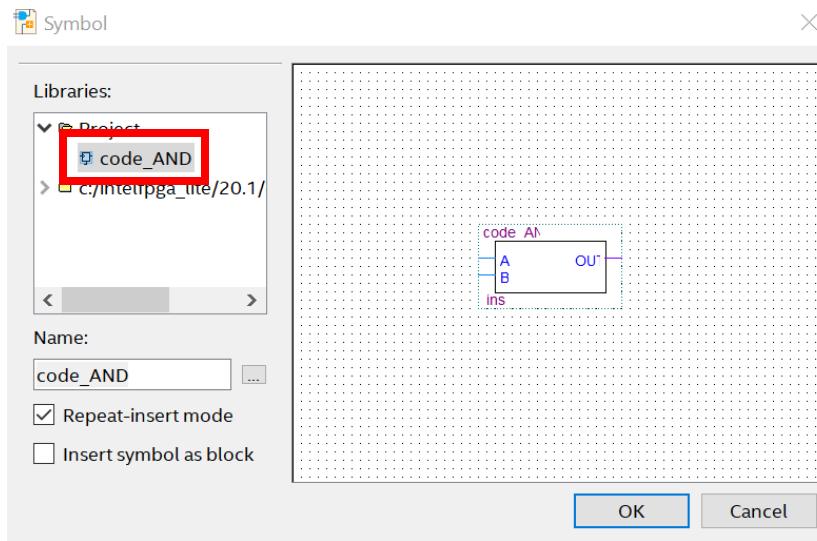
- 1 Dans le navigateur de projet, cliquer droit sur le .VHD puis cliquer sur « **Create Symbol Files for Current File** ». Cela va générer un .BSF dans le dossier du projet qui pourra être récupéré dans une description schématique (.BDF) future.



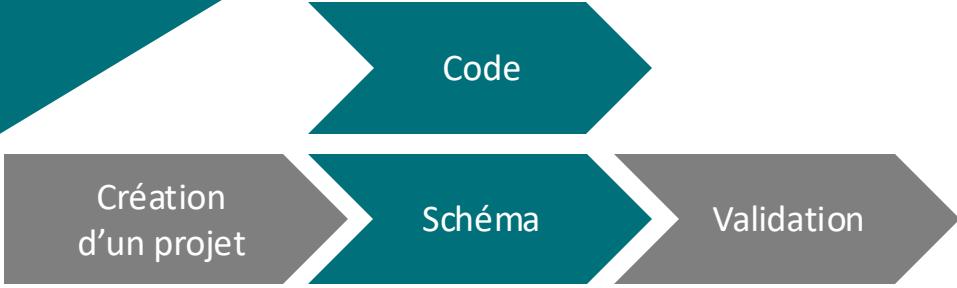
Conception hybride : ajout d'un bloc de code dans un schéma



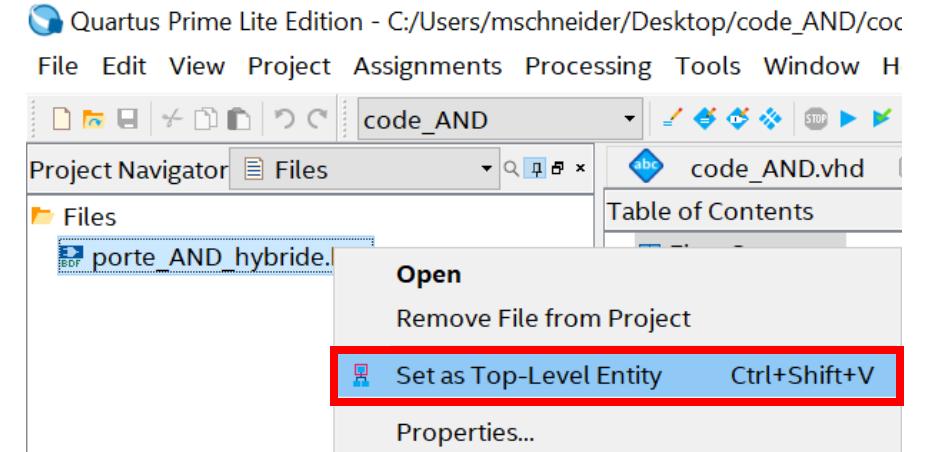
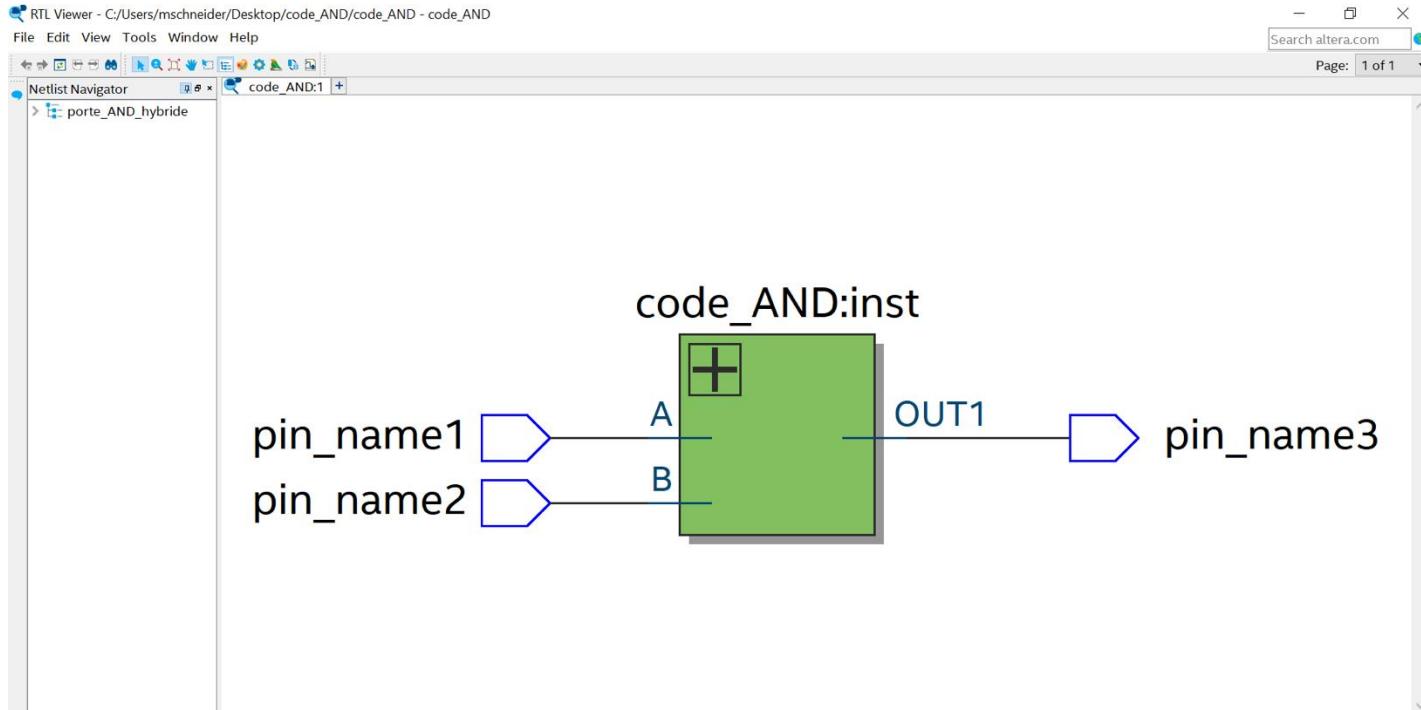
- 2 Aller dans File > New et sélectionner « Block Diagram / Schematic file »
- 3 Depuis le navigateur de composant, récupérer le schéma bloc du composant nouvellement créé dans le dossier du projet et finaliser le design.
- 4 Compiler le design en cliquant sur « Start Analysis and Elaboaration » (icone en forme de bouton play avec un check vert dessus)



Conception hybride : ajout d'un bloc de code dans un schéma



- 4 Aller dans Tools > Netlist Viewers > RTL Viewer



La synthèse se fait sur le Top level entity

3

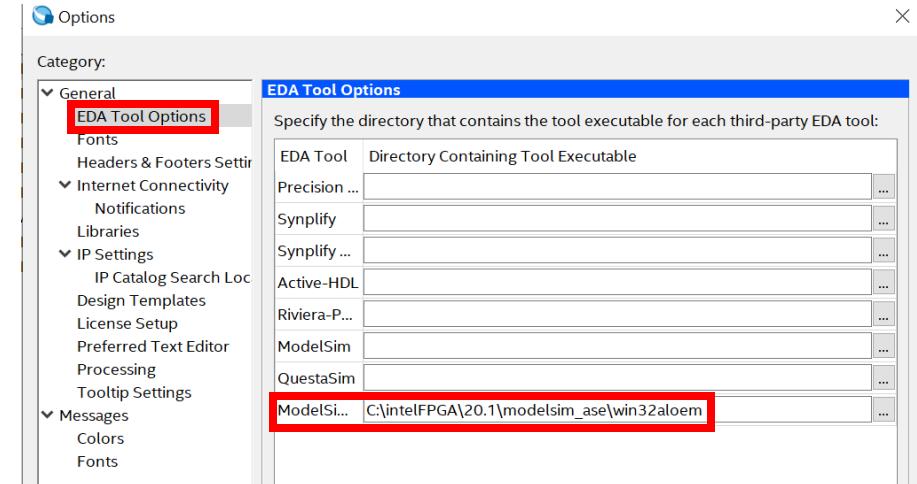
Simulation sur ModelSim Altera



Paramétrage pour la première simulation

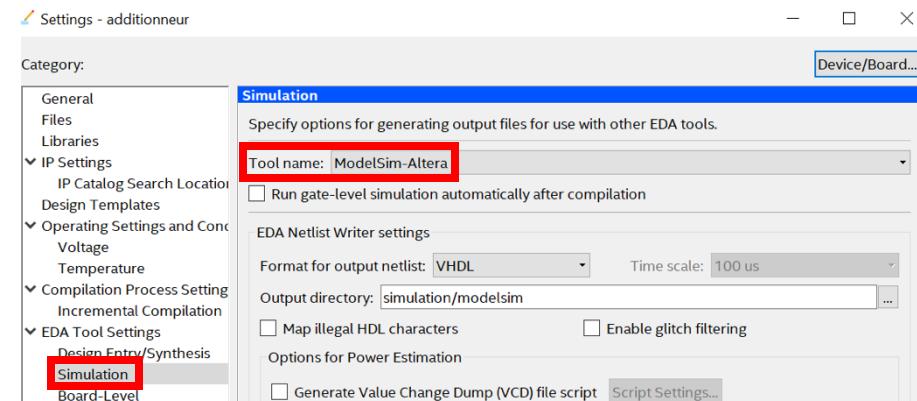
Vérifier que ModelSim Altera est bien relié à Quartus Prime Lite

- ① Aller dans Tools > Options
- ② Dans la fenêtre de paramétrage, aller dans la section General > EDA Tool Options
- ③ Rechercher le chemin où se trouve ModelSim – Altera : possiblement « C:\intel\FPGA\20.1\modelsim_ase\win32aloem »
 Ce champs n'existe plus à partir de la version 21.1...



Vérifier que le projet est prévu pour simuler sur ModelSim Altera

- ① Aller dans Assignments > Settings
- ② Dans la fenêtre de paramétrage, aller dans la section EDA Tool Settings > Simulation
- ③ Vérifier que le champs « Tool name » est bien rempli par « **ModelSim – Altera** »
Si ce n'était pas le cas, re compiler le design.



Préparer le projet pour la simulation

Obtenir un projet en code VHDL (.VHD au lieu de schémas .BDF)

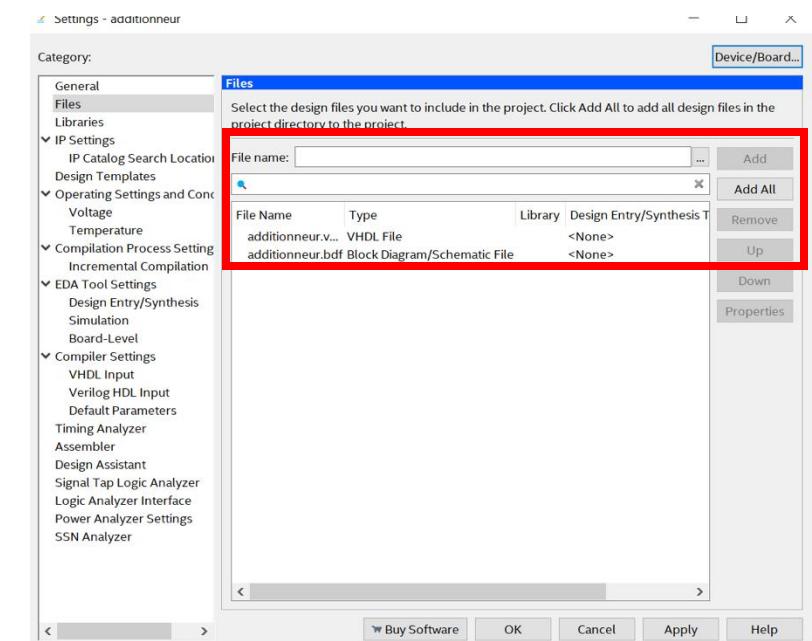
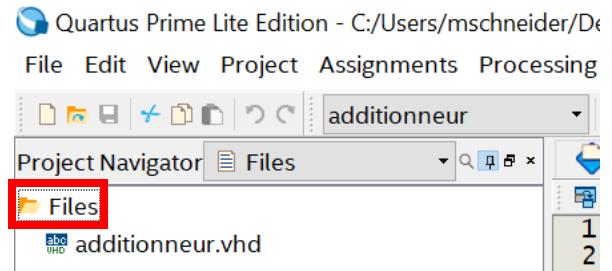
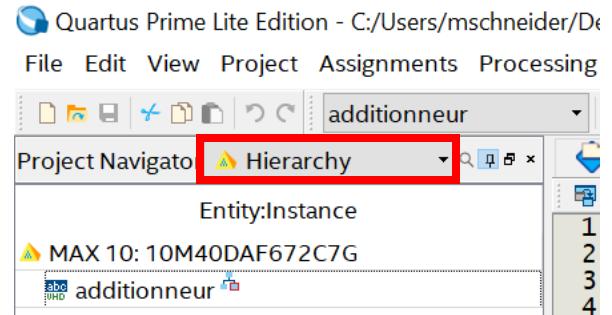
- 1 Ouvrir le .BDF à simuler.
- 2 Créer un .VHD : aller dans File > « **Create / Update >Create HDL Design File fromCurrent File** » et sélectionner « **VHDL** »

Ajouter le .VHD et retirer (= supprimer) les .BDF du projet

- 1 Passer le navigateur de projet en vue par fichier.
- 2 Entrer dans la configuration du projet en double-cliquant sur « **Files** »
- 3 Rechercher les .VHD à ajouter en allant dans « ... »
- 4 Sélectionner les .BDF et cliquer sur remove pour les retirer.

Recompilation du projet

- 1 Re compiler le projet
- 2 Lancer la simulation en allant dans Tools >Run Simulation Tool> RTL Simulation



Les deux modes de simulation

RTL SIMULATION

Simulation fonctionnelle



GATE LEVEL SIMULATION

Simulation temporelle



X



- Permet de vérifier que la description matérielle répond aux attentes fonctionnelles (le VHDL est indépendant du FPGA utilisé) : on a bien des '0' et des '1' en sortie pour les bonnes combinaisons en entrée.

- Permet d'estimer le temps de traitement des données dans un contexte pire cas (temps maximum de traitement) pour un FPGA donné, ici le MAX 10.

Pas demandé en ING2

Simulation fonctionnelle : *RTL Simulation* (1 / 3)

Création
d'un projet

Conception

Validation

① Lancer « *RTL Simulation* » depuis QPL (Tools > Run Simulation Tool)

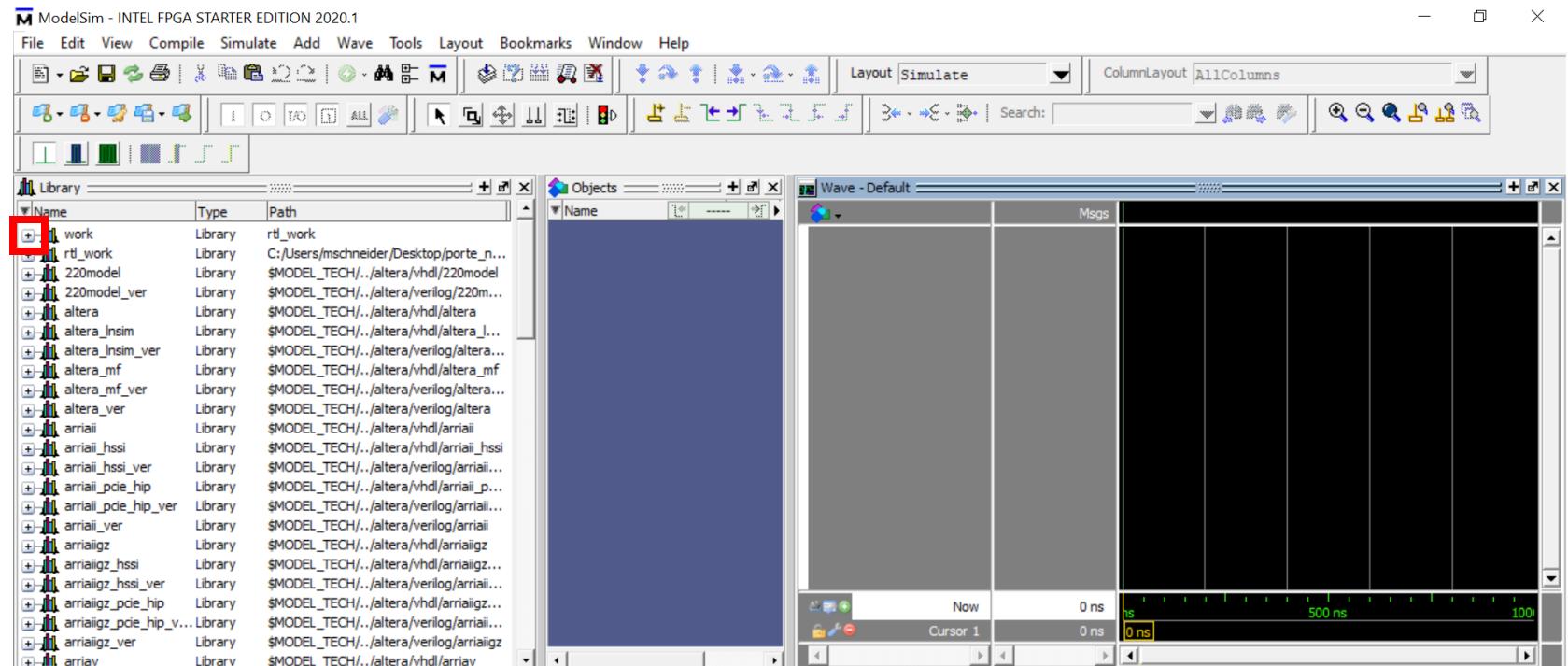
② Vérifier que les fenêtres suivantes sont ouvertes, sinon aller dans View et les sélectionner :

- Library
- Objects
- Wave

Chargement du projet

③ sélectionner le projet à simuler dans l'encadré library en double-cliquant dessus (souvent dans « work »)

④ Dans l'encadré « Objects », sélectionner les entrées et les sorties, et les faire glisser dans l'encadré « Wave ».



Library

Objects

Wave

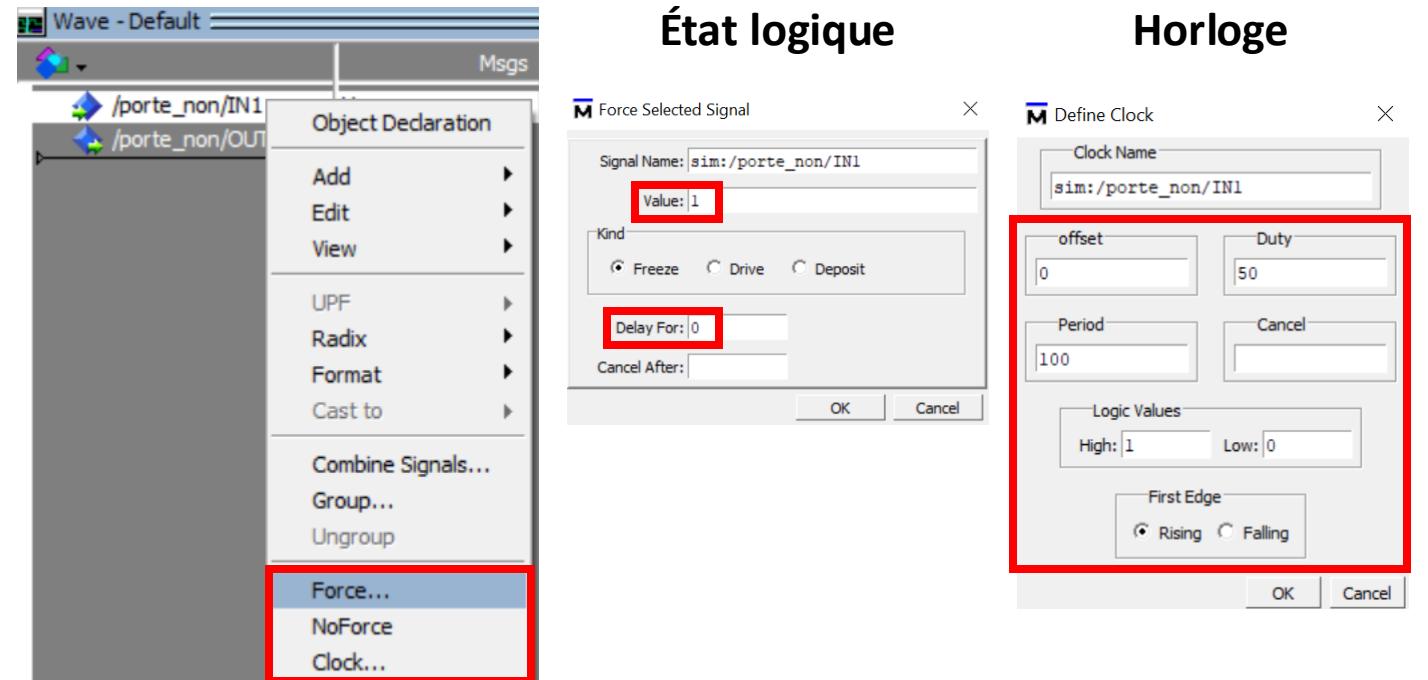
Simulation fonctionnelle : RTL Simulation (2 / 3)

Création d'un projet Conception Validation

Paramétrage des stimuli d'entrée

- 5 Dans l'encadré Wave, cliquer droit sur les signaux d'entrée afin de leur assigner :

- Des valeurs logiques : « **Force** »
 - État logique : 1 ou 0 ;
 - Date (temps) de démarrage.
- Un signal d'horloge : « **Clock** »
 - Date (temps) de démarrage ;
 - Rapport cyclique : entre 0 et 100 ;
 - Période
 - Date (temps) d'arrêt
 - Polarité : 1 ou 0 pour resp. *High* ou *Low*



- 6 Passer en plein écran la fenêtre Wave en cliquant sur l'icone en forme de flèche sortant d'un carré, en haut à droite de l'encadré Wave.



On peut également lancer plusieurs simulations à la suite pour former un chronogramme qui viendra récapituler tous les tests.

Simulation fonctionnelle : RTL Simulation (3 / 3)

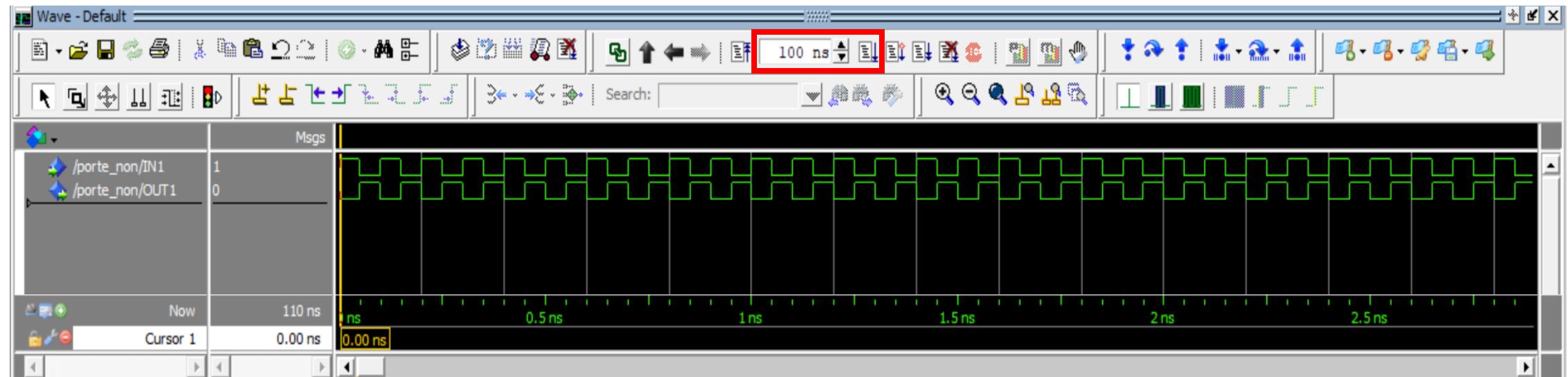
Création
d'un projet

Conception

Validation

Paramétrage du temps de simulation et lancement de la simulation

- ⑦ Entrer le temps de simulation dans la boîte de dialogue affichant un temps en haut de l'écran
- ⑧ Cliquer sur l'icône « Run » à droite de la case permettant de régler le temps.



La simulation n'est que fonctionnelle, donc ne pas trop augmenter la fréquence car la simulation peut devenir tributaire des temps de montée et de descente.

Simulation temporelle : Gate level Simulation

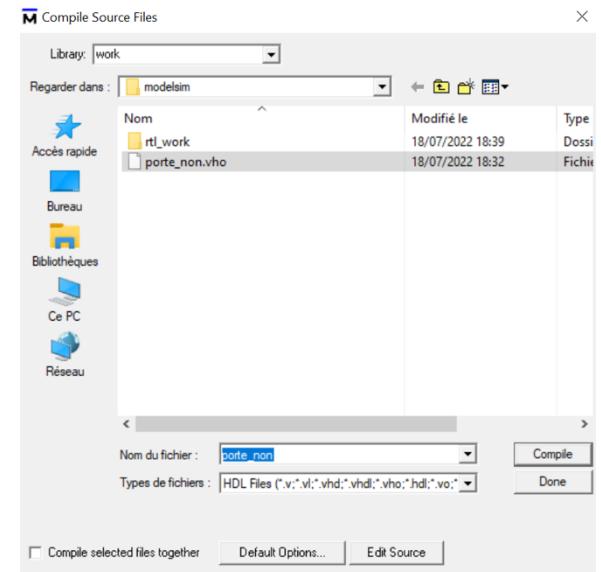


Obtenir les fichiers VHDL output (.VHO) et Standard Delay Format Output (.SDO)

- 1 Depuis Quartus Prime Lite, aller dans Processing > Start > Start EDA Netlist Writer

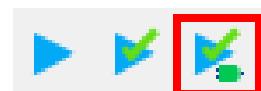
Compiler les .VHO et .SDO dans ModelSim Altera

- 1 Ouvrir ModelSim Altera
- 2 Aller dans « **Compile** » > « **Compile** »
- 3 Sélectionner le fichier .VHO, cliquer sur « **Compile** » puis « **Done** »



Lancer la simulation

- 1 Aller dans « **Simulate** » > « **Start Simulation** »
- 2 Dans l'onglet « **SDF** », cliquer sur « **Browse** » puis sélectionner le .SDO



4 Programmation de la DE 10-Lite



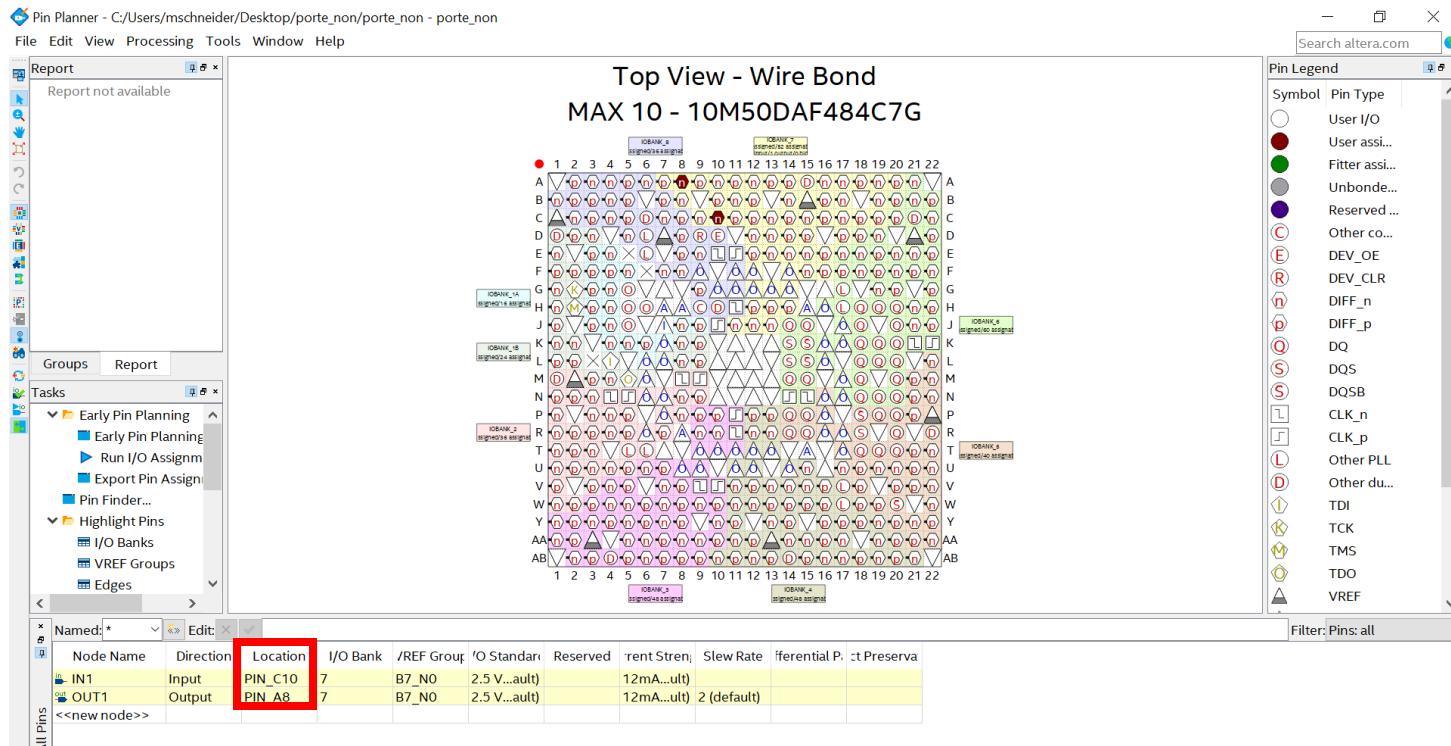
Assignment des GPIO : pin planner

Assignment
des GPIO

Assignment
des CLB

Programmation

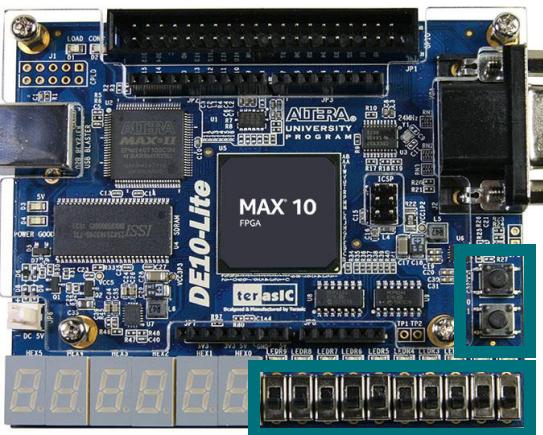
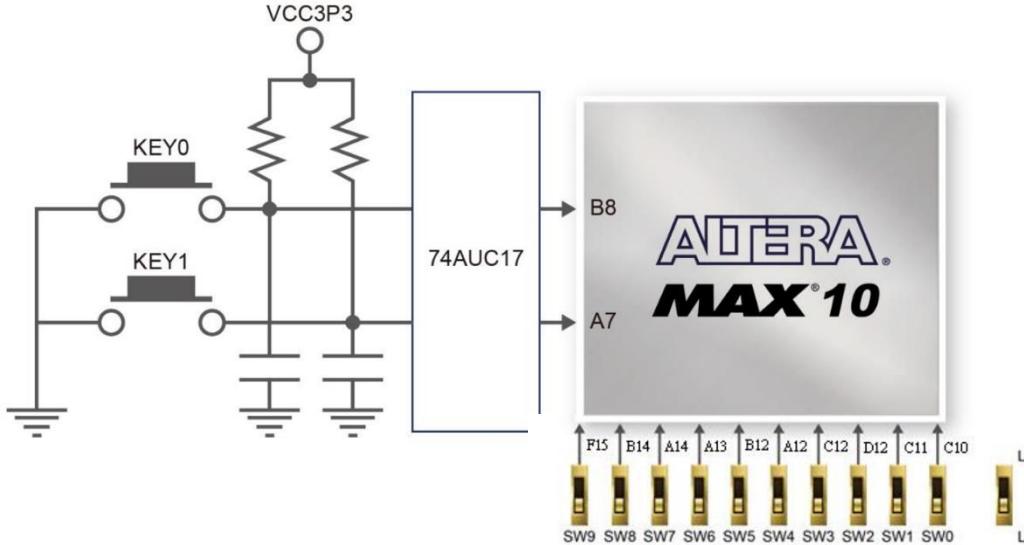
- 1 Aller dans Assignments > Pin Planner
- 2 Pour chaque entrée / sortie, associer un GPIO ou un signal d'horloge :



Certaines pins apparaissent comme indisponibles si vous n'avez pas sélectionné le bon FPGA lors de la création du projet... Modification possible en cliquant droit sur le nom du FPGA dans le menu de gauche de QPL puis en allant dans Device



Attribution des GPIO : pin planner



Nom du signal	N° de pin (FPGA)	Description
KEY0	PIN_B8	Push-button[0]
KEY1	PIN_A7	Push-button[1]

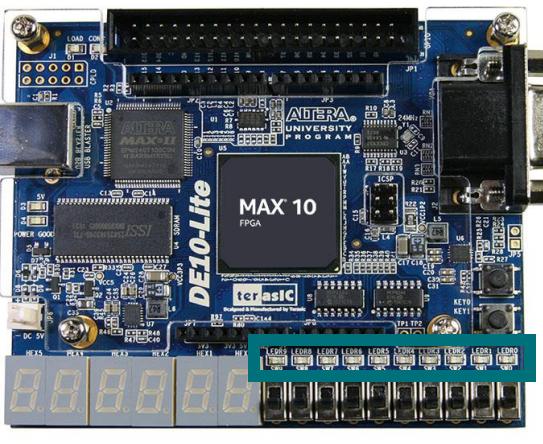
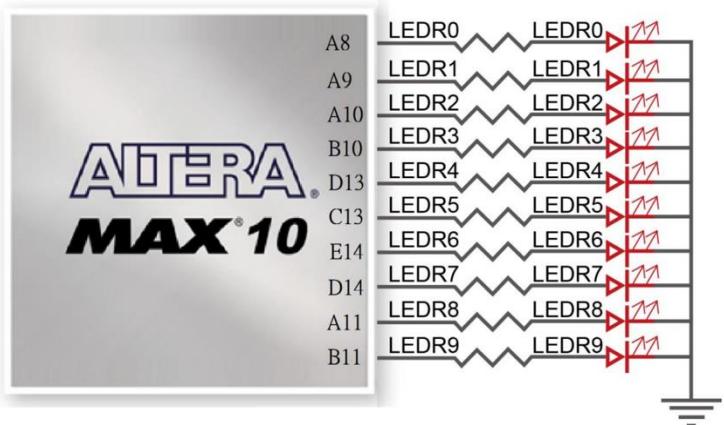
Nom du signal	N° de pin (FPGA)	Description
SW0	PIN_C10	Slide Switch[0]
SW1	PIN_C11	Slide Switch[1]
SW2	PIN_D12	Slide Switch[2]
SW3	PIN_C12	Slide Switch[3]
SW4	PIN_A12	Slide Switch[4]
SW5	PIN_B12	Slide Switch[5]
SW6	PIN_A13	Slide Switch[6]
SW7	PIN_A14	Slide Switch[7]
SW8	PIN_B14	Slide Switch[8]
SW9	PIN_F15	Slide Switch[9]

Attribution des GPIO : pin planner

Attribution
des GPIO

Attribution
des CLB

Programmation



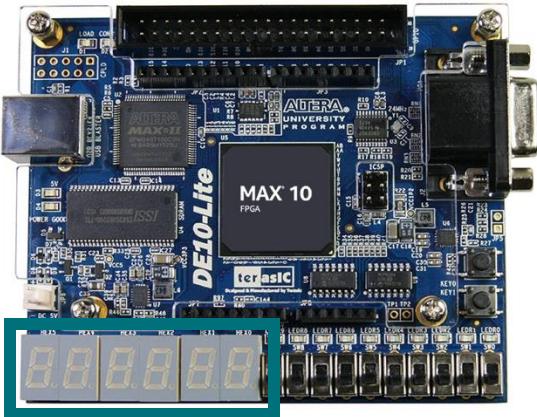
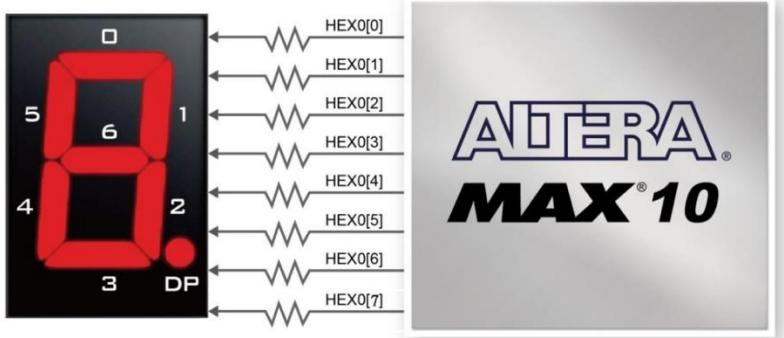
Nom du signal	N° de pin (FPGA)	Description
LEDR0	PIN_A8	LED [0]
LEDR1	PIN_A9	LED [1]
LEDR2	PIN_A10	LED [2]
LEDR3	PIN_B10	LED [3]
LEDR4	PIN_D13	LED [4]
LEDR5	PIN_C13	LED [5]
LEDR6	PIN_E14	LED [6]
LEDR7	PIN_D14	LED [7]
LEDR8	PIN_A11	LED [8]
LEDR9	PIN_B11	LED [9]

Attribution des GPIO : pin planner

Attribution
des GPIO

Attribution
des CLB

Programmation



Nom du signal	N° de pin
HEX50	PIN_J20
HEX51	PIN_K20
HEX52	PIN_L18
HEX53	PIN_N18
HEX54	PIN_M20
HEX55	PIN_N19
HEX56	PIN_N20
HEX57	PIN_L19

Nom du signal	N° de pin
HEX40	PIN_F18
HEX41	PIN_E20
HEX42	PIN_E19
HEX43	PIN_J18
HEX44	PIN_H19
HEX45	PIN_F19
HEX46	PIN_F20
HEX47	PIN_F17

Nom du signal	N° de pin
HEX30	PIN_F21
HEX31	PIN_E22
HEX32	PIN_E21
HEX33	PIN_C19
HEX34	PIN_C20
HEX35	PIN_D19
HEX36	PIN_E17
HEX37	PIN_D22

Nom du signal	N° de pin
HEX20	PIN_B20
HEX21	PIN_A20
HEX22	PIN_B19
HEX23	PIN_A21
HEX24	PIN_B21
HEX25	PIN_C22
HEX26	PIN_B22
HEX27	PIN_A19

Nom du signal	N° de pin
HEX10	PIN_C18
HEX11	PIN_D18
HEX12	PIN_E18
HEX13	PIN_B16
HEX14	PIN_A17
HEX15	PIN_A18
HEX16	PIN_B17
HEX17	PIN_A16

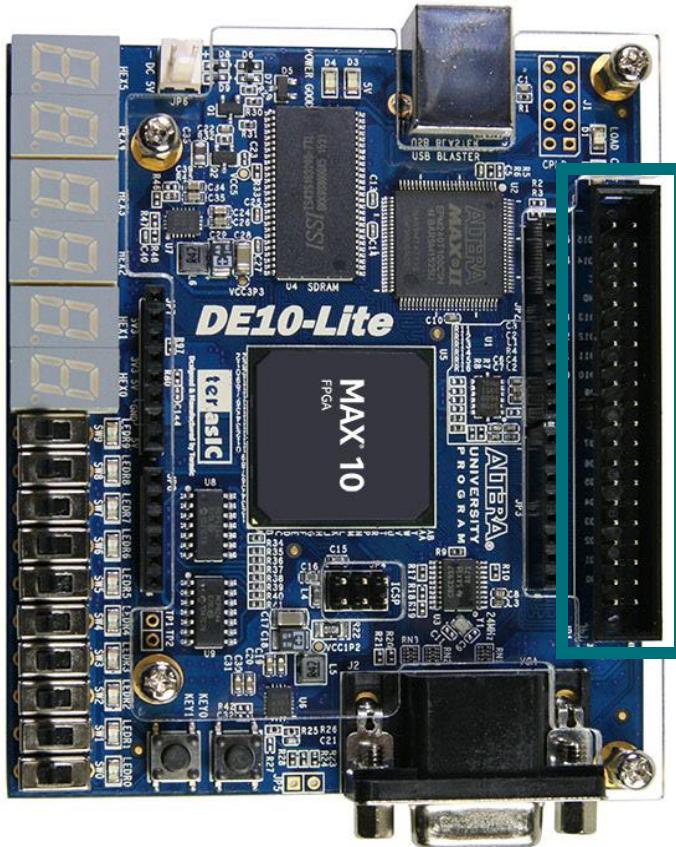
Nom du signal	N° de pin
HEX00	PIN_C14
HEX01	PIN_E15
HEX02	PIN_C15
HEX03	PIN_C16
HEX04	PIN_E16
HEX05	PIN_D17
HEX06	PIN_C17
HEX07	PIN_D15

Attribution des GPIO : pin planner

Attribution
des GPIO

Attribution
des CLB

Programmation



Nom du signal	N° de pin (FPGA)	GPIO
GPIO_[0]	PIN_V10	1
GPIO_[2]	PIN_V9	3
GPIO_[4]	PIN_V8	5
GPIO_[6]	PIN_V7	7
GPIO_[8]	PIN_W6	9

5V

GPIO_[10]	PIN_W5	13
GPIO_[12]	PIN_AA14	15
GPIO_[14]	PIN_W12	17
GPIO_[16]	PIN_AB12	19
GPIO_[18]	PIN_AB11	21
GPIO_[20]	PIN_AB10	23
GPIO_[22]	PIN_AA9	25
GPIO_[24]	PIN_AA8	27

3,3 V

GPIO_[26]	PIN_AA7	31
GPIO_[28]	PIN_AA6	33
GPIO_[30]	PIN_AA5	35
GPIO_[32]	PIN_AB3	37
GPIO_[34]	PIN_AB2	39

GPIO	Nom du signal	N° de pin (FPGA)
2	GPIO_[1]	PIN_W10
4	GPIO_[3]	PIN_W9
6	GPIO_[5]	PIN_W8
8	GPIO_[7]	PIN_W7
10	GPIO_[9]	PIN_V5
GND		
14	GPIO_[11]	PIN_AA15
16	GPIO_[13]	PIN_W13
18	GPIO_[15]	PIN_AB13
20	GPIO_[17]	PIN_Y11
22	GPIO_[19]	PIN_W11
24	GPIO_[21]	PIN_AA10
26	GPIO_[23]	PIN_Y8
28	GPIO_[25]	PIN_Y7
GND		
32	GPIO_[27]	PIN_Y6
34	GPIO_[29]	PIN_Y5
36	GPIO_[31]	PIN_Y4
38	GPIO_[33]	PIN_Y3
40	GPIO_[35]	PIN_AA2

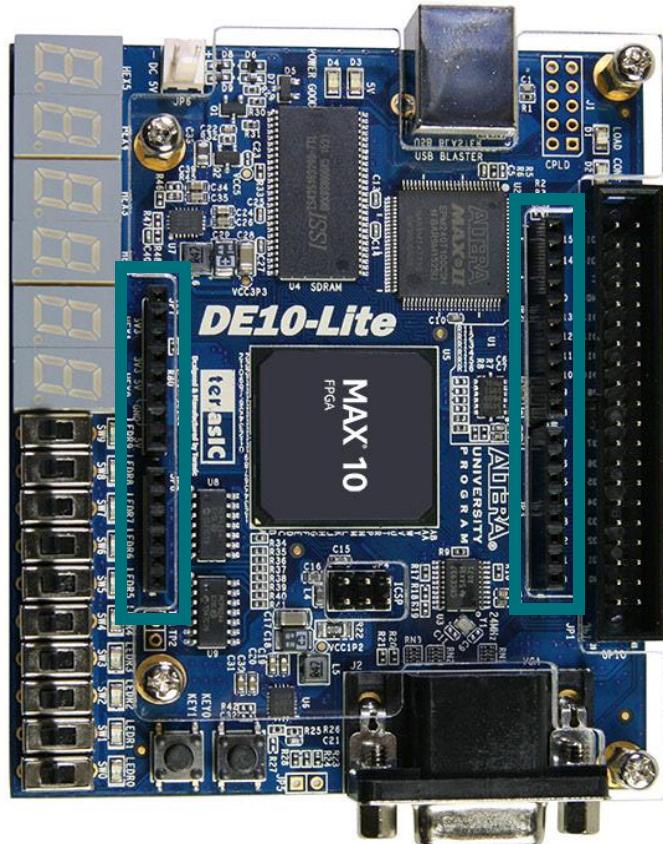


Attribution des GPIO : pin planner

Attribution
des GPIO

Attribution
des CLB

Programmation



Nom du signal	GPIO
NC	
IOREF	
RESET	
VCC3P3	
VCC5	
GND	
GND	
VCC5	

A0	PIN_F5
A1	PIN_F4
A2	PIN_J8
A3	PIN_J9
A4	PIN_J4
A5	PIN_H3

GPIO	N° de pin (FPGA)
D15	PIN_AA20
D14	PIN_AB21
	NC
	GND
D13	PIN_AB20
D12	PIN_Y19
D11	PIN_AA19
D10	PIN_AB19
D9	PIN_AA17
D8	PIN_AB17

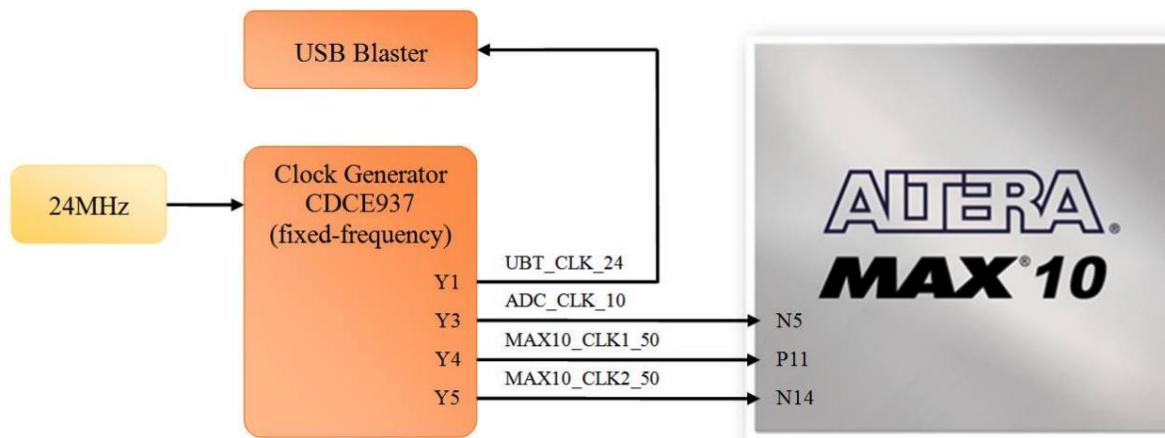
D7	PIN_AA12
D6	PIN_AA11
D5	PIN_Y10
D4	PIN_AB9
D3	PIN_AB8
D2	PIN_AB7
D1	PIN_AB6
D0	PIN_AB5

Attribution des GPIO : pin planner

Attribution
des GPIO

Attribution
des CLB

Programmation



Nom du signal	N° de pin (FPGA)	Description
ADC_CLK_10	PIN_N5	10 MHz pour l'ADC
MAX10_CLK1_50	PIN_P11	50 MHz
MAX10_CLK2_50	PIN_N14	50 MHz

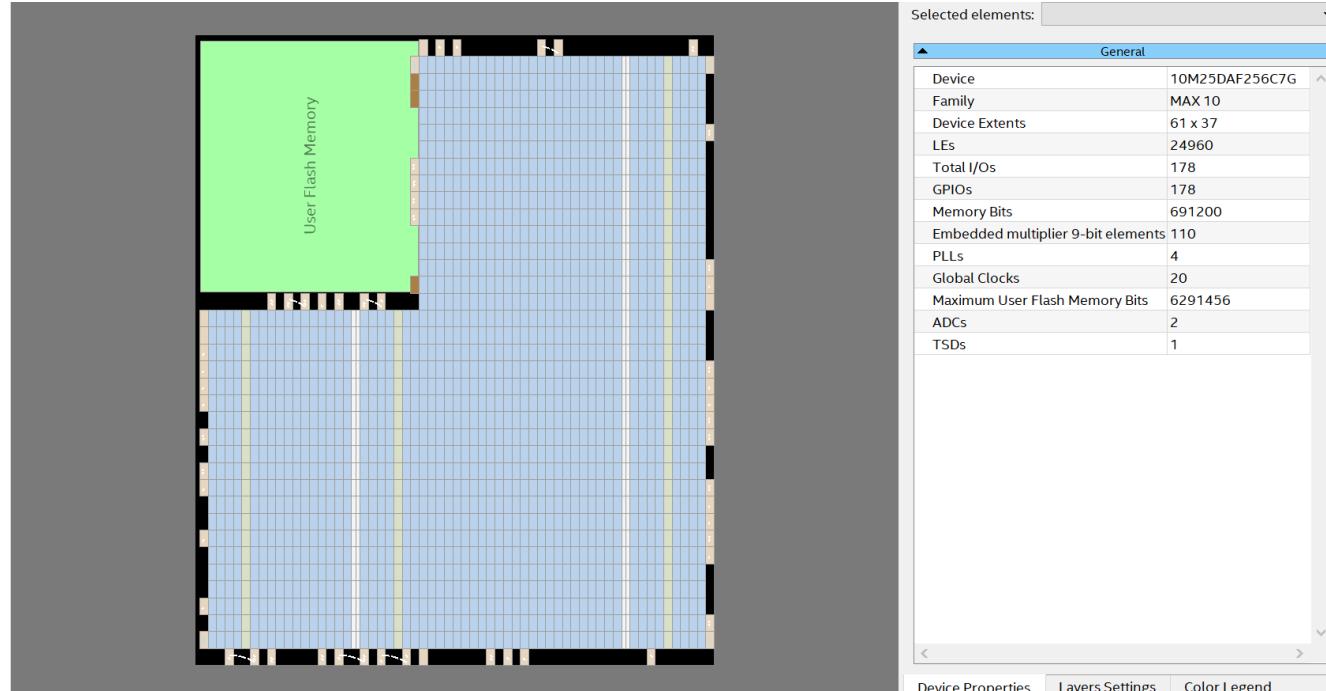
Attribution des CLB : chip planner

Attribution
des GPIO

Attribution
des CLB

Programmation

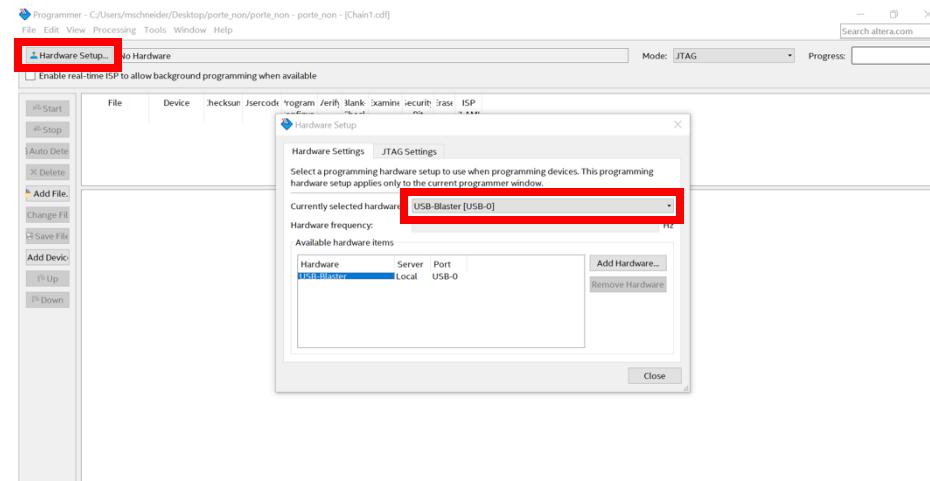
- Cette étape se fait automatiquement.
- Par curiosité, vous pouvez aller voir dans Tools > Chip planner



Programmation en mode JTAG

Assignation des GPIO → Assignation des CLB → Programmation

- ③ Vous pouvez dès à présent générer le **bitstream** en allant dans « **Assignment** » > « **Start Compilation** » (ou CTRL + L).
- ④ Pour la programmation, aller dans « **Tools** » > « **Programmer** »
- ⑤ Brancher la carte
- ⑥ Cliquer sur « **Hardware Setup** »
- ⑦ Sélectionner « **USB-Blaster [USB-0]** » pour le champs « **Currently selected hardware** » puis valider.



Toutes les étapes précédentes dont le pin planning doivent être faites, sans quoi il est inutile d'envoyer une configuration de blocs logiques non mappée aux GPIO...



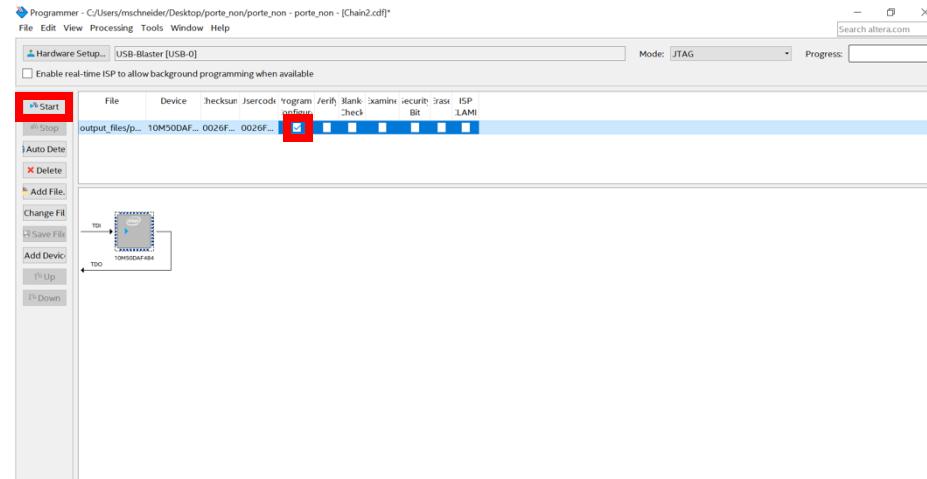
Programmation en mode JTAG

Assignation
des GPIO

Assignation
des CLB

Programmation

- ⑧ Cliquer sur « **Auto Detect** » puis sélectionner « **10M50DA** ». Le FPGA devrait alors apparaître dans la fenêtre du programmeur.
- ⑨ Cliquer droit sur le nom du fichier (généralement « **<none>** ») et sélectionner le **.SOF** dans le dossier « **output_files** ».
- ⑩ Cocher la case « **Program / configure** » puis cliquer sur « **Start** »



Toutes les étapes précédentes dont le pin planning doivent être faites, sans quoi il est inutile d'envoyer une configuration de blocs logiques non mappée aux GPIO...

5

Erreurs fréquentes



Conception et synthèse (1 / 3)



Le projet ne contient aucun fichier



Cela se produit quand on ouvre un projet sans passer par le fichier de paramétrage du projet d'extension .QPF



La synthèse du projet ne se fait pas
« *Can't synthesis current design – top partition does not contain any logic* »

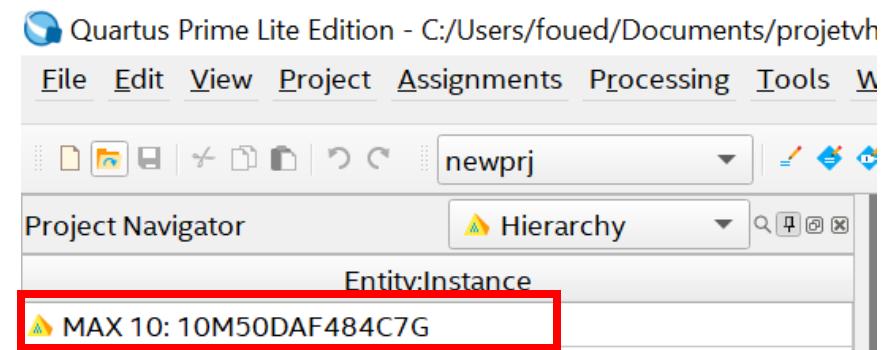


Raison :

- Le nom du projet et le nom du top design name ne concordent pas.

Solution :

- Renommer le design (.BDF) par le nom du projet.



Conception et synthèse (2 / 3)



Utilisation d'un mot réservé pour nommer un bloc, une entité, une architecture ou une entrée / sortie



Cliquer droit sur les éléments qui posent problème et les renommer (Propriétés) de sorte à n'avoir que des noms uniques.



« *Compilation error: design doesn't fit in the device/successful compilation but no results on board even the schematic is correct.* »



Raison :

- La cible (carte) n'est pas bonne.

Solution :

- Aller dans « Assignment » → « Device » et sélectionner le **10M50DAF484C7G**

Conception et synthèse (3 / 3)



« Can't import assignment, because it is current file »



Raison :

- Le fichier .QSF est dans le même dossier que le projet

Solution :

- Supprimer puis créer un nouveau .QSF, ou déplacer le .QSF dans un sous-dossier



Quartus tourne en boucle à la fin du project wizard



Solution :

- File > new > block diagram
- File > Save as et bien cliquer sur « yes » lorsque l'on propose de créer un nouveau projet

Pin planner (1 / 2)



Impossible de sélectionner les pins souhaitées

« *Can't place PIN assignment on node HEX0[0], or other nodes* »

« *Compilation error: design doesn't fit in the device/successful compilation but no results on board even the schematic is correct.* »



Le FPGA sélectionné n'est pas le bon (**10M 50 DAF 484 C7G**).

The screenshot shows the Quartus Prime Lite Edition interface. On the left, the Project Navigator displays a project named 'porte_AND' with an entity/instance 'MAX 10: 10M50DAF484C7G'. A context menu is open over this entity, with the 'Device...' option highlighted and surrounded by a red box. On the right, the 'New Project Wizard' window is open at the 'Family, Device & Board Settings' step. The 'Device' tab is selected. In the 'Available devices' table, the row for '10M50DAF484C7G' is highlighted with a blue box. The table includes columns for Name, Core Voltage, LEs, Total I/Os, GPIOs, Memory Bits, and Embedded multiplier 9-bit elements. The '10M50DAF484C7G' row shows values: 1.2V, 49760, 360, 360, 1677312, and 288.

Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multiplier 9-bit elements
10M50DAF484C7G	1.2V	49760	360	360	1677312	288

Pin planner (2 / 2)



Toutes les pins sont assignées dans l’“Assignment Editor” même celles qui ne sont pas utilisées dans le projet

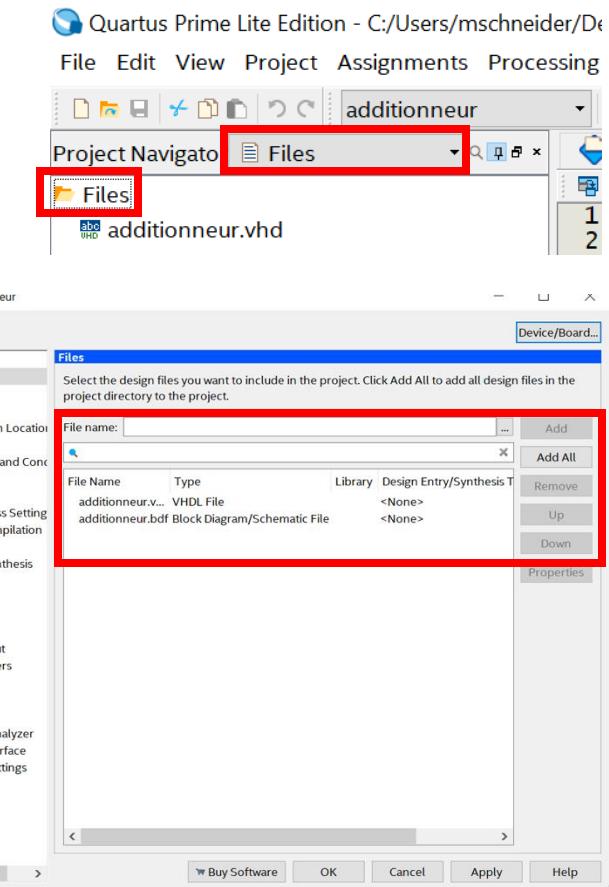


Raison :

- Le projet ne contient pas de description schématique .BDF

Solution :

- Ajouter les design dans le projet (passage en navigation par fichier,
Clic droit sur « Files » puis ajout des fichiers)



ModelSim (1 / 3)



ModelSim ne se lance pas

Raison :

- ModelSim n'est pas correctement paramétré.

Solution :

- Aller dans Tools > Licenses Setup > EDA Tools Options > ModelSim-**Altera** et entrer le chemin de l'emplacement de ModelSim-Altera (possiblement « **C:\intelFPGA_lite\20.1\modelsim_ase\win32aloem** »)



Can't launch the ModelSim-Altera software – the path to the location of the executables for the ModelSimAltera software were not specified or the executables were not found at the specified path.



Raison :

- Inconnue

Solution :

- Désinstaller et réinstaller Quartus Prime Lite et ModelSim.

ModelSim (2 / 3)



« Error loading design » sur Modelsim

Raison :

- Le projet n'est pas correctement chargé

Solution :

- Ajouter le(s) .VHD et retirer (\neq supprimer) le(s) .BDF du projet et recompiler le projet (voir tuto)



« Native Link error” window pop up when trying to open Modelsim



Raison :

- Le projet n'est pas compilé

Solution :

- Recomplier le projet

ModelSim (3 / 3)



Lib work est vide



Solution :

- Retirer les espaces ou caractères spéciaux du chemin du répertoire du projet