

УНИВЕРСИТЕТ ИТМО

Факультет программной инженерии и компьютерной техники

Направление подготовки 09.03.04 Программная инженерия

Дисциплина «Функциональная схемотехника»

Лабораторная работа №2

Вариант 2

Выполнила:

Конаныхина А.А.

P33312

Преподаватель:

Кустарёв П.В.

Санкт-Петербург, 2023 г.

Цели работы:

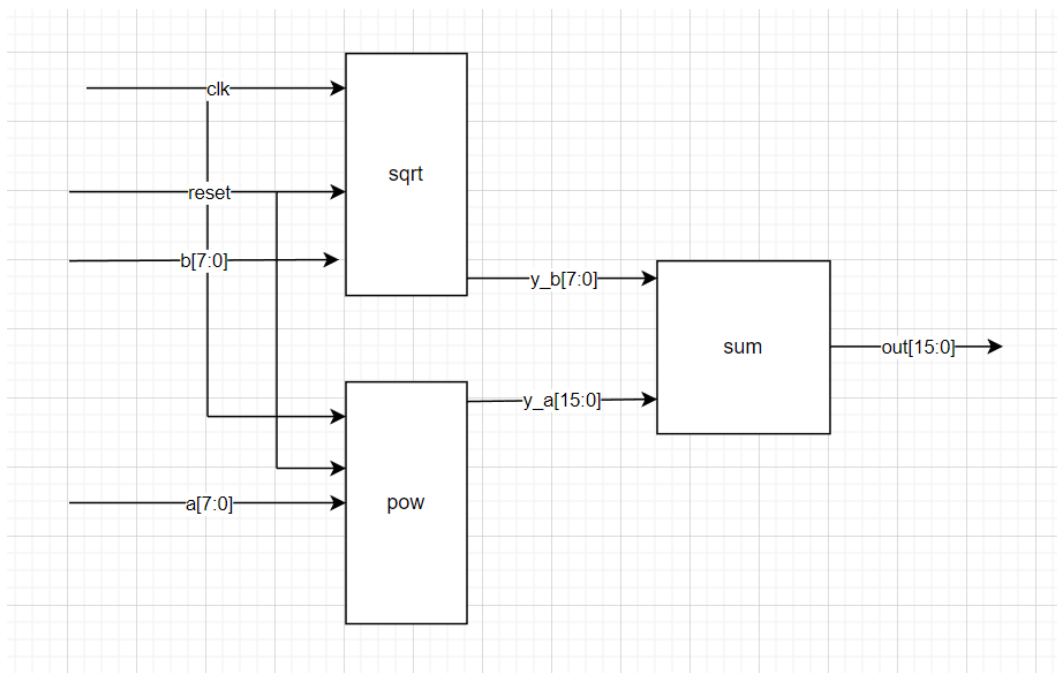
Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

Задание:

2	$y = a^3 + \sqrt[2]{b}$	2 сумматора и 1 умножитель
---	-------------------------	----------------------------

Выполнение:

1. Схема



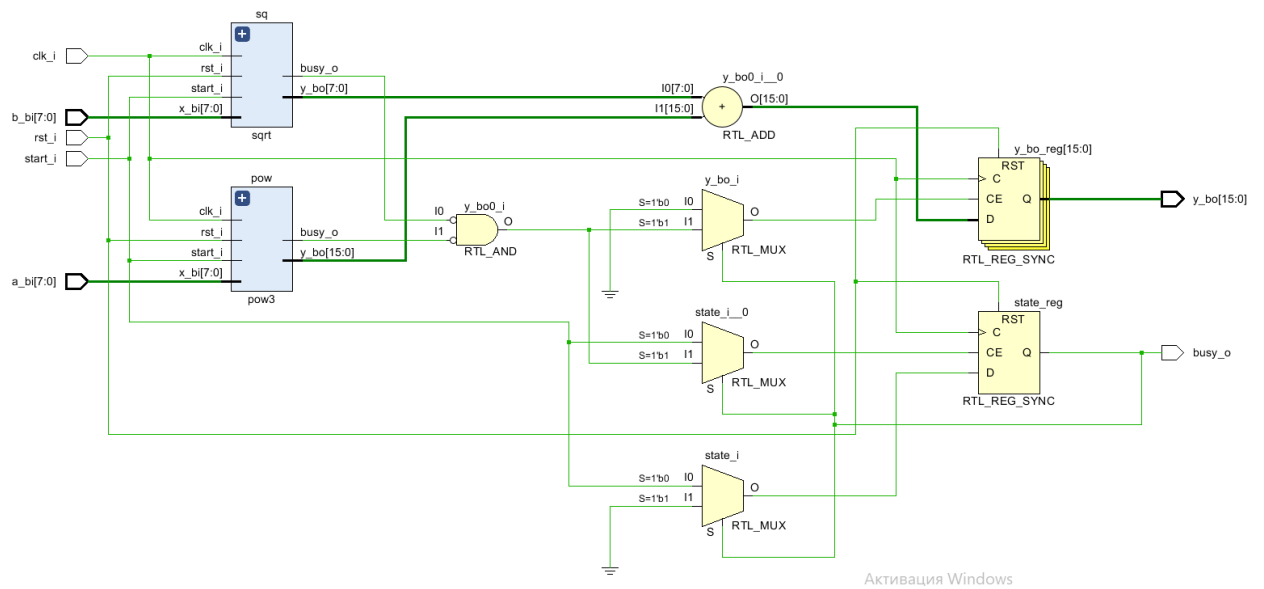
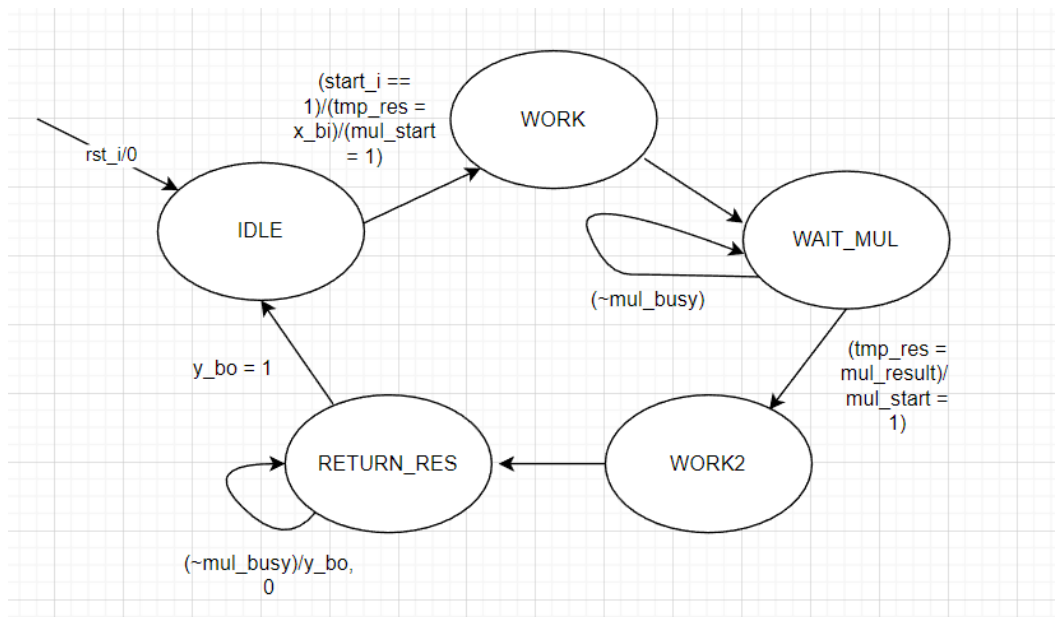


Рис 1. Схема БОЭ

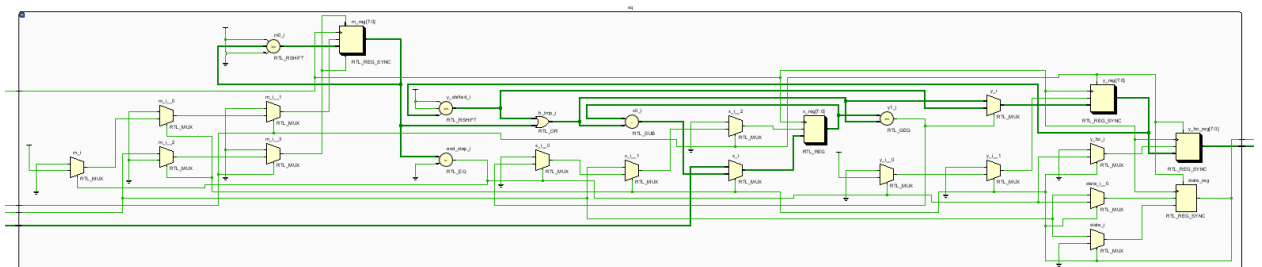


Рис 2. Схема модуля извлечения корня

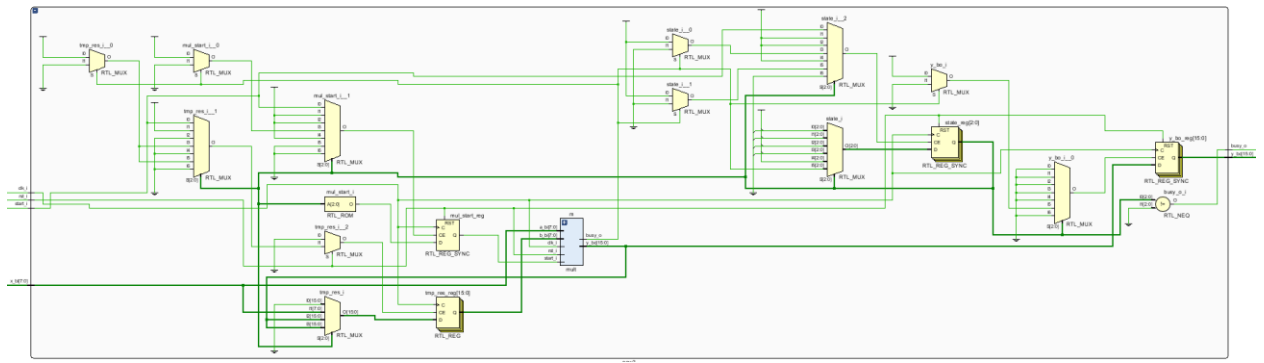


Рис 3. Схема возведения в куб

2. Область допустимых значений.

Так как исходные числа восьмибитные и возводятся в третью степень, а затем происходит сложение с восьмибитным числом, получается, что разрядность выходного значения получается двадцати пяти-битное.

3. Тестирование.

Для тестирования модуля был разработан следующий код:

```
`timescale 1ns / 1ps
```

```
module tests(
```

```
);
```

```
reg [7:0] a [9:0];
```

```
reg [7:0] b [9:0];
```

```
integer res [9:0];
```

```
reg clk;
```

```
reg rst;
```

```
reg start;
```

```
wire [7:0] a_w;
```

```
wire [7:0] b_w;
```

```
wire clk_w;
```

```
wire rst_w;
```

```

wire start_w;

wire busy_w;

wire [24:0] out_w;

integer i = 0;

func fn(.clk_i(clk_w), .rst_i(rst_w), .a_bi(a_w), .b_bi(b_w), .start_i(start_w), .busy_o(busy_w), .y_bo(out_w));

assign a_w = a[i];
assign b_w = b[i];
assign clk_w = clk;
assign rst_w = rst;
assign start_w = start;

initial begin

    rst <= 0;

    rst <= 1;

    clk <= 1;

    #1

    clk <= 0;

    rst <= 0;

    //test 1
    a[0] = 2;
    b[0] = 10;
    res[0] = 11;

    //test 2
    a[1] = 255;
    b[1] = 255;
    res[1] = 16581390;

    //test 3
    a[2] = 16;
    b[2] = 143;
    res[2] = 4107;

    //test 4
    a[3] = 43;
    b[3] = 11;
    res[3] = 79510;

```

```

//test 5
a[4] = 54;
b[4] = 11;
res[4] = 157467;
//test 6
a[5] = 0;
b[5] = 0;
res[5] = 0;
//test 7
a[6] = 1;
b[6] = 1;
res[6] = 2;
//test 8
a[7] = 2;
b[7] = 2;
res[7] = 9;
//test 9
a[8] = 100;
b[8] = 100;
res[8] = 1000010;
//test 10
a[9] = 200;
b[9] = 200;
res[9] = 8000014;

for (i = 0; i < 10; i = i + 1) begin

    #1

    start <= 1;

    #1

    clk <= 1;

    #5

    clk <= 0;

    start <= 0;

    #1

    while (busy_w) begin

        #1

        clk <= 1;

        #1

        clk <= 0;

```

```

    end

    #1

    if (out_w != res[i]) begin
        $display("Error on test %d", i);
    end

    end

end

#1

$stop;

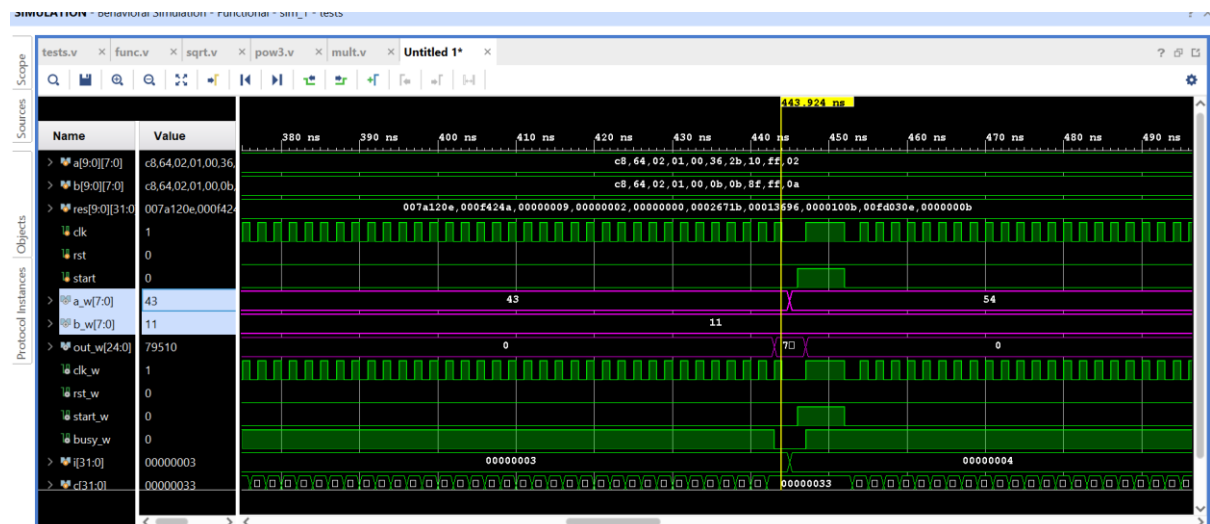
end

endmodule

```

4. Тестирование.

Вычисление занимает 41 такт, при частоте 100Мгц вычисление займет 410 нс.



На временной диаграмме видно, что при падении busy_w выводится верный результат: $2^3 + \sqrt{10} = 8 + 3 = 11$

Выводы по работе:

В ходе данной лабораторной работы был разработана схема, вычисляющая значение арифметической функции на RTL-уровне с использованием языка описания аппаратуры Verilog HDL, а также было разработано тестовое окружение для данной схемы.