

VHDL による実装

- TeC 設計データ雛形
GitHub からダウンロードできる。
CPU 以外の実装が完了した状態になっている。
自分の設計に基づき CPU を完成する。
- VHDL
図の代わりに言語で回路を記述するもの。(本科4年の実験で習得済み)
本資料の最終章を参考に復習しておくこと。

1. 設計データ雛形

- GitHub (<https://github.com/tctsigemura/TeC7CE>) からダウンロードする。
- GitHub の README.md に書いてある注意, レポジトリの内容をよく読む。
 - 注意に書いてある以外の警告は無視しないで原因を追求する。
 - VhdlExample に実装例 (ある意味解答?) がある。
VHDL の書き方の参考にして欲しい。
 - ✧ Cpu.vhd と Sequencer.vhd の2つのファイルに実装してある。
 - ✧ Cpu.vhd はデータバス設計で作成した図を VHDL で記述したもの。
 - ✧ Sequencer.vhd はステートマシン設計で作成した状態遷移図を VHDL で記述したもの。
- TeC7CE のブロック図
配布した雛形データの全体像をブロック図で表現したものである。
 - ✧ ブロック図中のブロックや信号線は TeC トップレベル(TeC.vhd)で実際に使用されている名前で記載されている。TeC.vhd とブロック図を見比べて確認して欲しい。(VHDL の復習にもなる)
 - ✧ DCM(Dcm.vhd)は TeC7 ボード上のクロック IC が発生する 9.8304MHz のクロック信号から, 今回実装する高速な TeC 用の 49.1520MHz を生成する。(本物の低速な TeC では, DCM で 2.4576MHz を作っている。)
 - ✧ Console(Console.vhd)は TeC7 ボード上のスイッチ, ランプとスピーカに接続され本物の TeC のコンソールと同様な機能を提供する。CPU のリセット・停止/実行, CPU のレジスタやメモリの読み書きができる。リセット信号は RESET スイッチが押された時の他に電源投入時にも出力される。

- ☆ RAM(Ram.vhd)はコンソール用と CPU 用の二組のアドレス・データ・書き込み制御線を持つデュアルポート RAM である。動作タイミングは第 2 回の資料に掲載した通りである。
- ☆ CPU(Cpu.vhd)は途中まで実装した TeC-CPU である。コンソールの機能を確認できる最低限の記述がしてある。CPU は機械語命令の第 1 バイトをフェッチした時に Li 信号を出力しなければならない(IR の Ld 信号を Li に接続すれば良い)。STEP(または BREAK)モードで実行する際、Console は Li 信号を目印に命令が実行されたことを認識し停止状態になる。

2. VHDL の復習

本実験は「設計してから実装する」重要性を理解することを目的としている。VHDL の記述方法をおぼえることは目的ではない。自分の設計に必要な部品の記述方法は、配布したサンプルを大いに参考にすれば良い。但し、サンプルと必要以上に似せる必要はない。例えば、Sequencer.vhd では、状態番号を一旦デコードした(53 行の DecSt)上で使用しているが、状態番号を直接使用(例えば 73 行の DecSt(0)='1'を Stat="000")しても何も悪くない。メリットが理解できない記述は自分なりの記述に直せばよい。

(ア)トランジスタ技術 SPECIAL for フレッシュャーズ ロジック回路設計はじめての一步

第 2 章 回路設計手法の変化と HDL

第 3 章 VHDL の基礎

第 4 章 VHDL による組み合わせ論理回路の記述

4-3 エンコーダ

4-4 デコーダ

第 5 章 VHDL による順序回路の記述 (P.73~79)

第 7 章

7-2 ラッチの生成回避 (重要!! よく理解すること)

(イ)配布物のソースコード (自分の設計を実装するときに参考にすれば良い)

- ☆ マルチプレクサ VhdlExample/Cpu.vhd 129-130, 134, 184-185, 187
- ☆ ALU VhdlExample/Cpu.vhd 136-146
- ☆ コンパレータ VhdlExample/Cpu.vhd 148 (計算結果と 0 を比較)
- ☆ レジスタファイル VhdlExample/Cpu.vhd 189-218
- ☆ ステートマシン VhdlExample/Sequencer.vhd 94-101

以上