

データパスの設計

1. 基本事項（参考図書の P.33 まで読むこと）

▪ 基本的な論理回路

順序回路（クロックの立ち上がりで出力が変化する）

FF（複数の FF=レジスタ）、カウンタ、制御装置等のこと。

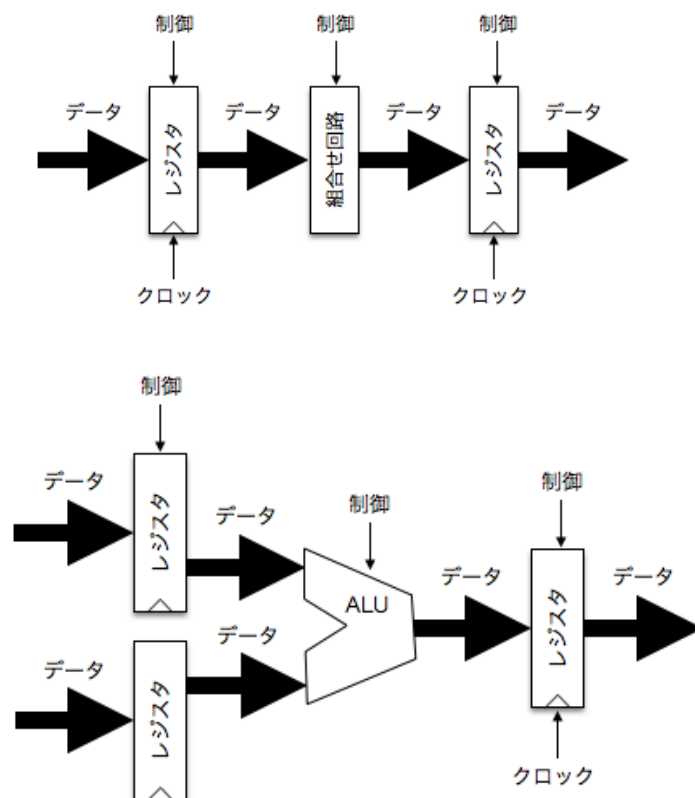
内部に状態を記憶している回路

組合せ回路（クロック入力がない、入力が変わると出力が変化する）

マルチプレクサ、ALU、FA、HA、デコーダー。。。。

▪ ブロック図

ブロック図は**レジスタ転送レベル**(RTL : Register Transfer Level)で描く。
ブロック図で使用するシンボルは、以下を参考にする。足りないものは自分で創作する。(ブロック図シンボルの規格は、世の中に存在しないようだ。)



2. FPGA のメモリ回路について

次ページのタイミング(49.152MHz)で動作する VHDL 記述を配布する。

特徴 1 : FPGA 内部のメモリは同期回路である。

特徴 2 : FPGA 内部のメモリは入力と出力が別の配線になっている。

特徴 3 : 逆相のクロック信号を用いて 1 クロックで動作する。

3. データパスの設計

TeC6 のブロック図と理解度テストを参考に設計を開始する。

VHDL で記述できる部品なら何でも使用できる。

ブロック図で使用するシンボルは自分で工夫して決めてよい。

目標 (美しく、クロック数が少なく高速) を忘れないように。

設計上のヒント

(1) MAR、OPR は本当に必要？

- ・最初に使用したメモリは非同期だったから必要だった。
- ・データパスの設計によると必要。(アドレスとデータを同時に出力できない)
- ・メモリの入力値は `clk` の立ち上がりから 10ns 以内に確定する必要がある。
- ・MAR 等を省略する場合は、`clk` で変化する可能性があるレジスタや FF からメモリまで MUX、ADDR 等 3 段以内で設計する。(ただし保証なし)
- ・制御部出力がメモリ入力値に影響する場合は、制御部の遅延も考慮する。

(2) DR も必要か？

(3) ALU の機能番号なども従来の値にこだわる必要はない。

(4) 従来 ALU は、データ計算、アドレス計算、マルチプレクサの 3 つの機能を担っていた。今回は、ハードウェアをそこまで儉約しなくても大丈夫。

(5) 全命令が実行可能か？ (ST, JMP, CALL, RET 等を見落としやすい)

SP は汎用レジスタの一つ、他の汎用レジスタと同じことができるか？

(6) TeC の仕様のなかで、不明瞭な部分、理由が分からない部分は実装がし易いように変更しても良いが、変更したことをレポート等に明示する。

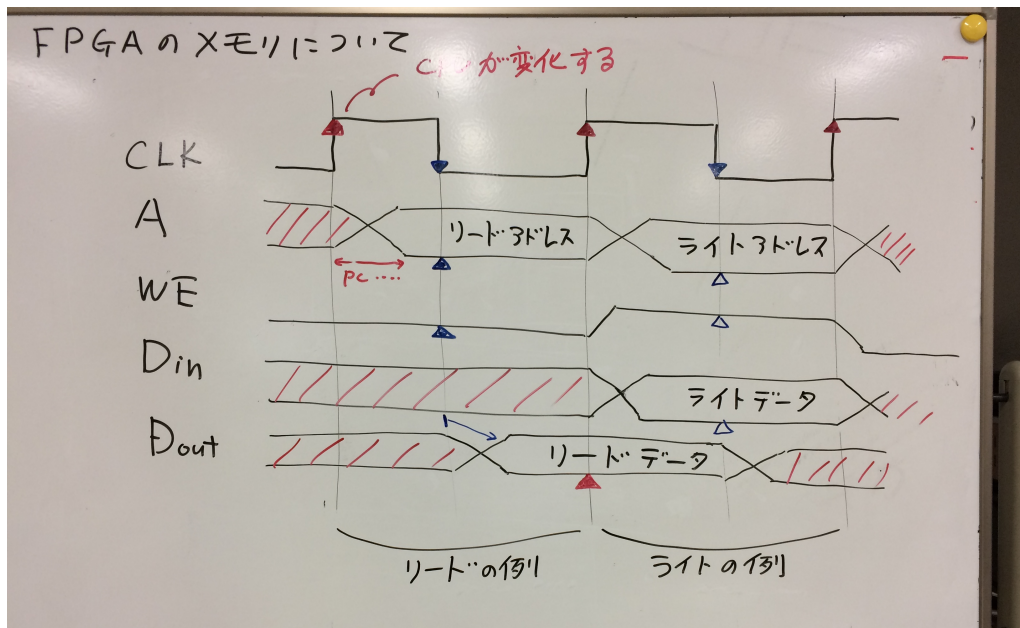
(7) まずまずのデータパスなら、全ての命令が 3 ~ 5 クロックで実行できる。

(8) よくできたデータパスなら、3 ~ 4 クロックで実行できる

参考図書

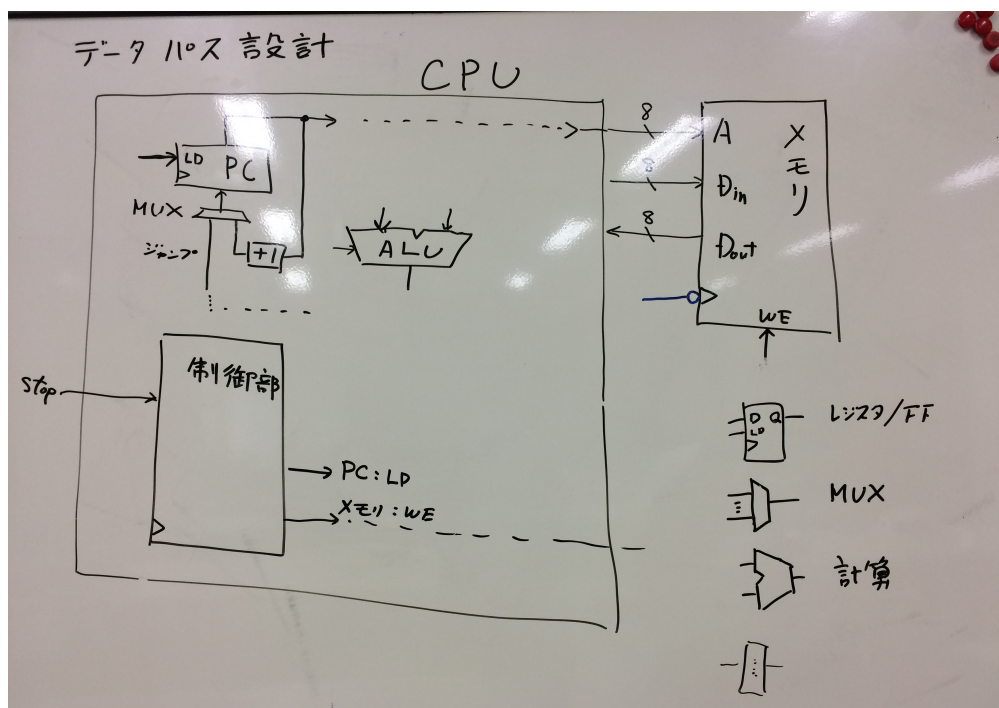
宇野俊夫:「トランジスタ技術 SPECIAL for フレッシュヤーズ」, CQ 出版 (2009).

メモリの仕様



データパスの原型 (頭を整理しよう)

1. アドレスバスへ出力するのは、PC, SP, 実効アドレスの3種類
2. データバスへ出力するのは、汎用レジスタ, PCの2種類
3. 計算の種類はOP (Rxも一部で影響あり), 使用する汎用レジスタはRd, 使用するインデックスレジスタはRxで決まる.
4. データバスからの入力の行き先は?



情報電子工学総合実験

TeC CPUのデータパスヒント

