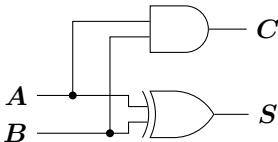


$$\begin{array}{rclcl}
 & A & 0 & 0 & 1 & 1 \\
 + & B & + 0 & + 1 & + 0 & + 1 \\
 \hline
 C & S & 0 & 0 & 0 & 1 & 1 & 0
 \end{array}$$

入力		出力	
A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



半加算器の真理値表

半加算器の回路図