

CHƯƠNG 2: CẤU TRÚC PHẦN CỨNG HỆ THỐNG NHÚNG

Bài 6: Công nghệ IC

cuu duong than cong. com

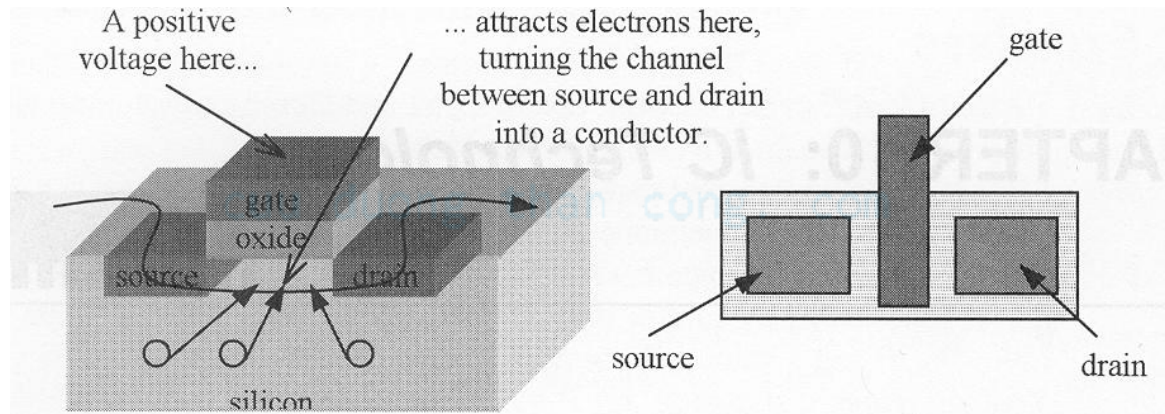
cuu duong than cong. com

Tổng quan

- Cấu trúc IC
- Công nghệ IC chức năng chung (VLSI)
- Công nghệ IC chức năng chuyên biệt (ASIC)
- Công nghệ IC có thể lập trình (PLD)

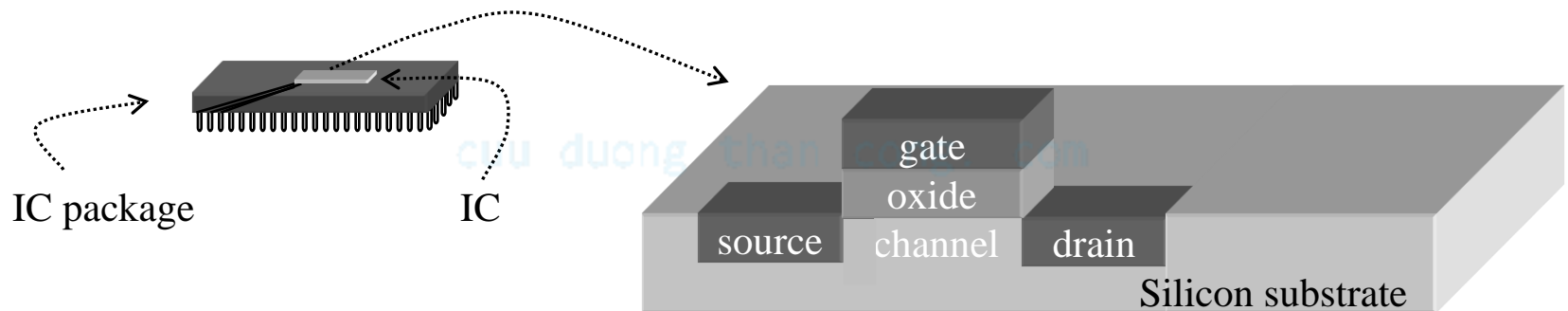
Transistor CMOS

- Nguồn, máng
 - Vùng khuếch tán nơi electrons có thể đi qua
 - Có thể kết nối nhờ tiếp xúc kim loại
- Cổng
 - Vùng Polysilicon nơi đặt điện áp điều khiển
- Oxide
 - Chất cách điện Si O₂ chống rò điện áp cổng



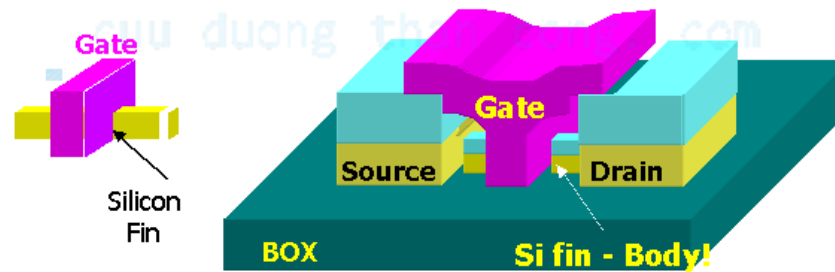
Kết thúc luật Moore?

- Mọi kích thước của MOSFET đã được thay đổi
 - (PMOS) đã giảm xuống
 - Tăng điện dung cổng
 - Giảm dòng rò từ S sang D
 - Độ dày cổng oxide hiện tại là 2.5-3nm
- **Khoảng 25 atoms!!!**



Proposed Structures: FinFET

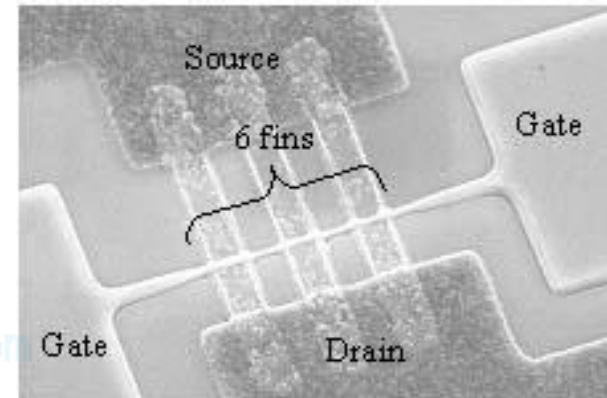
Body is a Thin Silicon Film
Double Gate Structure + Raised Source Drain



X. Huang, et al, 1999 IEDM, p.67-70

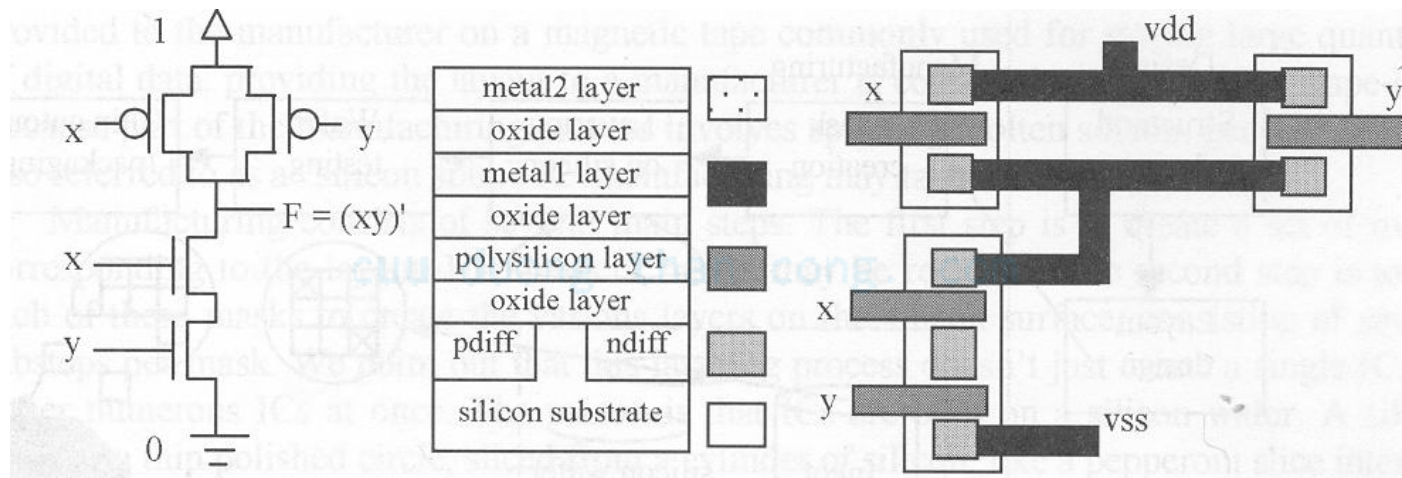
20Ghz +

- FinFET đã được sản xuất với độ dày 18nm
 - Vẫn hoạt động rất tốt
- Mô phỏng chỉ ra rằng nó có thể đạt tới 10nm
 - Hiệu ứng Quantum bắt đầu xảy ra
 - Giảm độ di chuyển điện tích ~10%
 - Truyền dẫn ngược bắt đầu đáng kể
 - Tăng dòng khoảng ~20%



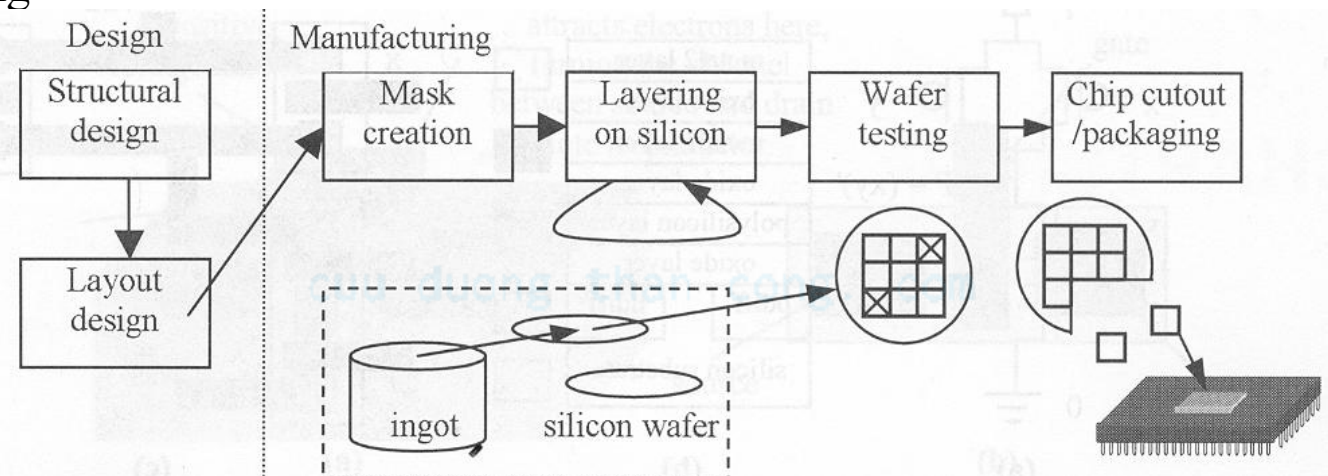
NAND

- Các lớp kim loại cho việc định tuyến (~10)
- PMOS không phù hợp với mức 0
- NMOS không phù hợp với mức 1
- Một sơ đồ cơ bản cho việc hình thành cổng



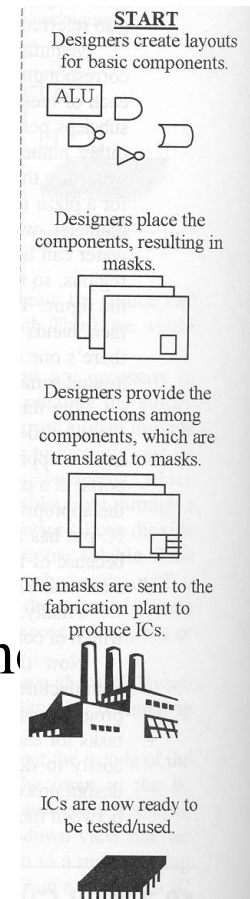
Các bước sản xuất Silicon

- Tape out
 - Gửi thiết kế đến khu vực sản xuất
- Quay
 - Thực hiện một lần trong quá trình sản xuất
- Quang khắc
 - Vẽ mẫu bằng cách sử dụng căn quang để hình thành rào chắn cho quá trình lắng đọng



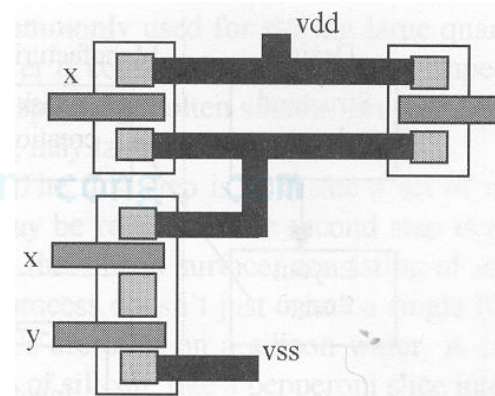
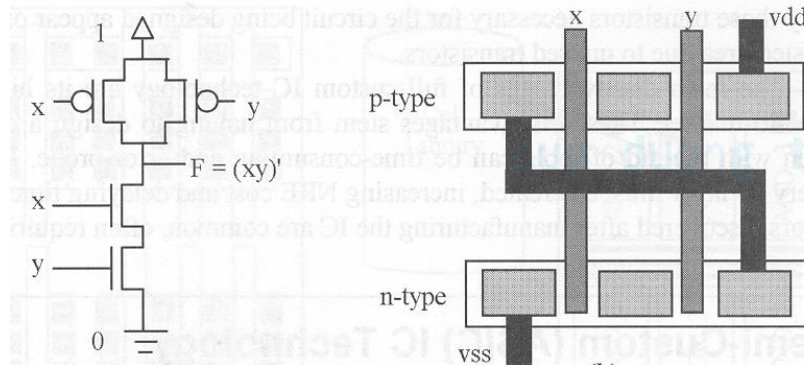
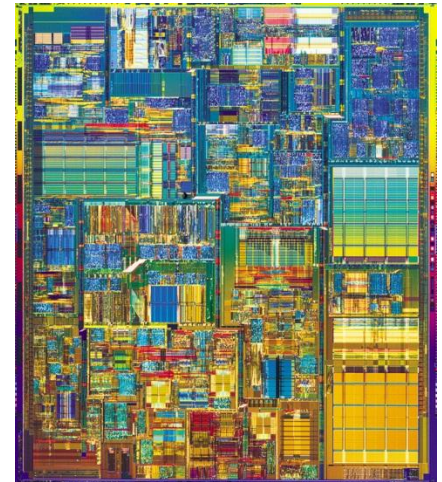
Chuyên dụng đầy đủ

- Mạch tích hợp mật độ rất lớn (VLSI)
- Bố trí
 - Đặt và định hướng transistors
- Kết nối
 - Kết nối transistors
- Điều chỉnh kích thước
 - Tạo ra các dây nối kích thước dày hoặc mỏng, ch
nhanh hay chậm
 - Cũng có thể cần thay đổi kích thước bộ đệm



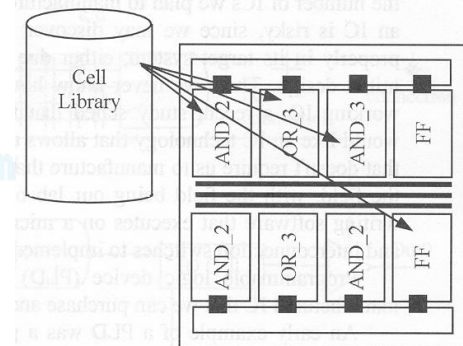
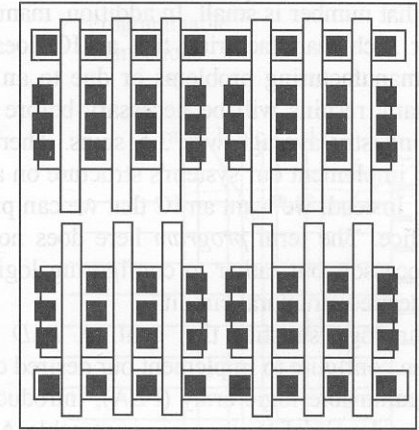
Chuyên dụng đầy đủ

- Kích thước, công suất và chất lượng tốt nhất
- Thiết kế thủ công
 - Tốn nhiều thời gian/độ linh hoạt cao/giá NRE cao...
 - Dành cho các bộ phận quan trọng nhất trong bộ xử lý
 - ALU, đọc mã lệnh...
- Công cụ thiết kế vật lý
 - Không tối ưu, nhưng nhanh hơn...



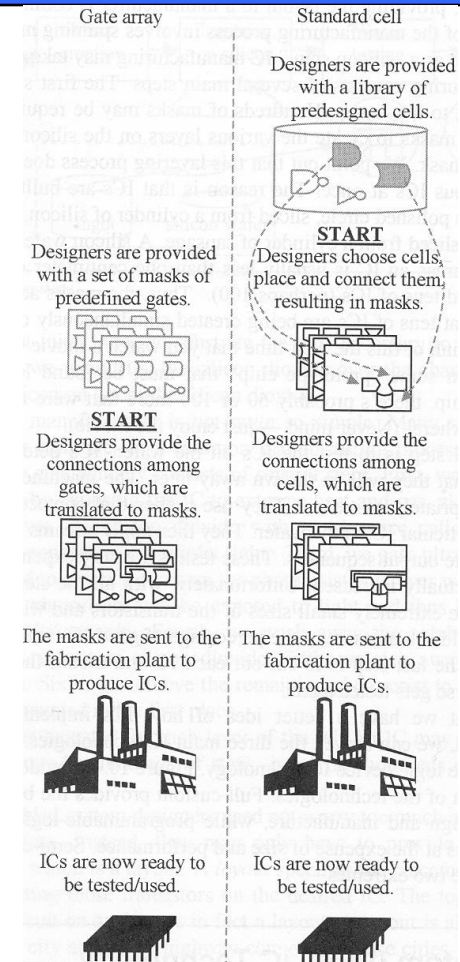
Bán chuyên dụng

- Mảng các cổng logic
 - Gồm một mảng các cổng được chế tạo sẵn
 - “bố trí” và kết nối
 - Mật độ cao hơn, thời gian đưa ra thị trường nhanh hơn
 - Không tích hợp cao như các vi mạch chức năng chuyên dụng đầy đủ
- Các “Ô” tiêu chuẩn
 - Một thư viện các ô được thiết kế trước
 - Bố trí và kết nối
 - Mật độ thấp hơn, độ phức tạp cao hơn
 - Tích hợp tốt nhất với chuyên dụng đầy đủ



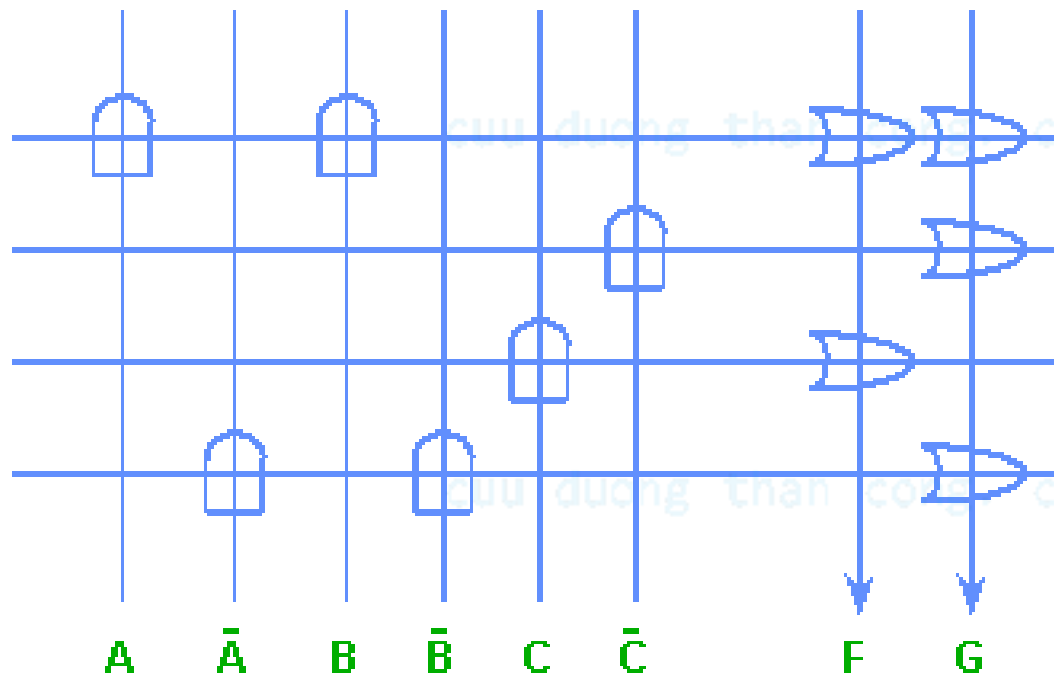
Bán chuyên dụng

- Kiểu thiết kế phổ biến nhất
- Phù hợp với các loại
 - Tốt
 - Công suất, thời gian đưa ra thị trường, chất lượng, giá NRE, giá đơn chiếc...
- Tích hợp
 - Tích hợp với thiết bị chuyên dụng đầy đủ cho các vùng thiết kế quan trọng



Programmable Logic Array (PLA)

*PLA exploits
structure of
expression.*



$$F = AB + C$$

$$G = AB + \bar{C} + \bar{A}\bar{B}$$

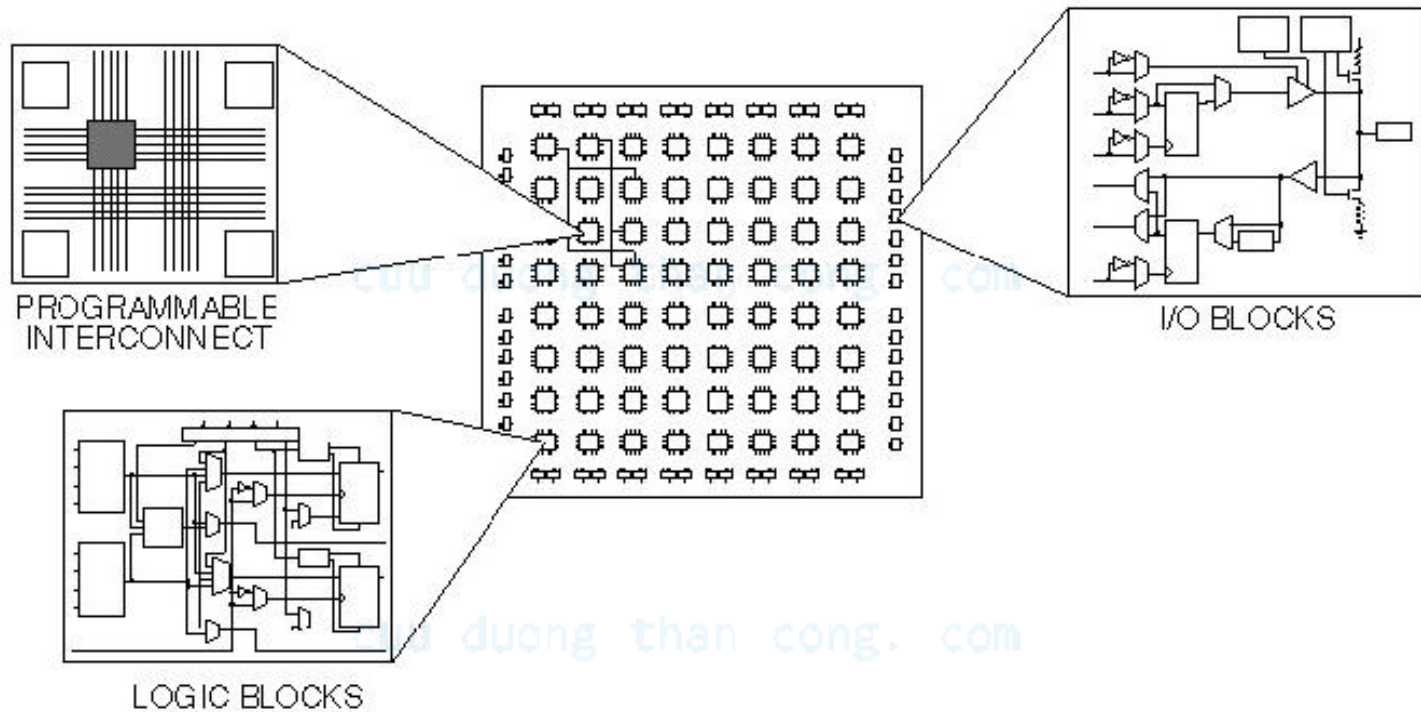
PLD

- Thiết bị logic khả trình
 - Programmable Logic Array (PLA), Programmable Array Logic (PAL), Field Programmable Gate Array (FPGA)
- Tất cả các lớp đã có sẵn
 - Người thiết kế có thể mua một IC
 - Để thực hiện chức năng mong muốn
 - Các kết nối trên IC được tạo ra hoặc hủy để thực hiện chức năng
- Lợi ích
 - Giá NRE rất thấp
 - Thời gian đưa ra thị trường ngắn
- Hạn chế
 - Giá cao, không tốt cho sản xuất hàng loạt
 - Công suất
 - Ngoại trừ PLA loại đặc biệt
 - Chậm hơn



1600 usable gate, 7.5 ns
\$7 list price

Xilinx FPGA



Khối logic có thể cấu hình được (CLB)

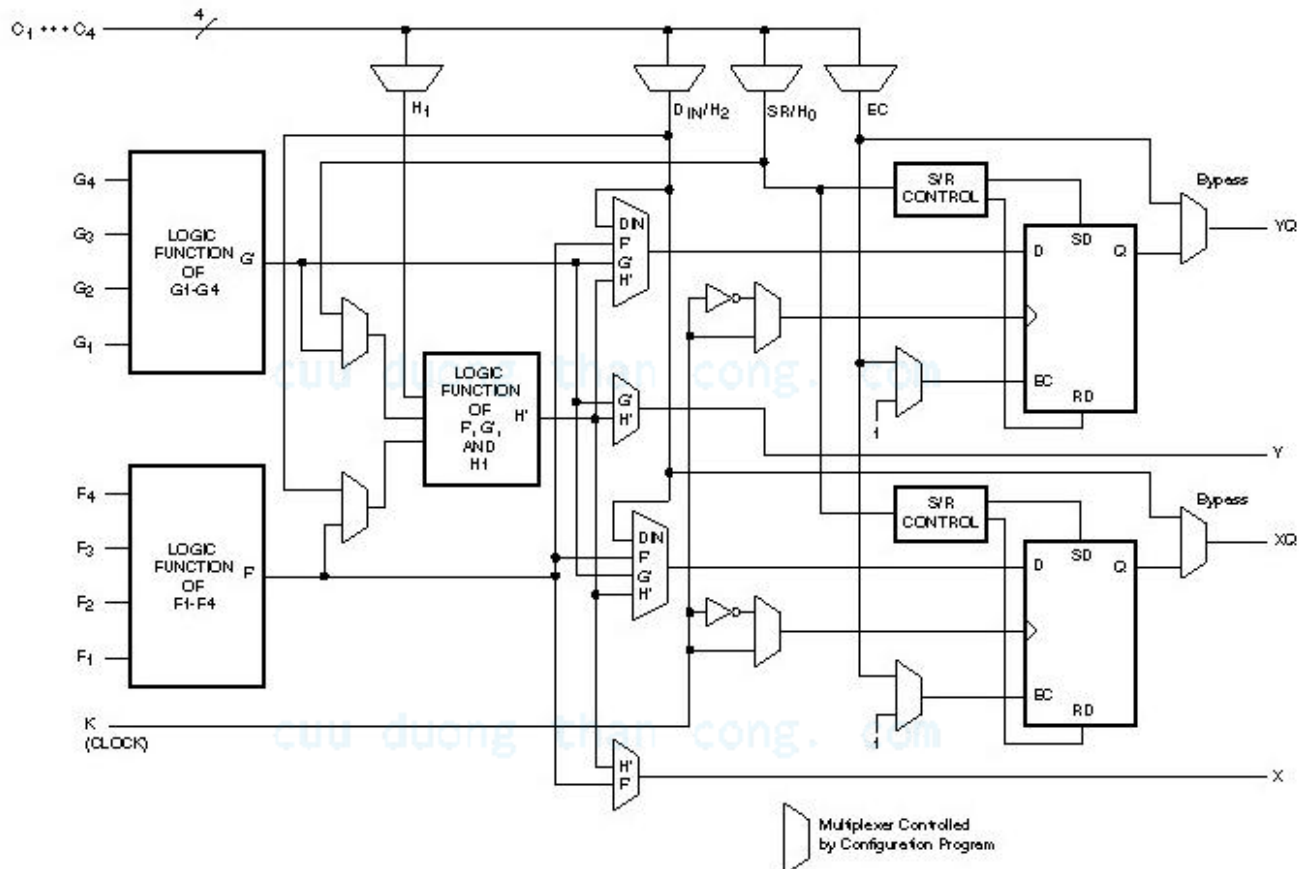


Figure 1: Simplified Block Diagram of XC4000-Series CLB (RAM and Carry Logic functions not shown)

Khối I/O

