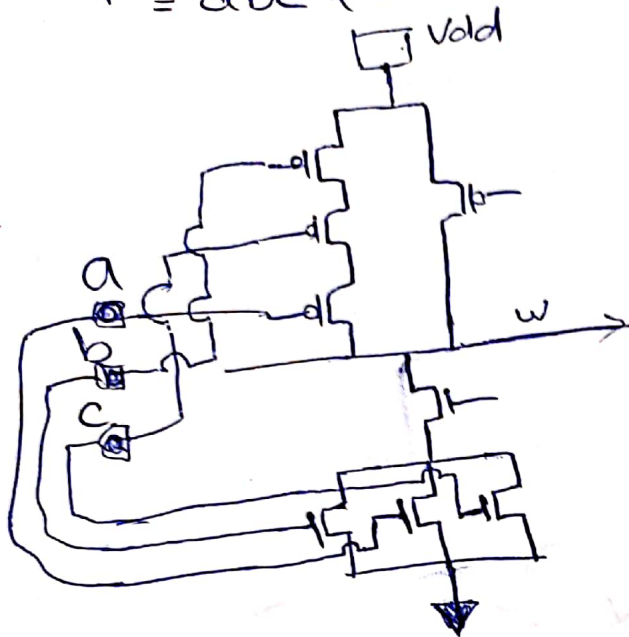


$$F = abc + d$$



-5 for use extra NOT gates

-5 for didn't put NOT on inputs

بهترین تاخیر ۲ حالت دارد:

① از بالا از طریق ۳ ترانزیستور منتقل شود:

چون باید ① را انتقال دهد $P_{mos}(5, 4, 7) + 10$

$$3 \times 6 = 18 \text{ واه تاخیر}$$

و از پایین باید ۲ منتقل شود. ۲ تر داریم

$$2 \times 5 = 10 \text{ واه} \leftarrow n_{mos}(3, 4, 5)$$

مجموع delay واه ۱۸ است.

-10

برای انتقال ضربه خروجی ۲ تر n_{mos} داریم $6ns = 2 \times 3$ و از بالا باید ۲ منتقل شود

$$3 \times 7 = 21 \text{ واه} \leftarrow P_{mos}(5, 4, 7) \text{ منتقل شود}$$

مجموع ۲۱ واه تاخیر برای خروجی می‌داریم.

+10