



**Documento de Arquitetura**

MUSA

Fazemos Qualquer Negócio Inc.

**Compilação 3.0**

## Histórico de Revisões

Data	Descrição	Autor(es)
25/06/2014	Concepção do documento	joaocarlos
15/10/2014	Adição da subseção de acesso à memória	weversongomes
16/10/2014	Adição da seção "Leitura da Instrução" e modificação do nome do projeto.	santana22 e gabri14el.
19/10/2014	Modificações na seção "Leitura da Instrução"	santana22
20/10/2014	Correções na subseção de acesso à memória	weversongomes
25/10/2014	Adição das descrições da codificação	manuellemacedo
29/10/2014	Unificação das subseções de acesso à memória com a de write back	weversongomes
29/10/2014	Adição das descrições dos componentes	manuellemacedo
30/10/2014	Adição do Datapath (Instruction Fetch)	santana22 e gabri14el
30/10/2014	Alterações na subseção de acesso à memória com definições de número de bits	weversongomes
03/11/2014	Correções na subseção "Leitura da Instrução"	weversongomes
05/11/2014	Modificação dos datapaths internos	tarleswalker
05/11/2014	Alteração nos opcodes	manuellemacedo
27/11/2014	Refatoração da introdução e codificação	manuellemacedo
06/12/2014	Atualização das informações do Instruction Fetch	santana22
10/12/2014	Atualização da tabela de microinstruções	mirelarios
10/12/2014	Modificando as informações contidas nos diagramas de classe de cada estágio	santana22
11/12/2014	Refatoração da introdução e codificação	manuellemacedo
11/12/2014	Alteração no datapath do Instruction Fetch	mirelarios

## SUMÁRIO

<b>1</b>	<b>Introdução</b>	<b>4</b>
1	Propósito do Documento . . . . .	4
2	Stakeholders . . . . .	4
3	Visão Geral do Documento . . . . .	4
4	Acrônimos e Abreviações . . . . .	5
<b>2</b>	<b>Visão Geral da Arquitetura</b>	<b>6</b>
1	Codificação das instruções . . . . .	6
2	Descrição dos Componentes . . . . .	9
<b>3</b>	<b>Descrição da Arquitetura</b>	<b>10</b>
1	Leitura da Instrução . . . . .	10
1.1	Diagrama de Classe . . . . .	10
1.2	Definições de entrada e saída . . . . .	10
1.3	Datapath Interno . . . . .	11
2	Decodificação da Instrução . . . . .	12
2.1	Diagrama de Classe . . . . .	12
2.2	Definições de entrada e saída . . . . .	12
2.3	Tabela de microinstruções . . . . .	13
2.4	Datapath Interno . . . . .	14
3	Estágio de execução . . . . .	15
3.1	Diagrama de Classe . . . . .	15
3.2	Definições de entrada e saída . . . . .	15
3.3	Datapath Interno . . . . .	16
4	Acesso à memória e write back . . . . .	17

4.1	Diagrama de Classe . . . . .	17
4.2	Definições de entrada e saída . . . . .	18
4.3	Datapath Interno . . . . .	18
5	Datapath Externo . . . . .	19

# 1 | Introdução

## 1. Propósito do Documento

Este documento descreve a arquitetura do projeto MUSA. Como parte integrante deste documento estão os diagramas de classe, as definições de entrada e saída como também, as especificações dos circuitos internos de cada componente. Dessa forma, o principal objetivo deste documento é definir as especificações do projeto MUSA.

## 2. Stakeholders

Nome	Papel/Responsabilidades
Manuelle	Gerência
Manuelle, Vinicius, Weverson, Patrick	Análise
Patrick, Lucas, Mirela, Vinícius, Gabriel e Tarles	Projeto
Manuelle e Anderson	Verificação Funcional

## 3. Visão Geral do Documento

O presente documento é apresentado como segue:

- **Capítulo 2** – Este capítulo apresenta uma visão geral da arquitetura, com foco nas entradas e saídas do sistema e na arquitetura geral do mesmo;
- **Capítulo 3** – Este capítulo descreve a arquitetura interna do IP a partir do detalhamento dos seus componentes, da definição das portas de entrada e saída e das especificações do caminho de dados (*datapath*).

#### 4. Acrônimos e Abreviações

Sigla	Descrição
PC	Program Counter
OPCODE	Operation Code
RF	Register Flag
CST	Constant

## 2 | Visão Geral da Arquitetura

### 1. Codificação das instruções

Todas as instruções contém 32 bits. Existem três formatos de instruções: *R (R-type)*, *I (I-type)* e *Jump*. Neste documento os *OPCODES* são representados em seus respectivos códigos hexadecimais.

Formato da instrução	Instrução	Descrição
R-type	ADD	Soma dois valores
	SUB	Subtrai dois valores
	MUL	Multiplica dois valores
	DIV	Divide dois valores
	AND	AND lógico
	OR	OR lógico
	NOT	NOT lógico
	NOP	Não realiza operação
I-type	ADDI	Soma dois valores, um destes imediato.
	SUBI	Subtrai dois valores, um destes imediato.
	ANDI	AND lógico de dois valores, um destes imediato.
	ORI	OR lógico de dois valores, um destes imediato.
	LW	Leitura de um dado da memória de dados
	SW	Armazena um dado na memória de dados
	CMP	Compara dois valores
	BRFL	Desvia para um destino se $RF == CST$
Jump	JR	Desvia para um destino
	JPC	Desvia para um destino relativo ao PC
	CALL	Chamada de sub-rotina

continua na próxima página

continuação da página anterior

Formato da Instrução	Instrução	Descrição
	RET	Retorno de sub-rotina
	HALT	Parada do sistema

O formato *R* está relacionado as instruções lógicas e aritméticas.

OPCODE 31:26	RS 25:21	RT 20:16	RD 15:11	DON'T CARE 10:6	FUNCT 5:0
-----------------	-------------	-------------	-------------	--------------------	--------------

CAMPO	DESCRIÇÃO
<i>OPCODE</i>	Código da operação básica da instrução.
<i>RS</i>	Registrador do primeiro operando de origem.
<i>RT</i>	Registrador do segundo operando de origem.
<i>RD</i>	Registrador de destino.
<i>DON'T CARE</i>	Não importa.
<i>FUNCT</i>	Variante específica da operação.

OPCODE	INSTRUCTION	FUNCTION
0x00	ADD	0x20
0x00	SUB	0x22
0x1C	MUL	0x02
0x05	DIV	0x01
0x00	AND	0x24
0x00	OR	0x25
0x00	NOT	0x27
0x00	NOP	0x00

Um segundo tipo de formato de instrução é chamado de formato *I*, utilizado pelas instruções imediatas e de transferência de dados.



OPCODE 31:26	RS 25:21	RT 20:16	IMMEDIATE 15:0
-----------------	-------------	-------------	-------------------

CAMPO	DESCRIÇÃO
<i>OPCODE</i>	Código da operação básica da instrução.
<i>RS</i>	Registrador do primeiro operando de origem.
<i>RT</i>	Registrador de destino.
<i>IMMEDIATE</i>	Constante numérica.

OPCODE	INSTRUCTION
0x08	ADDI
0x09	SUBI
0x0C	ANDI
0x0D	ORI
0x23	LW
0x2B	SW
0x04	BRFL
0x1D	CMP

O formato *Jump* serve para as instruções de desvio condicional e incondicional.

OPCODE 31:26	IMMEDIATE 25:0
-----------------	-------------------

CAMPO	DESCRIÇÃO
<i>OPCODE</i>	Código da operação básica da instrução.
<i>IMMEDIATE</i>	Constante numérica.

OPCODE	INSTRUCTION
0x11	JR
0x02	JPC
0x03	CALL
0x01	RET
0x3F	HALT

## 2. Descrição dos Componentes

A unidade de processamento a ser desenvolvida é composta a partir dos seguintes componentes:

- **Instruction Fetch** – Módulo responsável pela busca da instrução na memória de instrução.
- **Instruction Decode e Register Read** – Módulo responsável pela decodificação das instruções e leitura do banco de registradores.
- **Execute Operation or Calculate Address** – Módulo responsável pela execução das operações de carácter lógico/aritmético ou cálculos endereços.
- **Memory Access e Write Back** – Módulo responsável pelo acesso a memória de dados e escrita no banco de registradores.

### 3 | Descrição da Arquitetura

#### 1. Leitura da Instrução

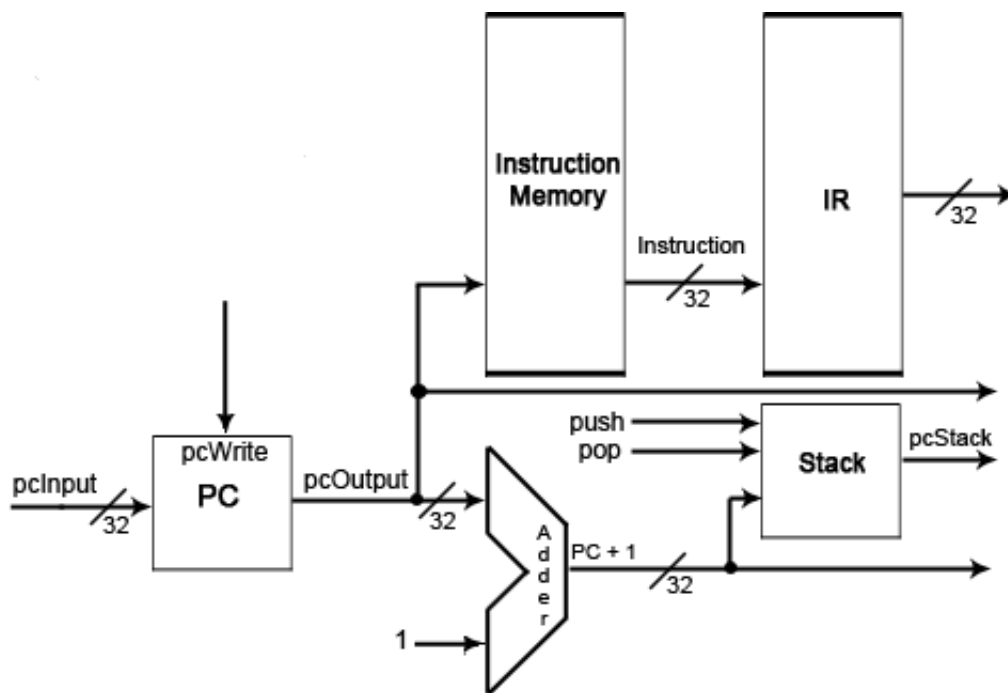
##### 1.1. Diagrama de Classe

Instruction Fetch
+ clock : input bit + reset : input bit + pcInput : input bit[32] + pcWrite : input bit + pcOutput : output bit[32] + instruction : output bit[32]
- «comb» <u>search_Instruction()</u> - «comb» next_PC()

##### 1.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
pcInput	32	entrada	Valor do PC atual
pcWrite	1	entrada	Sinal que habilita a modificação do valor de PC
pcOutput	32	saída	Valor do próximo PC
instruction	32	saída	Instrução a ser executada

### 1.3. Datapath Interno



## Instruction Fetch

## 2. Decodificação da Instrução

### 2.1. Diagrama de Classe

Instruction Decode
<ul style="list-style-type: none"> <li>+ clock : input bit</li> <li>+ reset : input bit</li> <li>+ instruction : input bit[32]</li> <li>+ regDst : input bit</li> <li>+ writeData : input bit</li> <li>+ writeRegister : input bit</li> <li>+ word : input bit[16]</li> <li>+ regDst : output bit</li> <li>+ branch : output bit</li> <li>+ memRead : output bit</li> <li>+ memToReg : output bit</li> <li>+ aluOp : output bit</li> <li>+ memWrite : output bit</li> <li>+ aluSrc : output bit</li> <li>+ regWrite : output bit</li> <li>+ jump : output bit</li> <li>+ readData1 : output bit[32]</li> <li>+ readData2 : output bit [32]</li> <li>+ outputWord : output bit [32]</li> <li>+ registers : reg bit[32]</li> </ul>
<ul style="list-style-type: none"> <li>- «comb» opcode_decoder()</li> <li>- «comb» search_register()</li> <li>- «comb» set_write_register()</li> <li>- «sequ» sign_extend()</li> <li>- «sequ» zero_extend()</li> </ul>

### 2.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
instruction	32	entrada	Instrução a ser executada.
writeData	1	entrada	Sinal de controle para escrita no registrador.

Nome	Tamanho	Direção	Descrição
writeRegister	1	entrada	Endereço do registrador de destino do writeData.
word	16	entrada	é uma instrução.
branch	1	saída	Sinal que informa ao circuito se a instrução é de branch.
memRead	1	saída	Sinal de controle para realizar leitura da memória.
memToReg	1	saída	Sinal de controle que define se o dado deve vir da ULA ou da memória
aluOp	2	saída	Sinal de controle que define se o código funct da instrução deve ser levado em consideração ou não.
memWrite	1	saída	Sinal de controle para realizar escrita na memória.
aluSrc	1	saída	Sinal de controle que define qual entrada a ULA deve utilizar para realizar a operação.
regWrite	1	saída	Sinal de controle para realizar escrita no registrador.
jump	1	saída	Sinal que informa ao circuito se a operação é de jump.

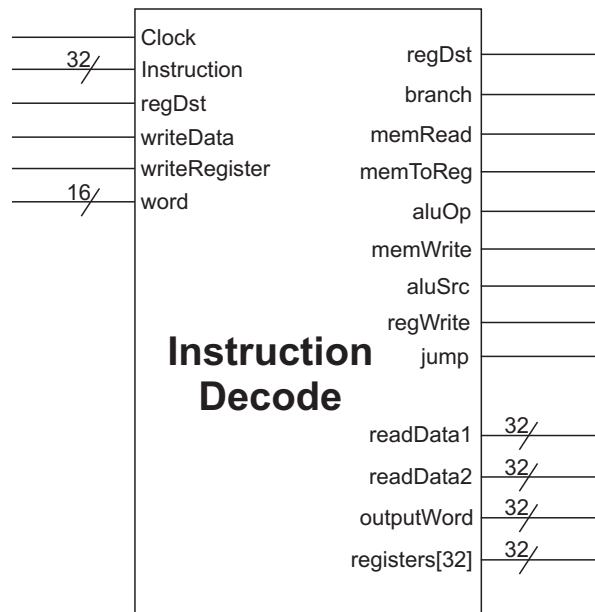
### 2.3. Tabela de microinstruções

Código	Instrução
1	Lógicas, Aritméticas, MUL, DIV e NOP
2	ADDI
3	ANDI
4	SUBI
5	ORI
6	SW
7	LW

Código	Instrução
8	JR
9	JPC
10	BRFL
11	CALL
12	RET
13	HALT
14	CMP

Código	1	2	3	4	5	6	7	8	9	10	11	12	13	14
regDst	1	0	0	0	0	0	0	0	0	0	0	0	0	
memRead	0	0	0	0	0	0	1	0	0	0	0	0	0	
memToReg	0	0	0	0	0	0	0	0	0	0	0	0	0	
aluOp	010	000	011	001	100	000	000	000	000	101	000	000	000	
memWrite	0	0	0	0	0	1	0	0	0	0	0	0	0	
regWrite	1	1	1	1	1	0	1	0	0	0	0	0	0	
data_a_select	10	10	10	10	10	10	10	00	00	10	00	00	00	
data_b_select	01	00	00	00	00	00	00	00	10	00	00	00	00	
pcSrc	010	010	010	010	010	010	010	001	100	001	001	000	110	
pop	X	X	X	X	X	X	X	X	X	X	X	1	X	
push	X	X	X	X	X	X	X	X	X	X	1	X	X	

## 2.4. Datapath Interno



**Datapath do estágio 2.**

### 3. Estágio de execução

#### 3.1. Diagrama de Classe

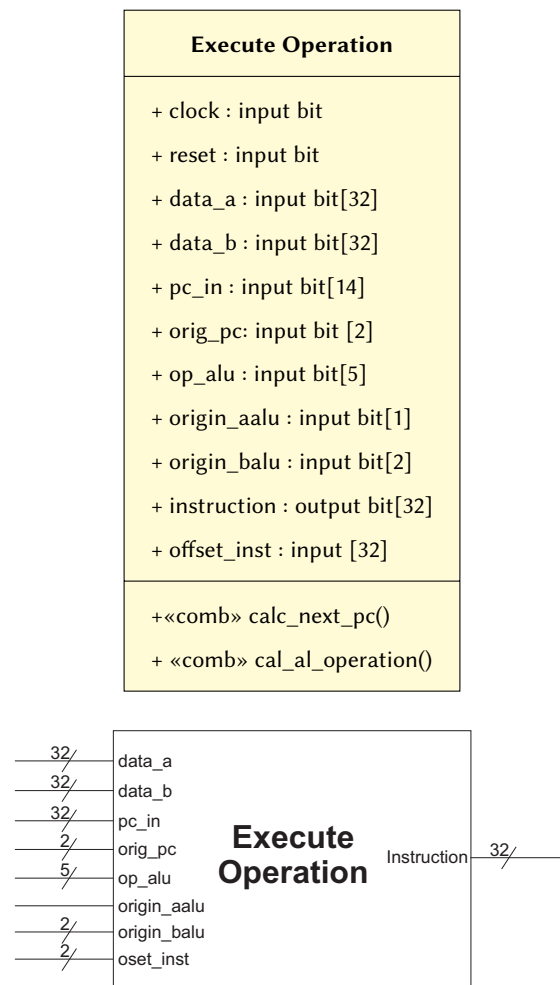
#### 3.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
data_a	32	Entrada	Dado do primeiro operando.
data_b	32	Entrada	Dado do segundo operando.
pc_in	14	Entrada	Valor do PC atual.
rt_data_mem	5	Entrada	Dado vindo da memória.
opcode	5	Entrada	Código da operação.
control_signal	TBD	Entrada	Sinal de comando da unidade de controle.
alu_result	32	Saída	Representação do resultado da operação.
pc_out	32	Saída	Valor do PC atual.
write_reg_mem	5	Saída	Sinal proveniente da UC que habilita a escrita no registrador.
memory_address	32	Saída	Endereço da memória.



Nome	Tamanho	Direção	Descrição
memory_write_enable	TBD	Saída	Sinal proveniente da UC que habilita a escrita na memória.

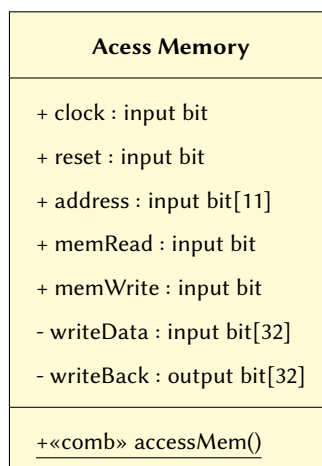
### 3.3. Datapath Interno



**Datapath interno do estágio de execução (EX).**

## 4. Acesso à memória e write back

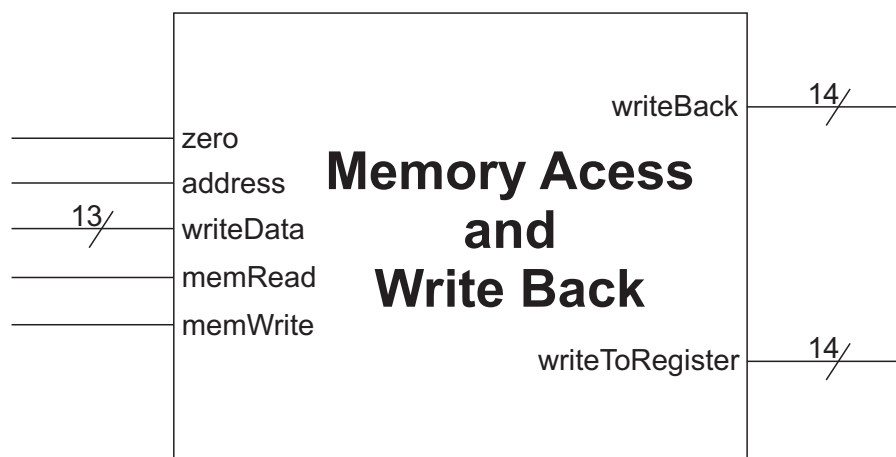
### 4.1. Diagrama de Classe



## 4.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
address	11	entrada	Endereço no qual o dado deve ser escrito.
memRead	1	entrada	Sinal proveniente da UC que habilita leitura.
memWrite	1	entrada	Sinal proveniente da UC que habilita escrita.
writeData	32	entrada	Dado a ser escrito na memória.
writeBack	32	saída	Dado proveniente da ALU que será escrito no bloco de registradores

## 4.3. Datapath Interno



**Datapath dos estágios 4 e 5.**

