



Documento de Arquitetura

MUSA

Fazemos Qualquer Negócio Inc.

Compilação 3.2

Histórico de Revisões

Data	Descrição	Autor(es)
25/06/2014	Concepção do documento	joaocarlos
15/10/2014	Adição da subseção de acesso à memória	weversongomes
16/10/2014	Adição da seção "Leitura da Instrução" e modificação do nome do projeto.	santana22 e gabri4el.
19/10/2014	Modificações na seção "Leitura da Instrução"	santana22
20/10/2014	Correções na subseção de acesso à memória	weversongomes
25/10/2014	Adição das descrições da codificação	manuellemacedo
29/10/2014	Unificação das subseções de acesso à memória com a de write back	weversongomes
29/10/2014	Adição das descrições dos componentes	manuellemacedo
30/10/2014	Adição do Datapath (Instruction Fetch)	santana22 e gabri4el
30/10/2014	Alterações na subseção de acesso à memória com definições de número de bits	weversongomes
03/11/2014	Correções na subseção "Leitura da Instrução"	weversongomes
05/11/2014	Modificação dos datapaths internos	tarleswalker
05/11/2014	Alteração nos opcodes	manuellemacedo
27/11/2014	Refatoração da introdução e codificação	manuellemacedo
06/12/2014	Atualização das informações do Instruction Fetch	santana22
10/12/2014	Atualização da tabela de microinstruções	mirelarios
10/12/2014	Modificando as informações contidas nos diagramas de classe de cada estágio	santana22
11/12/2014	Refatoração da introdução e codificação	manuellemacedo
11/12/2014	Alteração no datapath do Instruction Fetch	mirelarios
14/12/2014	Atualização dos diagramas de classe	santana22
15/12/2014	Adição dos datapaths dos estágios 2 e 3	mirelarios

18/12/2014	Refatoração do Documento	santana22
------------	--------------------------	-----------

SUMÁRIO

1	Introdução	5
1	Propósito do Documento	5
2	Stakeholders	5
3	Visão Geral do Documento	5
4	Acrônimos e Abreviações	6
2	Visão Geral da Arquitetura	7
1	Codificação das instruções	7
2	Descrição dos Componentes	10
3	Descrição da Arquitetura	11
1	Leitura da Instrução	11
1.1	Diagrama de Classe	11
1.2	Definições de entrada e saída	11
1.3	Datapath Interno	12
2	Decodificação da Instrução	13
2.1	Diagrama de Classe	13
2.2	Definições de entrada e saída	13
2.3	Tabela de microinstruções	15
2.4	Datapath Interno	17
3	Estágio de execução	18
3.1	Diagrama de Classe	18
3.2	Definições de entrada e saída	18
3.3	Datapath Interno	20
4	Acesso à memória e write back	21

4.1	Diagrama de Classe	21
4.2	Definições de entrada e saída	21
4.3	Datapath Interno	22
5	Datapath Externo	23

1 | Introdução

1. Propósito do Documento

Este documento descreve a arquitetura do projeto MUSA. Como parte integrante deste documento estão os diagramas de classe, as definições de entrada e saída como também, as especificações dos circuitos internos de cada componente. Dessa forma, o principal objetivo deste documento é definir as especificações do projeto MUSA.

2. Stakeholders

Nome	Papel/Responsabilidades
Manuelle	Gerência
Manuelle, Vinicius, Weverson, Patrick	Análise
Patrick, Lucas, Mirela, Vinícius, Gabriel, Anderson e Tarles	Projeto

3. Visão Geral do Documento

O presente documento é apresentado como segue:

- **Capítulo 2** – Este capítulo apresenta uma visão geral da arquitetura, com foco nas entradas e saídas do sistema e na arquitetura geral do mesmo;
- **Capítulo 3** – Este capítulo descreve a arquitetura interna do IP a partir do detalhamento dos seus componentes, da definição das portas de entrada e saída e das especificações do caminho de dados (*datapath*).

4. Acrônimos e Abreviações

Sigla	Descrição
PC	Program Counter
OPCODE	Operation Code
RF	Register Flag
CST	Constant

2 | Visão Geral da Arquitetura

1. Codificação das instruções

Todas as instruções contém 32 bits. Existem três formatos de instruções: *R (R-type)*, *I (I-type)* e *Jump*. Neste documento os *OPCODES* são representados em seus respectivos códigos hexadecimais.

Formato da instrução	Instrução	Descrição
R-type	ADD	Soma dois valores
	SUB	Subtrai dois valores
	MUL	Multiplica dois valores
	DIV	Divide dois valores
	AND	AND lógico
	OR	OR lógico
	NOT	NOT lógico
	NOP	Não realiza operação
I-type	ADDI	Soma dois valores, um destes imediato.
	SUBI	Subtrai dois valores, um destes imediato.
	ANDI	AND lógico de dois valores, um destes imediato.
	ORI	OR lógico de dois valores, um destes imediato.
	LW	Leitura de um dado da memória de dados
	SW	Armazena um dado na memória de dados
	CMP	Compara dois valores
	BRFL	Desvia para um destino se $RF == CST$
Jump	JR	Desvia para um destino
	JPC	Desvia para um destino relativo ao PC
	CALL	Chamada de sub-rotina

continua na próxima página

continuação da página anterior

Formato da Instrução	Instrução	Descrição
	RET	Retorno de sub-rotina
	HALT	Parada do sistema

O formato *R* está relacionado as instruções lógicas e aritméticas.

OPCODE 31:26	RS 25:21	RT 20:16	RD 15:11	DON'T CARE 10:6	FUNCT 5:0
-----------------	-------------	-------------	-------------	--------------------	--------------

CAMPO	DESCRIÇÃO
<i>OPCODE</i>	Código da operação básica da instrução.
<i>RS</i>	Registrador do primeiro operando de origem.
<i>RT</i>	Registrador do segundo operando de origem.
<i>RD</i>	Registrador de destino.
<i>DON'T CARE</i>	Não importa.
<i>FUNCT</i>	Variante específica da operação.

OPCODE	INSTRUCTION	FUNCTION
0x00	ADD	0x20
0x00	SUB	0x22
0x1C	MUL	0x02
0x05	DIV	0x01
0x00	AND	0x24
0x00	OR	0x25
0x00	NOT	0x27
0x00	NOP	0x00

Um segundo tipo de formato de instrução é chamado de formato *I*, utilizado pelas instruções imediatas e de transferência de dados.

OPCODE 31:26	RS 25:21	RT 20:16	IMMEDIATE 15:0
-----------------	-------------	-------------	-------------------

CAMPO	DESCRIÇÃO
<i>OPCODE</i>	Código da operação básica da instrução.
<i>RS</i>	Registrador do primeiro operando de origem.
<i>RT</i>	Registrador de destino.
<i>IMMEDIATE</i>	Constante numérica.

OPCODE	INSTRUCTION
0x08	ADDI
0x09	SUBI
0x0C	ANDI
0x0D	ORI
0x23	LW
0x2B	SW
0x04	BRFL
0x1D	CMP

O formato *Jump* serve para as instruções de desvio condicional e incondicional.

OPCODE 31:26	IMMEDIATE 25:0
-----------------	-------------------

CAMPO	DESCRIÇÃO
<i>OPCODE</i>	Código da operação básica da instrução.
<i>IMMEDIATE</i>	Constante numérica.

OPCODE	INSTRUCTION
0x11	JR
0x02	JPC
0x03	CALL
0x01	RET
0x3F	HALT

2. Descrição dos Componentes

A unidade de processamento a ser desenvolvida é composta a partir dos seguintes componentes:

- **Instruction Fetch** – Módulo responsável pela busca da instrução na memória de instrução.
- **Instruction Decode e Register Read** – Módulo responsável pela decodificação das instruções e leitura do banco de registradores.
- **Execute Operation or Calculate Address** – Módulo responsável pela execução das operações de carácter lógico/aritmético ou cálculos endereços.
- **Memory Access e Write Back** – Módulo responsável pelo acesso a memória de dados e escrita no banco de registradores.

3 | Descrição da Arquitetura

1. Leitura da Instrução

1.1. Diagrama de Classe

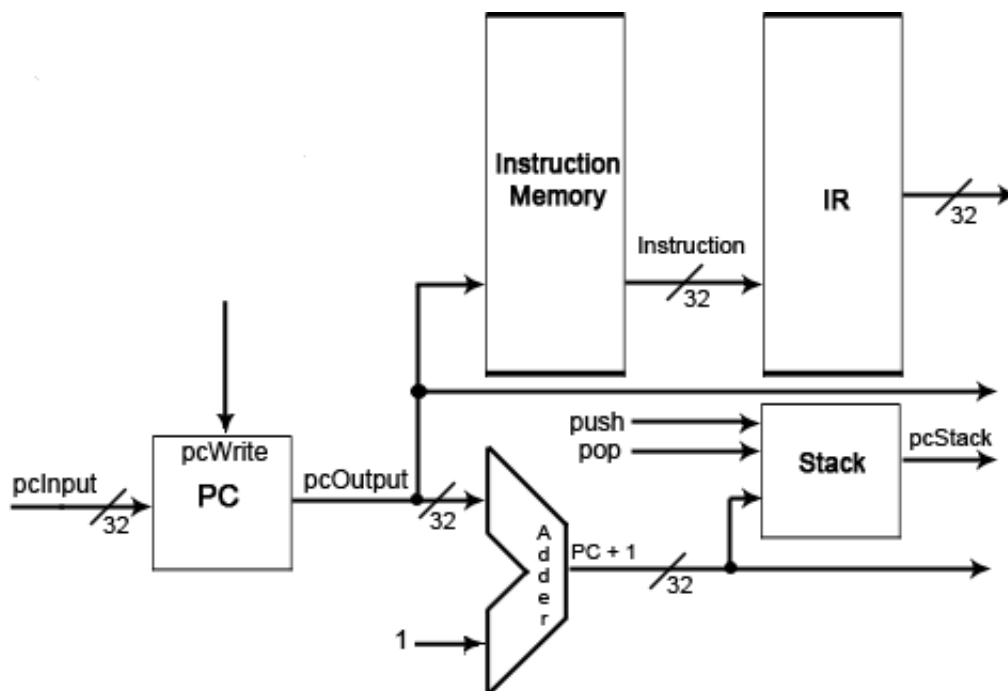
Instruction Fetch
+ clock : input bit + reset : input bit + pcWrite : input bit + push : input bit + pop : input bit + pcInput : input bit[32] + pcOutput : output bit[32] + PC+1 : output bit[32] + pcStack : output bit [32] + instruction : output bit[32]
- «comb» <u>search_Instruction()</u> - «comb» next_PC()

1.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
clock	1	entrada	Clock do sistema
reset	1	entrada	Sinal de reinício do estágio
pcInput	32	entrada	Endereço da instrução a ser buscada
pcWrite	1	entrada	Sinal que habilita a modificação do valor de PC
push	1	entrada	Sinal que habilita a escrita na Pilha de Instruções
pop	1	entrada	Sinal que habilita a leitura da Pilha de Instruções

Nome	Tamanho	Direção	Descrição
pcStack	32	saída	Valor do PC armazenado no topo da Pilha de Instruções
pcOutput	32	saída	Endereço da instrução que está sendo executada
PC+1	32	saída	Próximo endereço de PC
instruction	32	saída	Instrução encontrada

1.3. Datapath Interno



2. Decodificação da Instrução

2.1. Diagrama de Classe

Instruction Decode
<ul style="list-style-type: none"> + clock : input bit + reset : input bit + instruction : input bit[32] + regDst : output bit + memRead: : output bit + memToReg: : output bit + aluOp: output bit[3] + memWrite: output bit + regWrite: output bit + data_a_select: output bit[2] + data_b_select: output bit[2] + pcSrc : output bit[3] + pcWrite : output bit + pop: output bit + push: output bit + writeData: input bit [32] + writeRegister: input bit [5] + function : output bit [6] + inst_out: output bit [32] + imdt_div_4: output bit [32] + opcode: input bit [6] + readRegister1: input bit [5] + readRegister2: input bit [5] + readData1: output bit [32] + readData2: output bit [32]
<ul style="list-style-type: none"> - «comb» opcode_decoder() - «comb» search_register() - «comb» set_write_register() - «sequ» sign_extend() - «sequ» zero_extend()

2.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
clock	1	entrada	Clock do sistema
reset	1	entrada	Sinal de reinício do estágio
instruction	32	entrada	Instrução a ser executada.
regDst	1	saída	Sinal que seleciona o endereço do registrador a ser escrito no banco registradores
memRead	1	saída	Sinal de controle para realizar leitura da memória.
memToReg	1	saída	Sinal de controle que define se o dado deve vir da ULA ou da memória
aluOp	3	saída	Sinal que informa qual o tipo da operação que será realizada
memWrite	1	saída	Sinal de controle para realizar escrita na memória.
regWrite	1	saída	Sinal de controle para realizar escrita no registrador.
data_a_select	2	saída	Sinal para selecionar o conteúdo do primeiro operando
data_b_select	2	saída	Sinal para selecionar o conteúdo do segundo operando
pcSrc	3	saída	Sinal para selecionar o endereço da próxima instrução a ser executada
pcWrite	1	saída	Sinal que habilita a modificação do valor de PC
pop	1	saída	Sinal que habilita a leitura da Pilha de Instruções
push	1	saída	Sinal que habilita a escrita na Pilha de Instruções
writeData	32	entrada	Dado que será escrito no banco de registradores.
writeRegister	5	entrada	Endereço do registrador a ser escrito no banco registradores
function	6	saída	Variante específica da operação

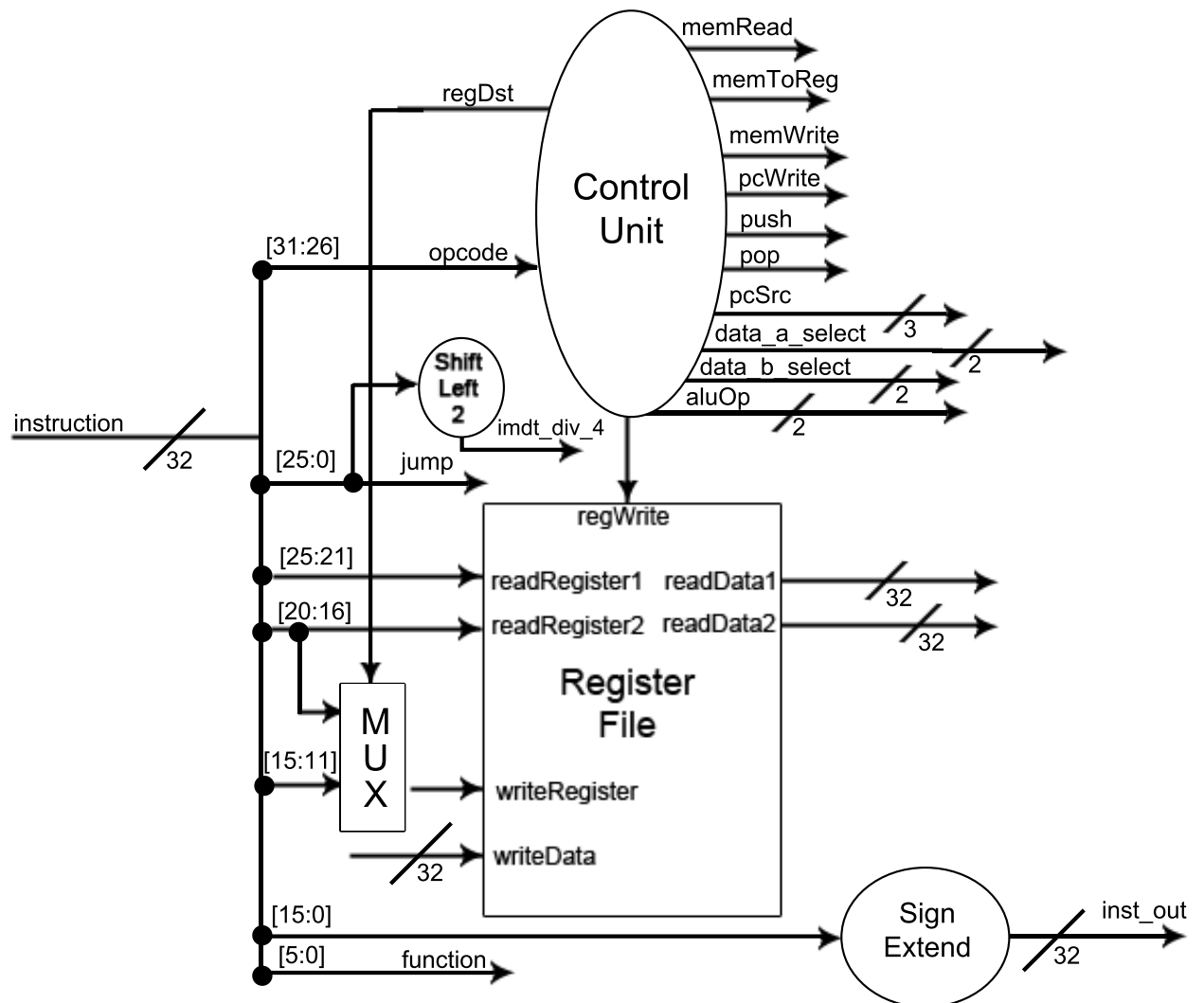
Nome	Tamanho	Direção	Descrição
inst_out	32	saída	Constante numérica
imdt_div_4	32	saída	Contante numérica
opcode	6	entrada	Código da instrução a ser executada
readRegister1	5	entrada	Endereço do primeiro registrador
readRegister2	5	entrada	Endereço do segundo registrador
readData1	32	saída	Conteúdo do primeiro registrador
readData2	32	saída	Conteúdo do segundo registrador

2.3. Tabela de microinstruções

Código	Instrução
1	Lógicas, Aritméticas, MUL e DIV
2	ADDI
3	ANDI
4	SUBI
5	ORI
6	SW
7	LW
8	JR
9	JPC
10	BRFL
11	CALL
12	RET
13	HALT
14	NOP
15	CMP

Código	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
regDst	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
memRead	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
memToReg	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
aluOp	010	000	011	001	100	000	000	000	000	101	000	000	000	010	110
memWrite	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
regWrite	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0
data_a_select	10	10	10	10	10	10	10	00	00	10	00	00	00	00	10
data_b_select	01	00	00	00	00	00	00	00	10	00	00	00	00	00	01
pcSrc	010	010	010	010	010	010	010	001	011	001	001	000	100	010	001
pop	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
push	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

2.4. Datapath Interno



3. Estágio de execução

3.1. Diagrama de Classe

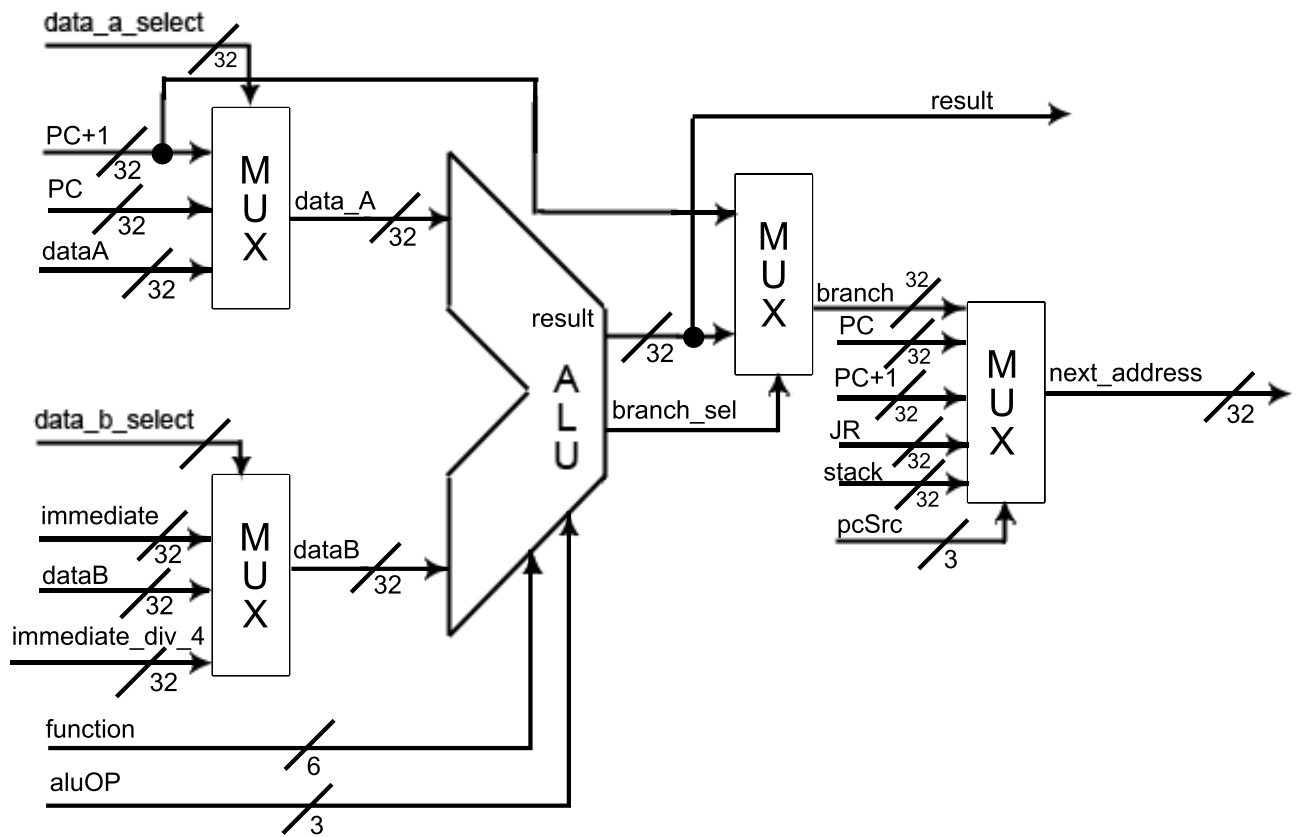
Execute Operation
+ clock : input bit + reset : input bit + data_a : input bit[32] + data_b : input bit[32] + pc_in : input bit[32] + pc_1: input bit [32] + immediate: input bit [32] + immediate_div_4: input bit [32] + stack: input bit [32] + data_a_select: input bit [2] + data_b_select: input bit [2] + pc_Src: input bit [3] + alu_control: input bit [2] + func: input bit [6] + result: output bit [32] + flag: output bit [3] + next_address: output bit [32]
+ «comb» calc_next_pc() + «comb» cal_al_operation()

3.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
clock	1	Entrada	Clock do sistema
reset	1	Entrada	Sinal de reinício do estágio
data_a	32	Entrada	Dado do primeiro operando
data_b	32	Entrada	Dado do segundo operando
pc_in	32	Entrada	Valor do PC atual
pc_1	32	Entrada	Valor de PC + 1
immediate	32	Entrada	Constante numérica

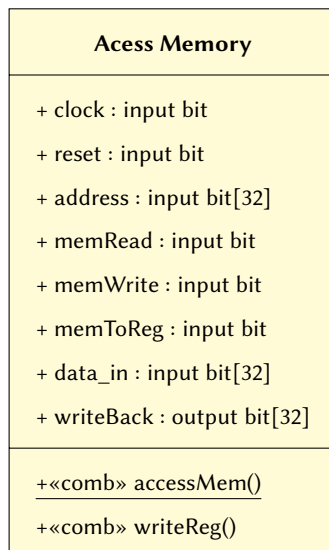
Nome	Tamanho	Direção	Descrição
immediate_div_4	32	Entrada	Contante numérica
stack	32	Entrada	Valor do PC proveniente da Pilha de Instruções
data_a_select	2	Entrada	Sinal para selecionar o conteúdo do primeiro operando
data_b_select	2	Entrada	Sinal para selecionar o conteúdo do segundo operando
pc_Src	3	Entrada	Sinal para selecionar o endereço da próxima instrução a ser executada
alu_control	2	Entrada	Sinal que informa qual o tipo da operação que será realizada
func	6	Saída	Variante específica da operação
result	32	Saída	Resultado da operação
flag	3	Saída	Informações sobre o resultado da operação
next_address	32	Saída	Endereço da próxima instrução a ser executada

3.3. Datapath Interno



4. Acesso à memória e write back

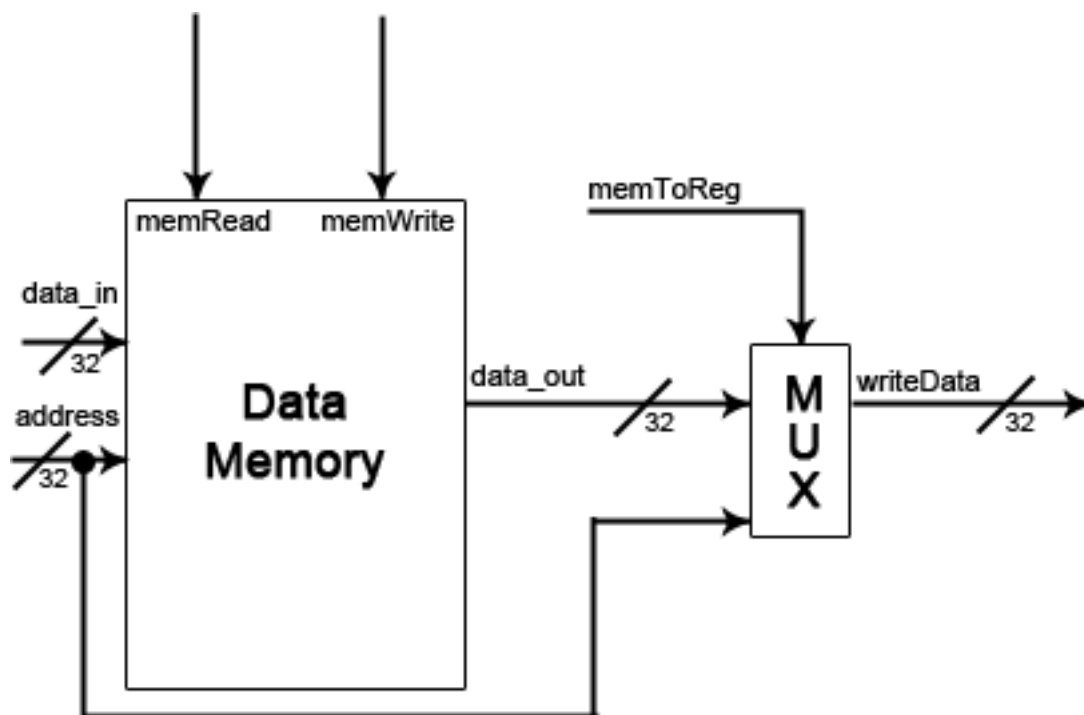
4.1. Diagrama de Classe



4.2. Definições de entrada e saída

Nome	Tamanho	Direção	Descrição
address	32	entrada	Endereço da memória de dados no qual o dado deve ser escrito
memRead	1	entrada	Sinal proveniente da UC que habilita leitura
memWrite	1	entrada	Sinal proveniente da UC que habilita escrita
memToReg	1	entrada	Sinal proveniente da UC que verifica qual dado será escrito no banco de registradores
data_in	32	entrada	Dado a ser escrito na memória.
writeBack	32	saída	Dado que será escrito no banco de registradores

4.3. Datapath Interno



5. Datapath Externo

