

การทดลองที่ 5 BCD to 7Segment และวงจรนับ

วัตถุประสงค์

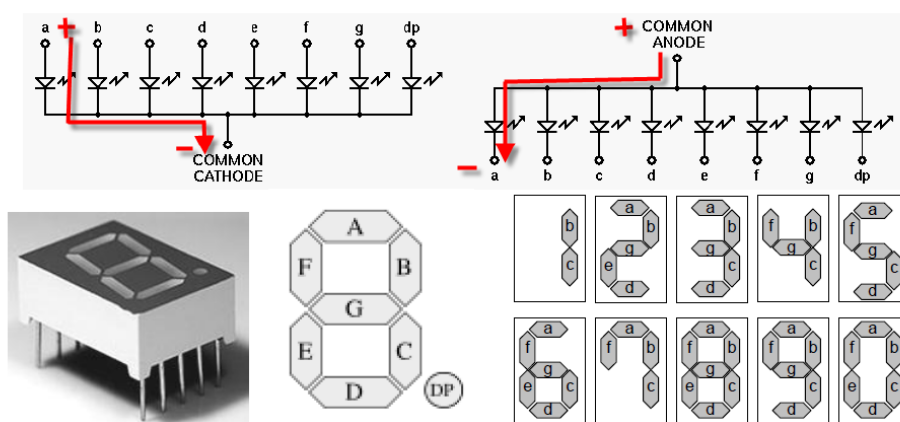
1. เพื่อให้เข้าใจการทำงานของ BCD to 7 Segment
2. เพื่อให้สามารถออกแบบวงจรนับแบบ Synchronous ได้
3. เพื่อให้สามารถสร้างวงจรนับที่ออกแบบโดยใช้ JK Flip Flop ได้
4. เพื่อให้สามารถสร้างวงจรนับที่ออกแบบโดยใช้ โมดูล Counter ได้
5. เพื่อให้สามารถใช้งานโปรแกรมช่วยออกแบบ ISE WebPack ได้

บทนำ

7 Segment Display

คือ ไดโอดเปล่งแสงแบบเลขเจ็ดส่วนเป็น LED (Light Emitting Diode) ที่นำมาจัดวางรูปแบบแสดงผลตัวเลข และตัวอักษรภาษาอังกฤษบางตัว 7-Segment ประกอบด้วย LED จำนวนแปดตัว ดังรูปที่ 1 (ล่าง) คือ A, B, C, D, E, F, G, และ DP โดยเชื่อมต่อวงจรในสองแบบคือ Common Anode กับ Common Cathode ดังรูปที่ 1 (บน)

Common Anode คือจุดเชื่อมต่อของ LED ทั้งแปดดวงเชื่อมต่อกันหมดที่ขา Anode ส่วน Common Cathode คือจุดเชื่อมต่อของ LED ทั้งแปดดวงเชื่อมต่อกันหมดที่ขา Cathode หรือจำง่ายๆ ว่า Common Anode รวมจุดไฟบวกไว้ด้วยกัน Common Cathode รวมจุดไฟลบไว้ด้วยกัน



รูปที่ 1 แสดง 7 Segment Display

JK Flip Flop Characteristic Table

\overline{PRESET}	\overline{CLEAR}	J	K	Clk	Q	\overline{Q}	State
0	1	X	X	X	1	0	Set
1	0	X	X	X	0	1	Reset
0	0	X	X	X	1	1	Unused
1	1	0	1	\downarrow	0	1	Reset
1	1	1	0	\downarrow	1	0	Set
1	1	0	0	X	Q	\overline{Q}	Unchanged
1	1	1	1	\downarrow	\overline{Q}	Q	Toggle

JK Flip Flop Excitation Table

Present State	Next State	Input	
Q	Q	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

7447/48

7447/48 เป็นไอซีที่ใช้ในการแปลงสัญญาณดิจิตอลขนาด 4 บิตไปเป็นสัญญาณที่ใช้ในการควบคุม 7 segment โดยให้ศึกษาการทำงานโดยละเอียดของไอซีเบอร์ 7447(48) ได้จาก Datasheet

7493 Synchronous 4-Bit Binary Counter

7493 คือ ไอซีที่ใช้เป็นวงจรนับแบบไบนารีขนาดสูงสุด 4 บิตแบบนับขึ้น โดยภายในบรรจุ JK Flip Flop เชื่อมต่อแบบ master/slave จำนวน 4 ตัว นอกจากนี้ไอซี 7493 มีสัญญาณรีเซ็ต 2 สัญญาณ ได้แก่ $R_{0(1)}$ และ $R_{0(2)}$ เมื่อสัญญาณทั้งสองเป็นลอจิก 0 ทั้งคู่ JK Flip Flop ทุกตัวจะอยู่ในสถานะรีเซ็ต ศึกษา รายละเอียดการทำงานเพิ่มเติมได้จาก datasheet

การทดลอง

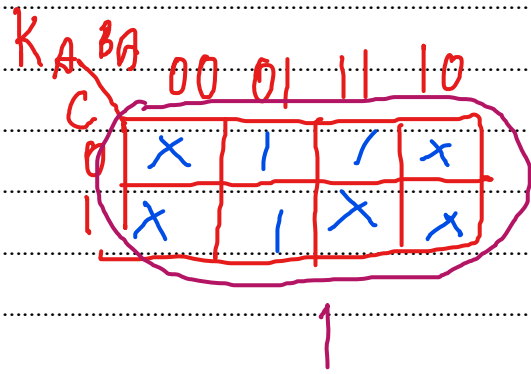
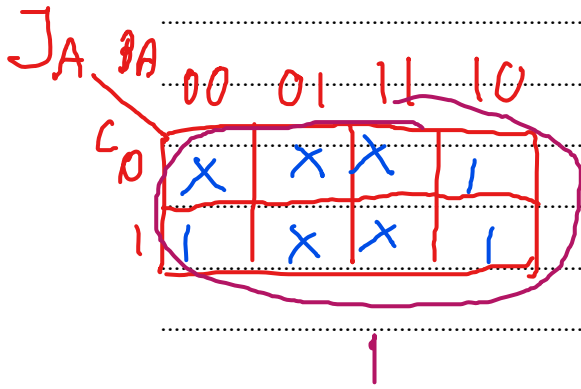
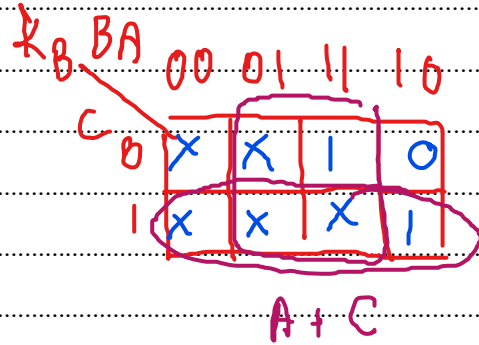
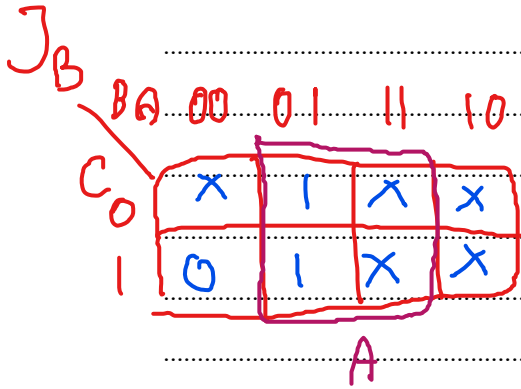
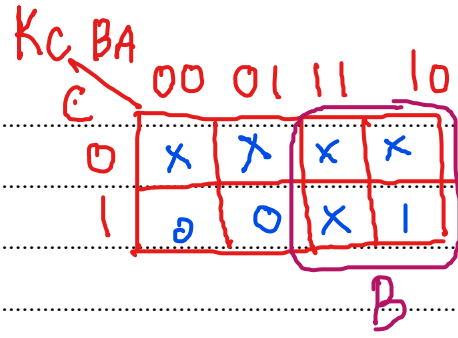
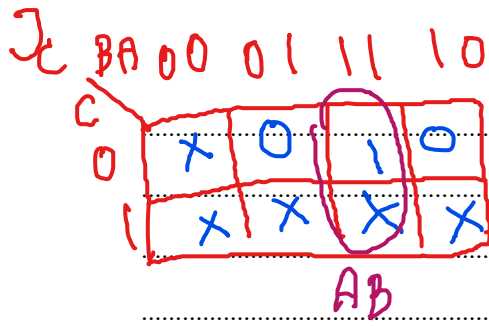
- ให้นักศึกษาออกแบบวงจรถอดรหัสเลขฐานสองขนาด 4 บิต ไปเป็นข้อมูลที่เข้าขับสัญญาณให้ตัว 7 segment คล้ายกับไอซี 7447/48 แต่กำหนดให้แก้ไขการแสดงผลเลข 9 จาก 9 ให้เป็น 9 ส่วนเลข 6 ยังคงเป็นเลขเดิม ไม่ใช่ 6 แล้วทดสอบการทำงานบนบอร์ด FPGA
- ให้นักศึกษาออกแบบวงจรนับขึ้นจาก 1 ไป 6 (1 2 3 4 5 6 1 . . .) แบบ Synchronous (1-to-6 Synchronous Counter) โดยทำทั้งแบบที่ใช้ JK Flip Flop และแบบที่ใช้ โมดูล Counter แล้วทดสอบการทำงานบนบอร์ด FPGA
 - สร้างตารางค่าการนับ (Output, State transition)
 - สร้างตารางความจริง (Truth Table) ของทุกๆ อินพุตของฟลิปฟล็อปทุกตัว
 - หาสมการอินพุตของฟลิปฟล็อปด้วยวิธีพีชคณิตบูลีนหรือ K-Map
 - วาดไดอะแกรมของวงจรบน ISE WebPack โดยใช้ JK Flip Flop มาต่อกัน
 - ทดสอบการโดยการ Download ลงบอร์ด FPGA
 - วาดไดอะแกรมของวงจรบน ISE WebPack โดยใช้ โมดูล Counter
 - ทดสอบการโดยการ Download ลงบอร์ด FPGA

C B A

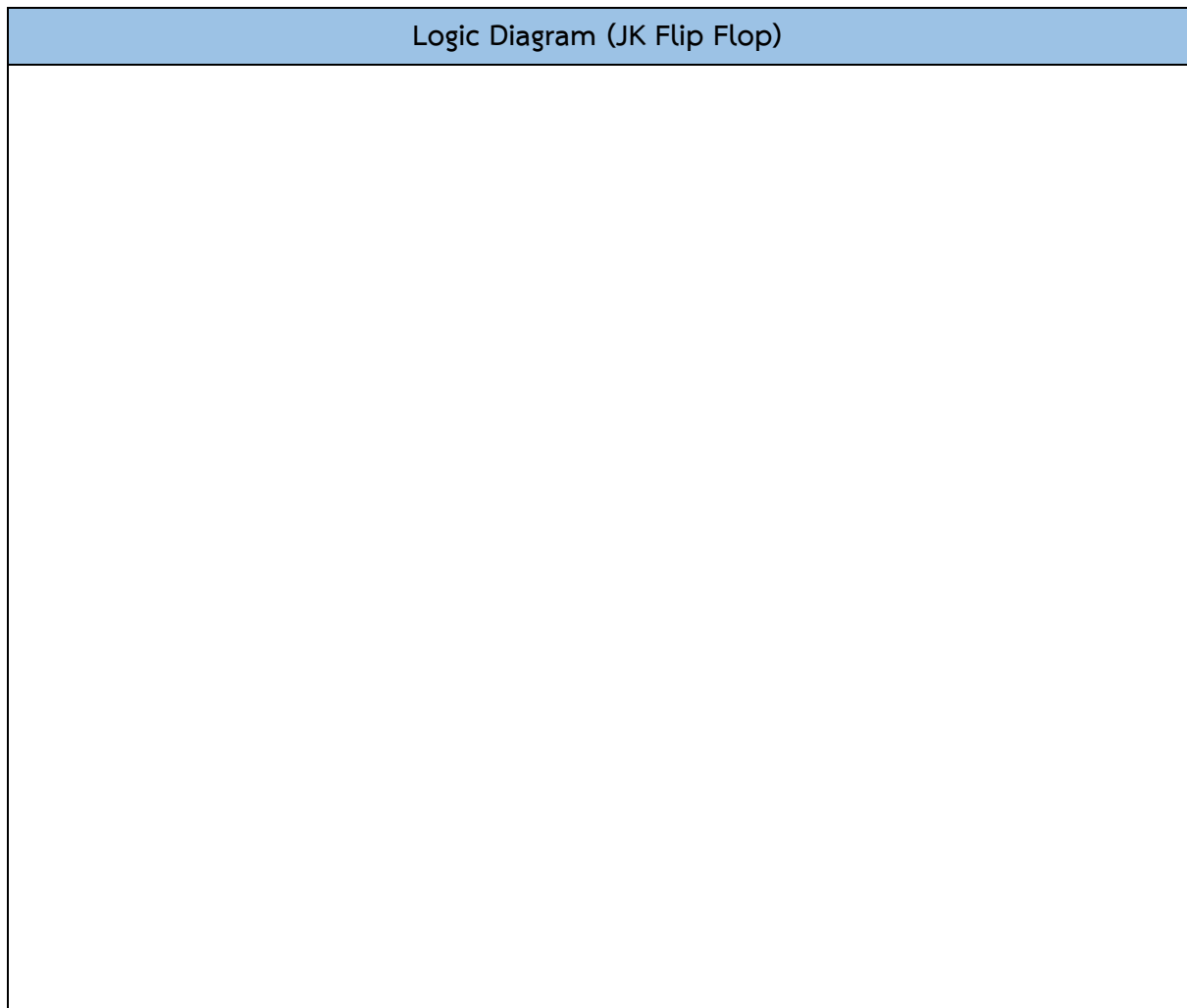
P.S	NS	J _C	K _C	J _B	K _B	J _A	K _A
001	010	0	x	1	x	x	1
010	011	0	x	x	0	1	x
011	100	1	x	x	1	x	1
100	101	x	0	0	x	1	x
101	110	x	0	1	x	x	1
110	001	x	1	x	1	1	x

Q _n	Q _{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

J	K	r
0	0	Q
0	1	0
1	0	1
1	1	Q



001
010
011
100
101
110



3. แก้ไขเพิ่มเติมวงจรนับในข้อ 2 โดยเพิ่ม การแสดงผลบน 7 segment โดยใช้วงจรถอดรหัสจากข้อ 1 แล้วแสดงผลบน 7 segment บน FGPA โดยต่อสัญญาณ Clock ของวงจรนับเข้ากับสวิทช์กดติดปล่อยดับ 1 ตัวบนบอร์ด FPGA
4. ทดสอบการทำงานให้สมบูรณ์ แล้วส่งตรวจ

ใบตรวจการทดลองที่ 5

วัน/เดือน/ปี _____ ☐ กลุ่มเช้า ☐ กลุ่มบ่าย ☐ กลุ่มเย็น กลุ่มที่ _____

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

☐ บันทึกคะแนนแล้ว

การทดลองข้อ 4 ลายเซ็นผู้คุมการทดลอง _____