

段階的な計算空間の最小化による 離散制御器合成における計算空間爆発抑制手法

山口 友輝 (22B30862) 指導教員：鄭 顕志

1 概要

本研究では、離散制御器合成における計算空間の爆発の課題に対処するため、LTS の等価性に基づく最小化を活用した合成手法を提案する。LTS の等価性とは、同じ事象列を再現できる LTS 同士を等価とみなす性質であり、この性質から離散制御器合成過程で構築された LTS は状態数が最小の等価 LTS へ変換することが可能である。本研究では、この最小化を離散制御器合成に導入することで、計算空間の削減を図る。

2 離散制御器合成を用いた動作仕様設計

事象の発生によりシステムの状態が離散的に遷移する離散事象システムの開発では、開発の早期段階である要件定義において安全性が保証された動作仕様を定めることが重要となる [1]。開発時に想定される動作環境下において安全性が保証された動作仕様を自動合成する技術として、離散制御器合成 [2] の研究が進められてきた。

離散制御器合成を用いた動作仕様設計は図 1 で示された手順で行われる [2]。はじめに、開発者はシステムの動作環境を仮定し、その特性を環境モデルとして Labelled Transition Systems (LTS) でモデル化する。次に、環境モデル下で保証すべき安全性を定義し、その安全性の充足状況を監視する監視モデルを LTS で作成する。最後に、環境モデルと監視モデルを入力として DCS を実施し、環境下で安全性が保証された動作仕様を表す LTS を制御器として自動合成する。

安全性が保証された動作仕様を定める技術としては、離散制御器合成以外にもモデル検査やソフトウェアテストが存在する。対して、離散制御器合成は、モデル検査やソフトウェアテストにおいて繰り返し手動で行われていた動作仕様策定と検証を自動化し、開発者の負担軽減と確実な安全性保証を実現する。

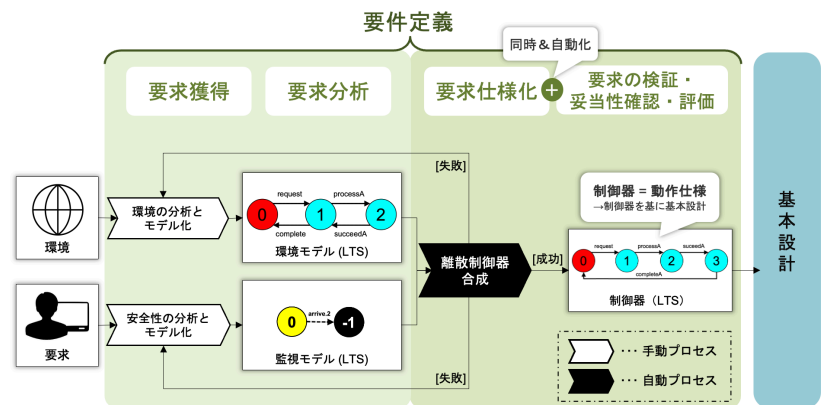


図 1: 離散制御器合成を用いた動作仕様策定

3 離散制御器合成における課題

しかし、離散制御器合成には計算空間が指数関数的に増加する課題があり、実践的な規模のシステム開発への適用を困難にしている。離散制御器合成は、制御器を合成する過程で環境モデルと監視モデルから安全性を満たす状態空間を分析するためのゲーム空間を構築する。ゲーム空間は、事象の同期を考慮した環境モデルと監視モデルの全状態の直積により状態を構築するため、各モデル数の増加に伴って状態数が指数関数的に増加する。このゲーム空間の指数関数的増加に伴って、要求される計算空間、計算時間、必要主記憶量も指数関数的に増加するため、離散制御器合成において計算空間の状態削減は重要な課題となっている。

4 LTS の等価性を考慮した離散制御器合成の計算空間削減

本研究では、離散制御器合成における計算空間爆発に対処するため、LTS の等価性を考慮した離散制御器合成の計算空間削減に取り組む。

LTS の等価性とは、ある LTS の初期状態から生成されるすべての事象列を、他の LTS でも再現できるときに、それらが等価であるとする関係である。図 2 にはモデル A、B と名付けられた二つの LTS が示されている。この時、二つの LTS は全く同じ挙動を表し、初期状態 0 から $a \rightarrow c \rightarrow d$ 、もしくは $b \rightarrow c \rightarrow d$ と遷移することで、状態 5 に到達する。この時、モデル A とモデル B は離散制御器合成を行うにあたって等価な LTS とされるが、LTS の状態数がモデル A で 6、モデル B で 4 と異なる。本研究では、この離散制御器合成における LTS の等価性に着目し、離散制御器合成過程で構築される計算空間において、等価な LTS のうち状態数最小となる LTS を扱うことで計算空間が削減できると考えた。

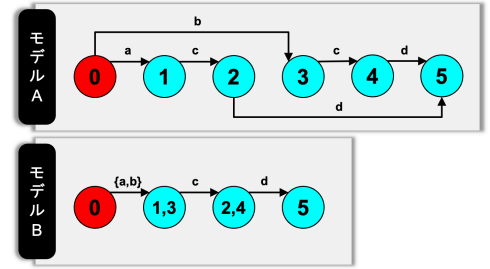


図 2: 等価な LTS

本研究では、ある LTS を状態数最小となる等価な LTS に変換する技術である最小化を、離散制御器合成技術のひとつである段階的離散制御器合成 [3] の計算空間構築過程で活用する。その概要が図 3 である。段階的離散制御器合成 [3] は、監視モデルごとに必要最小限の構成でゲーム空間の構築と分析を行う部分合成を提案した。そして、部分合成によって安全性を違反すると判明した状態を、他の監視モデルの部分合成において構築回避しつつ、段階的にゲーム空間を構築することで計算空間を削減する。本研究では、部分合成で合成された LTS に対して最小化を適用し、最小化で削減された状態を以降の部分合成で構築回避する。これにより、最大となる計算空間の状態数を削減し、段階的離散制御器合成から計算空間をさらに削減する。

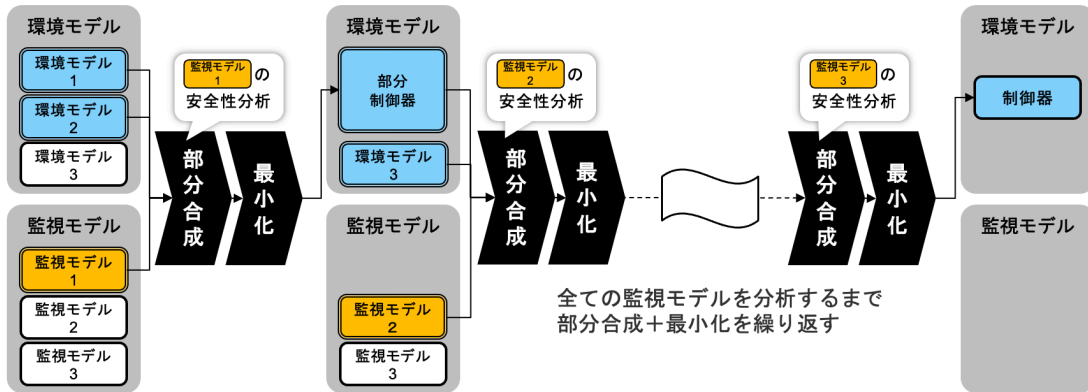


図 3: 計算空間の最小化を活用した段階的離散制御器合成

5 卒業論文までの研究計画

現在までに、提案手法の実装は概ね完了している。今後は、8 月中に本手法の有効性を検証するための評価実験を実施する予定である。評価結果をもとに、9 月にはソフトウェア工学分野の研究会である SIG-KBSE への論文投稿を目指す。論文が採択された場合、11 月に開催される同研究会において研究成果の発表を行う。12 月から翌年 1 月にかけては、これまでの研究内容を取りまとめ、卒業論文の執筆を進める計画である。

参考文献

- [1] 要求工学知識体系 REBOK: Requirements Engineering Body Of Knowledge, 第 1 版, 2011, 近代科学社
- [2] J. Magee and J. Kramer, *Concurrency: State Models and Java Programs*, 2006.
- [3] 山内拓人, 鄭顕志, 段階的な部分合成による離散制御器合成の分析空間削減, IEICE, Vol. J106-D, No. 4, pp. 218–230, 2023.