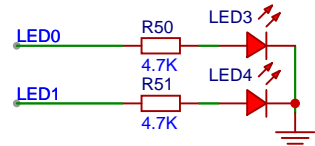

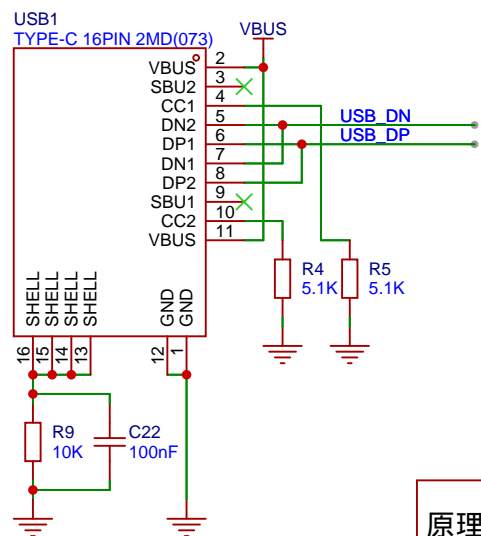
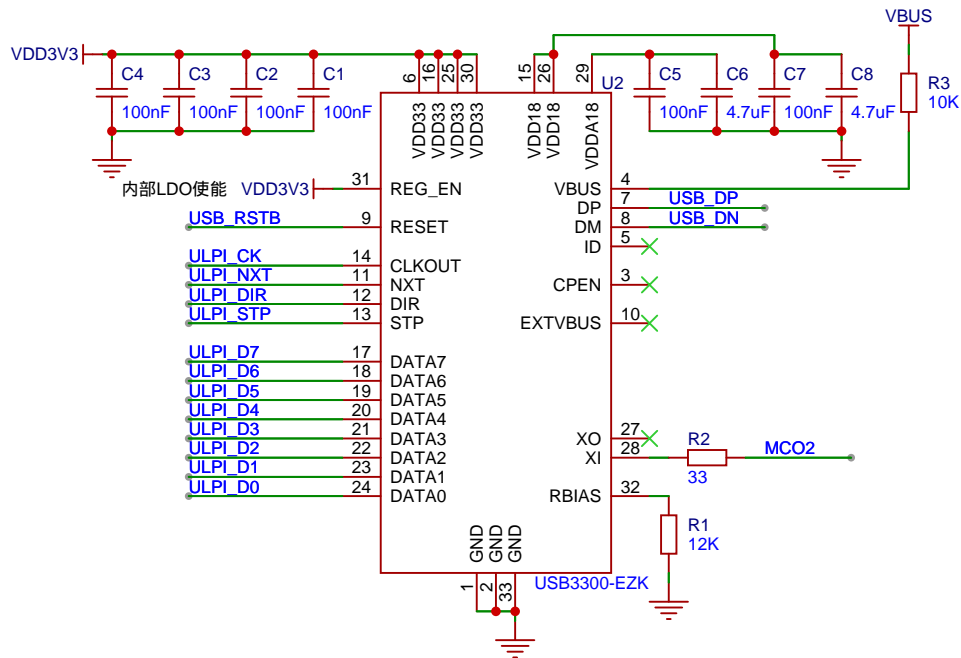


```
OPAMP2 GPIO Configuration
PE7 -----> OPAMP2_VOUT
PE9 -----> OPAMP2_VINP

USB_OTG_HS GPIO Configuration
PC0 -----> USB_OTG_HS_ULPI_STP
PC2_C -----> USB_OTG_HS_ULPI_DIR
PC3_C -----> USB_OTG_HS_ULPI_NXT
PA3 -----> USB_OTG_HS_ULPI_D0
PA5 -----> USB_OTG_HS_ULPI_CK
PB0 -----> USB_OTG_HS_ULPI_D1
PB1 -----> USB_OTG_HS_ULPI_D2
PB10 -----> USB_OTG_HS_ULPI_D3
PB11 -----> USB_OTG_HS_ULPI_D4
PB12 -----> USB_OTG_HS_ULPI_D5
PB13 -----> USB_OTG_HS_ULPI_D6
PB5 -----> USB_OTG_HS_ULPI_D7
```

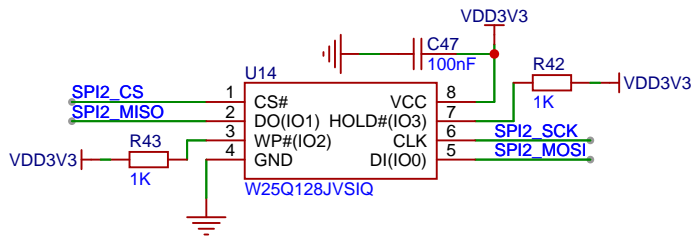


原理图	SCH_V6			创建日期	2025-07-07
				更新日期	2025-07-08
板子	V6			图页	MCU
绘制	NotLink_v6				
审阅					
		版本	尺寸	页    1    共    4	
		V1.0	A4	嘉立创EDA	



原理图	SCH_V6			创建日期	2025-07-07
板子	V6			更新日期	2025-07-07
绘制	NotLink_v6			图页	USB
审阅					
		版本	尺寸	页 2 共 4	
嘉立创EDA		V1.0	A4	嘉立创EDA	





原理图	SCH_V6			创建日期	2025-07-07
板子	V6			更新日期	2025-07-07
绘制		NotLink_v6			
审阅					
		版本	尺寸	页	4 共 4
嘉立创EDA		V1.0	A4	嘉立创EDA	