

Pin#	6809	6809E
33	<p>**DMA/BREQ[IN]**: DMA/BREQ 入力、図 12 に示すように、実行を一時停止し、MPU バスを別の用途のために使用するた めのものである。代表的な用途は、DMA やダイナミック・メモリ・リフレッシュである。</p> <p>DMA/BREQ の遷移は Q 中に発生する。このピンが L レベルになると現在のサイクルの最後で命令実行を停止する。MPU は BA と BS をハイレベルにすることにより DMA/BREQ を認識します。HD6809 で実行されたオートリフレッシュは HD6309 では実行されません。図 13 を参照してください。</p> <p>通常、DMA コントローラは E の立ち上がりエッジで DMA/BREQ 端子をロー・アサートしてバス の使用を要求し、MPU が BA、BS を 1 にして応答すると、そのサイクルは DMA コントローラにバスのマスタリ ングを移すためのデッド・サイクルとなる。</p> <p>BA が変化したサイクルで Low になるシステム DMÄVMA 信号を開発することで、デッドサイクル中の偽メモリアクセスを防ぐことができる。
BA が Low になる (DMA/BREQ が High になる) と、MPU がメモリにアクセスする前に別のデッド・サイクルが経過し、競合なしにバスのマスタシ ョンを転送できるようになる。</p> <p>DMA/BREQ 入力はリセット状態の間 High に接続する。</p>	<p>**BUSY[OUT]**: BUSY は、リード・モディファイ・ライト命令のリードサイクルおよびモディファイサイクル、ならびにダブルバイト演算 (LDX、STD、ADDD など) の最初のバイトのアクセス中に "High" になります。また、間接命令やその他のベクタフェッチ (ジャンプ拡張命令、SWI 間接命令など) の最初のバイトのアクセス中も ビジーは "High" になります。</p> <p>マルチプロセッサシステムでは、BUSY は、上記の動作の完全性を保証するために、次のバスサイクルの再調停を延期する必要性を示す。この違いにより、いくつかのリードモディファイライト命令のいずれかを使用して、「テストアンドセット」プリミティブに必要な分割不可能なメモリアクセスが提供される。</p> <p>BUSY は PSH または PUL 動作中にはアクティブにならない。</p> <p>典型的な読み出し-変更-書き込み命令 (ASL) を図 12 に示す。タイミング情報を図 13 に示す。ビジーは Q の立ち上がりエッジの tcp 後に有効になります。</p>
36	<p>**MRDY[IN]**: この入力制御信号により、E と Q を伸ばしてデータ・アクセス時間を延長することができます。MRDY が H の間、E と Q は正常に動作します。MRDY がローの時、E と Q はハーフ (1/2) バス・サイクルの整数倍で伸張することができ、図 11 に示すように低速メモリへのインターフェイスが可能になります。最大ストレッチは 5 マイクロ秒である。</p> <p>非有効メモリ・アクセス (VMA サイクル) の間、MRDY は E と Q の伸張に影響しない。これは、「don't care」バス・アクセスの間にプロセッサを遅くすることを抑制する。</p> <p>MRDY は、バス制御が (HALT や DMA/BREQ を使用して) 外部デバイスに転送された場合に、(低速メモリ用に) クロックをストレッチするために使用することもできる。</p> <p>MRDY はまた、デッドサイクル中に E と Q をストレッチします。</p>	<p>**AVMA[OUT]**: AVMA は Advanced VMA 信号で、MPU が次のバスサイクルでバスを使用することを示す。AVMA 信号の予測特性により、効率的な共有バスマルチプロセッサシステムが可能となる。AVMA は MPU が HALT または SYNC 状態の時に "Low" になります。AVMA は Q の立ち上がりエッジの tcp 後に有効となる。</p>
38	<p>**EXTAL[IN]**: これらの 2 つのピンは、並列抵抗基本水晶振動子、AT カットで接続されます。また、EXTAL ピンは、XTAL をフローティングにして外部タイミング用の TTL レベル入力として使用することもできます。水晶振動子または外部周波数はバス周波数の 4 倍です。図 4 を参照。プリント回路基板のレイアウトには、適切な RF レイアウト技術を遵守する必要があります。</p>	<p>**LIC[OUT]**: LIC (Last Instruction Cycle) は、各命令の最終サイクルで "High" となり、"High" から "Low" への遷移は、現バスサイクルの終了時にオペコードの先頭バイトがラッチされることを示す。LIC は、MPU が命令終了時に停止している時 (CWA I や RESET 中でない時)、SYNC 状態または割り込み中スタック中に "High" となる。LIC は Q の立ち上がりエッジから tcp 後に有効となる。</p>
39	<p>**XTAL[IN]**: 外部クロック使用時は OPEN にする。</p>	<p>**TSC[IN]**: TSC (スリーステートコントロール) は MOS アドレス、データ、R/W バッファをハイインピーダンス状態にする。制御信号 (BA、BS、BUSY、AVMA、LIC) はハイインピーダンス状態にならない。TSC は、1 つのバスを他のバスマスタ (プロセッサまたは DMA コントローラ) と共有できるようにするためのものである。</p> <p>E が "Low" の間、TSC はアドレスバッファと R/W を直接制御する。書き込み動作中のデータバスバッファは、Q が立ち上がるまでハイインピーダンス状態にある。TSC が E の立ち上がりエッジを超えて保持された場合、TSC は内部でラッチされ、バスドライバはバスサイクルの残りの期間、ハイインピーダンス状態を維持する。図 14 を参照。</p>