

一、填空题。

1. 流水线中的相关可以分为_____相关、_____相关、_____相关。

【答案】结构；数据；控制。

2. 五段流水线的指令执行步骤分别是取指令(IF)、_____、_____、_____、_____。

【答案】译码(ID)；执行(EXE)；访存(MEM)；写回(WB)。

3. 程序局部性原理包括_____局部性和_____局部性。

【答案】空间；时间。

4. I/O 通道的类型分别是_____、_____、_____。

【答案】字节多路通道；选择通道；数组多路通道。见 Lecture 41。

5. Cache 的缺失种类有：_____、_____、_____、无效缺失。

【答案】必然缺失；容量缺失；冲突缺失。

6. 16 位的 THINPAD 教学计算机的编址方式为_____，主存大小为_____（考虑 16 位地址空间，每个地址空间访问 16 位数据），与终端使用_____行接口通信，采用_____输入输出方式。

【答案】统一编址；128KB；串；程序直接控制。

7. 页式存储，在_____中设置_____进行虚实转换。

【答案】？

8. ALU 是通过_____逻辑电路实现的，其功能是_____。

【答案】组合；完成算术和逻辑运算。

9. Von Neumann 机中_____和_____均以二进制形式存放在存储器中。

【答案】指令；数据。

10. 在五级流水线中，有以下三条 MIPS-16E 指令：ADDU R1 R2 R1，ADDU R1 R3 R2，ADDIU R3 2。若不加入转发电路，则需要插入_____个气泡，如果加入转发电路需要_____个气泡。本题中的三条指令使用了_____和_____的寻址方式。

【答案】3；1；寄存器寻址；立即数寻址。

情形	1	2	3	4	5	6
无转发	IF	ID	EXE	MEM	WB	
		IF				ID
转发	IF	ID	EXE	MEM	WB	
		IF		ID	EXE	MEM

【思考】若本题采用四级流水线（无访存段）呢？

情形	1	2	3	4	5	6
无转发	IF	ID	EXE	WB		
		IF			ID	EXE
转发	IF	ID	EXE	WB		
		IF		ID	EXE	WB

二、选择题。

1. 以下哪个不是 Von Neumann 结构

- A. ENIAC B. IBM 360 C. PDP-1 D. Pentium

【答案】A。第一台电子计算机。

2. 布斯乘法中，是根据控制位和最低位的组合来判断功能的，若组合为 01 时，应该运算部分积

- A. +0 B. $+[x]_{\text{补}}$ C. $-[x]_{\text{补}}$ D. $+[2x]_{\text{补}}$

【答案】B

3. 不可用于解决控制冲突的是

- A. 插入等待 B. 延迟槽 C. 数据转发 D. 分支预测

【答案】C。数据转发用于解决数据冲突。

4. 假定不采用 Cache 和指令预取技术，且机器处于开中断状态，则在下列有关指令执行的叙述中，错误的是

- A. 每个指令周期中 CPU 都至少访问内存一次
B. 每个指令周期一定大于或等于一个 CPU 时钟周期
C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
D. 当前程序在每条指令执行结束时都可能被外部中断打断

【答案】C。每个指令周期 CPU 比如取值，一定会访存；每个指令周期一定大于或等于一个 CPU 时钟周期；由于开中断，当前程序在每条指令执行结束时都可能被外部中断打断。

5. 下列关于 USB 总线特性的描述中，错误的是

- A. 可实现外设的即插即用和热拔插
B. 可通过级联方式连接多台外设
C. 是一种通信总线，连接不同外设
D. 有 2 根数据线，可同时传输 2 位数据，数据传输率高

【答案】D

6. 响应中断的流程包含

- I. 存储 PC II. 保存所有通用寄存器 III. 恢复 PC
A. 仅 I, III B. 仅 I, II C. I, II, III D. 都不

【答案】A。II 由中断服务程序完成。

7. 一台有完整的层次储存器的 MIPS 计算机，LW 指令访存的最少次数为

- A. 0 B. 1 C. 2 D. 3

【答案】A。Cache 命中时无需访存。

8. Von Neumann 机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是

- A. 指令操作码的译码结果
B. 指令和数据的寻址方式
C. 指令周期的不同阶段
D. 指令和数据所在的存储单元

【答案】C。取指周期取出的是指令；执行周期取出的是数据。此外，也可根据取数和取指令时的地址来源不同来区分：指令地址来源于程序计数器 PC；数据地址来源于地址形成部件。

9. 直接映射 Cache 中，命中率最高的算法

- A. FIFO B. LRU C. RAND D. 都不对

【答案】B

10. 五个中断，响应优先级为 $0>1>2>3>4$ ，处理优先级为 $4>0>2>1>3$ ，问 1 的中断屏蔽字（顺序为 43210）

- A. 11110 B. 01101 C. 00011 D. 01010

【答案】D。比 1 的优先级高的有 4,0,2。

11. 下列关于 RISC 的说法错误的是

- A. 寻址简单 B. 指令格式规范 C. 指令功能简单 D. 一般采用微程序实现

【答案】D

12. 设计一个字长 16 位，容量为 32KW 的内存，需要用几片 $2K \times 8 \text{ bit}$ 的存储芯片

- A. 16 B. 32 C. 64 D. 128

【答案】B。 $32K \times 16 / (2K \times 8) = 32$ 。

13. 计算机的最小功能单元是

- A. 字节 B. 程序 C. 微操作 D. 指令

【答案】D

14. 下列关于 Cache 与 TLB 的描述中，哪个说法是错误的

- A. TLB 与 Cache 中保存的数据是不同的
B. TLB 缺失之后，有可能直接在 Cache 中找到页表内容
C. TLB 缺失会导致程序执行出错，但是 Cache 缺失不会
D. TLB 和 Cache 的命中率都与程序的访存模式有关

【答案】C。TLB 的作用是增加虚拟地址到物理地址的转换效率，TLB 缺失后仍然可以通过查询页表获得虚拟地址对应的物理地址。Cache 缺失后也可以在低等级存储中找到数据。

15. 下列有关 RAM 和 ROM 的叙述中，正确的是

- I. RAM 是易失性存储器，ROM 是非易失性存储器
II. RAM 和 ROM 都采用随机存取方式进行信息访问
III. RAM 和 ROM 都可用作 Cache
IV. RAM 和 ROM 都需要进行刷新

- A. 仅 I 和 II B. 仅 II 和 III C. 仅 I、II 和 IV D. 仅 II、III 和 IV

【答案】A。因为 ROM 不能用作 Cache，也不需要刷新操作，此 2 个选项是错的。

16. 相对于微程序控制器，硬布线控制器的特点是

- A. 指令执行速度慢，指令功能的修改和扩展容易
B. 指令执行速度慢，指令功能的修改和扩展难
C. 指令执行速度快，指令功能的修改和扩展容易
D. 指令执行速度快，指令功能的修改和扩展难

【答案】D

17. 下列关于中断 I/O 方式和 DMA 方式比较的叙述中，错误的是

- A. 中断 I/O 方式请求的是 CPU 处理时间，DMA 方式请求的是总线使用权
B. 中断响应发生在一条指令执行结束后，DMA 响应发生在一个总线事务完成后
C. 中断 I/O 方式下数据传送通过软件完成，DMA 方式下数据传送由硬件完成
D. 中断 I/O 方式适用于所有外部设备，DMA 方式仅适用于快速外部设备

【答案】D。解析：中断处理方式：在 I/O 设备输入每个数据的过程中，由于无需 CPU 干预，因而可使 CPU 与 I/O 设备并行工作。仅当输完一个数据时，才需 CPU 花费极短的时间去做些中断

处理。因此中断申请使用的是 CPU 处理时间，发生的时间是在一条指令执行结束之后，数据是在软件的控制下完成传送。而 DMA 方式与之不同。DMA 方式：数据传输的基本单位是数据块，即在 CPU 与 I/O 设备之间，每次传送至少一个数据块；DMA 方式每次申请的是总线的使用权，所传送的数据是从设备直接送入内存的，或者相反；仅在传送一个或多个数据块的开始和结束时，才需 CPU 干预，整块数据的传送是在控制器的控制下完成的。答案 D 的说法不正确。

18. 假设某计算机按字编址，Cache 有 4 个行，Cache 和主存之间交换的块为 1 个字。若 Cache 的内容初始为空，采用 2 路组相联映射方式和 LRU 替换算法。当访问的主存地址依次为 0,4,8,2,0,6,8,6,4,8 时，命中 Cache 的次数是

- A. 1 B. 2 C. 3 D. 4

【答案】C。第二次的 0, 8, 6 分别命中。第一次出现 8 时，把 4 替换成 8；最后一次出现 4 时，把 8 替换成 4；最后一次出现 8 时，把 4 替换成 8。

19. 某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有 33 个微命令，构成 5 个互斥类，分别包含 7、3、12、5 和 6 个微命令，则操作控制字段至少有

- A. 5 位 B. 6 位 C. 15 位 D. 33 位

【答案】C。

类型	编码空间
3	00~10
5	11 000 ~ 11 100
6	11101 000 ~ 11101 101
7	11101110 000 ~ 11101110 110
12	11101110111 0000 ~ 11101110111 1011

20. 下列选项中，在 I/O 总线的数据线上传输的信息包括

I. I/O 接口中的命令字 II. I/O 接口中的状态字 III. 中断类型号

- A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III

【答案】D

三、判断题。

1. 直接映射的 Cache 可以使用 LRU 或 FIFO 的替换方式。

【答案】错。直接映射的 Cache 在替换时无需考虑替换方式，因为只有一个备选可替换块。

2. 动态预测可以增加 Cache 命中率。

【答案】错。动态分支预测与 Cache 命中率无关。

3. 段式虚存中的段表存有段长信息，可以检查是否访问地址越界。

【答案】对。

4. 加减交替法可以实现一位原码除法，比恢复余数法硬件实现简单。

【答案】对。当余数大于 0 时，两者都商 1，余数左移一位，下次减去除数；当余数小于 0 的时候，用恢复余数法需要先恢复余数（加上除数），余数左移一位，下次减去除数；但是用加减交替法时，余数左移一位，下次加上除数。故后者的步骤更少，无需特判是否需要恢复余数，实现更简单。

5. 分页系统中增加 TLB 可以提高命中率。

【答案】错。TLB 不能提高命中率，只能加速页表的查询。

6. 容量为 128 字节、采用直接映射方式 Cache 的缺失率和容量为 64 字节、采用 2 路组相联映射方式 Cache 的缺失率相当。

【答案】对。见 Lecture 33 的经验公式。

7. 奇偶校检可以发现并纠正一位错误。

【答案】错。不能纠正。

8. 硬盘不同的磁记录方式对于存储容量没有影响。

【答案】错。

9. FLASH 和 SRAM 一样都是电易失性存储器。

【答案】错。Flash 不是。

10. DMA 可以提高硬盘到内存的载入速率。

【答案】对？

四、简答题。

1. 数据旁路的含义和目的？

【答】含义：在主数据通路外，增设特殊的通路将结果尽快传送到需要使用它的位置。目的：解决数据冲突。

2. 什么是总线？总线仲裁是什么？总线仲裁的两种方式为？

【答】总线是用于连接计算机多个子系统的共享的信息通道。总线仲裁是多个设备需要使用总线时，如何安排总线。总线仲裁的两种方式为集中仲裁和分布仲裁。

3. 什么是流水线中的结构冲突？MIPS 中在哪些流水阶段中会发生结构冲突？对应的解决途径都有哪些？

【答】结构冲突是指令在重叠执行的过程中，硬件资源满足不了指令重叠执行的要求而产生的冲突。MIPS 在取值和访存段会发生结构冲突，可以通过暂停流水线执行或者增加资源（把指令内存与数据内存分开）的方式解决资源冲突。

4. 除了采用高速芯片外，分别指出存储器、运算器、控制器和 I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。

【答】存储器：采用多体交叉存储器；运算器：采用快速进位链；控制器：采用指令流水；I/O 系统：采用 DMA 方式。

5. 在 DMA 方式中，CPU 和 DMA 接口分时使用主存有几种方法？简要说明其原理和特点。

【答】（1）停止 CPU 访问主存。这种方法 DMA 在传送一批数据时，独占主存，CPU 放弃了地址线、数据线和有关控制线的使用权。在一批数据传送完毕后，DMA 接口才把总线的控制权交回给 CPU。显然，这种方法在 DMA 传送过程中，CPU 基本处于不工作状态或保持原状态。

（2）周期挪用。这种方法 CPU 按程序的要求访问主存，一旦 I/O 设备有 DMA 请求，则由 I/O 设备挪用一個存取周期。此时 CPU 可完成自身的操作，但要停止访存。显然这种方法既实现了 I/O 传送，又较好地发挥了主存和 CPU 的效率，是一种广泛采用的方法。

6. 指令和数据均存放在内存中，计算机如何从时间和空间上区分它们是指令还是数据？

【答】时间上根据所处的阶段是取指还是访存区分；空间上指令和数据分开存放。

7. 请说明指令周期、机器周期、时钟周期之间的关系。

【答】时钟周期是最基本的时间单位，一般是 10ns；机器周期是读一条指令最少的时间，一般是 12 倍的时钟周期；指令周期是读出指令并且执行指令的时间，一般是几个机器周期。

五、综合分析题。

1. 硬盘的寻道时间是 8ms，转速为 7200RPM，传输速率 5MB/s，每个磁道有 64 个盘区，每个盘区大小 512 字节，控制器延迟为 1.5ms。求：

- (1) 读单盘区的时间；
- (2) 读连续的 8KB 的时间；
- (3) 假如我们有 4 个磁盘能并行的读出数据，那么读取 32KB 需要多少时间？

【解】7200RPM=120RPS，平均旋转时间为 $1000/120/2 = 4.17\text{ms}$ 。

(1) $8 + 1.5 + 4.17 + 0.5 / 5 = 13.77 \text{ (ms)}$

(2) $8 + 1.5 + 4.17 + 8 / 5 = 15.27 \text{ (ms)}$

(3) $32\text{KB} / 4 = 8\text{KB}$ ；15.27 ms

2. 某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为16MB，主存（物理）地址空间大小为1MB，页面大小为4KB；Cache 采用直接映射方式，共8 行；主存与Cache 之间交换的块大小为32B。系统运行到某一时刻时，页表的部分内容和Cache 的部分内容分别如题44-a 图、题44-b 图所示，图中页框号及标记字段的内容为十六进制形式。请回答下列问题。

虚页号	有效位	页框号	...
0	1	06	...
1	1	04	...
2	1	15	...
3	1	02	...
4	0	-	...
5	1	2B	...
6	0	-	...
7	1	32	...

题 44-a 图页表的部分内容

行号	有效位	标记	...
0	1	020	...
1	0	-	...
2	1	01D	...
3	1	105	...
4	1	064	...
5	1	14D	...
6	0	-	...
7	1	27A	...

题 44-b 图 Cache 的部分内容

(1) 虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？

(2) 使用物理地址访问Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。

(3) 虚拟地址001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的 物理地址是什么？访问该地址时是否Cache 命中？要求说明理由。

(4) 假定为该机配置一个4路组相联的TLB 共可存放8个页表项，若其当前内容（十六进制）如题44-c图所示，则此时虚拟地址024BACH所在的页面是否存在主存中？要求说明理由。

组号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号
0	0	-	-	1	001	15	0	-	-	1	012	1F
1	1	013	2D	0	-	-	1	008	7E	0	-	-

题44-c 图 TLB 的部分内容

【解答】（1）24 位、前12 位；20 位、前8 位。

16M=224 故虚拟地址 24 位, 4K=212, 故页内地址 12 位, 所以虚页号为前 12 位; 1M=220 故物理地址 20 位, $20-12=8$, 故前 8 位为页框号。

(2) 主存字块标记 (12bit)、cache 字块标记 (3bit)、字块内地址 (5bit)

物理地址 20 位, 其中, 块大小为 32B=25B 故块内地址 5 位; cache 共 8 行, $8=2^3$, 故字块标记为 3 位; $20-5-2=12$, 故主存字块标记为 12 位。

(3) 在主存中, 04C60H, 不命中, 没有 04C 的标记字段

001C60H 中虚页号为 001H=1, 查页表知其有效位为 1, 在内存中; 该物理地址对应的也表项中, 页框号为 04H 故物理地址为 04C60H; 物理地址 04C60H 在直接映射方式下, 对应的行号为 4, 有效位为 1 但是标记位为 064H≠04CH 故不命中。

(4) 在 012 的那个标记是对的。

思路: 标记 11 位组地址 1 位页内地址 12 位, 前 12 位为 0000 0010 0100, 组地址位为 0, 第 0 组中存在标记为 012 的页, 其页框号为 1F, 故 024BACH 所在的页面存在主存中。

3. 某计算机的主存地址空间大小为 256 MB, 按字节编址。指令 Cache 和数据 Cache 分离, 均有 8 个 Cache 行, 每个 Cache 行大小为 64 B, 数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B, 其伪代码如下所示:

程序 A:

```
int a [256][256];
```

```
...
```

```
int sum_array1()
```

```
{
```

```
    int i, j, sum = 0;
```

```
    for (i = 0; i < 256; i++)
```

```
        for (j = 0; j < 256; j++)
```

```
            sum += a[i][j];
```

```
    return sum;
```

```
}
```

程序 B:

```
int a [256][256];
```

```
...
```

```
int sum_array2()
```

```
{
```

```
    int i, j, sum = 0;
```

```
    for (j = 0; j < 256; j++)
```

```
        for (i = 0; i < 256; i++)
```

```
            sum += a[i][j];
```

```
    return sum;
```

```
}
```

假定 int 类型数据用 32 位补码表示, 程序编译时 i, j, sum 均分配在寄存器中, 数组 a 按行优先方式存放, 其首地址为 320 (十进制数)。请回答下列问题, 要求说明理由或给出计算过程。

(1) 若不考虑用于 Cache 一致性维护和替换算法的控制位, 则数据 Cache 的总容量为多少?

(2) 数组元素 a[0][31] 和 a[1][1] 各自所在的主存块对应的 Cache 行号分别是多少 (Cache 行号从 0 开始)?

(3) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短?

【答案】

(1) 数据 Cache 的总容量为: 4256 位 (532 字节)。

(2) 数组 a 在主存的存放位置及其与 Cache 之间的映射为:

a[0][31] 所在主存块映射到 Cache 第 6 行,

a[1][1] 所在主存块映射到 Cache 第 5 行。

(3) 编译时 i, j, sum 均分配在寄存器中, 故数据访问命中率仅考虑数组 a 的情况。

① 程序 A 的数据访问命中率为 93.75%;

② 程序 B 的数据访问命中率为 0。

程序 A 的执行比程序 B 快得多。

【解析】

(1) 主存容量 256MB，按字节寻址的地址位数应为 28 位，数据 Cache 分为 8 行（用 3 位地址），每行 64B（用 6 位地址），因此 Cache 中每个字块的 Tag 字段的位数应是 $28-9=19$ 位，还要使用一个有效位，二者合计为 20 位；因此数据 Cache 的总容量应为： $64B \times 8 + (20/8 \times 8)B = 532B$ 。

(2) 数组 a 在主存的存放位置及其与 Cache 之间的映射关系如下图所示。

数组 A[0][31] 所在的主存块对应的 Cache 行号是：

$$(320 + 31 \times 4) \div 64 = 6,$$

数组 A[1][1] 所在主存块对应的 Cache 行号：

$$((320 + 256 \times 4 + 1 \times 4) \div 64) \bmod 8 = 5。$$

所以 a[0][31] 所在主存块映射到 Cache 第 6 行，

a[1][1] 所在主存块映射到 Cache 第 5 行。

(3) 编译时 i, j, sum 均分配在寄存器中，故数据访问命中率仅考虑数组 a 的情况。

① 这个程序的特点是数组中的每一个 int 类型的数据只被使用一次。数组 A 按行优先存放，数据 Cache 正好放下数组半行中的全部数据，即数据的存储顺序与使用次序有更高的吻合度，每个字块存 16 个 int 类型的数据，访问每个字块中头一个字不会命中，但接下来的 15 个字都会命中，访问全部字块都符合这一规律，命中率是 $15/16$ ，即程序 A 的数据访问命中率为 93.75%；

② 而程序 B 是按照数组的列执行外层循环，在内层循环过程中，将连续访问不同行的同一列的数据，不同行的同一列数据使用的是同一个 Cache 单元，每次都不会命中，命中率是 0，程序执行特别慢。

根据上述计算出的命中率，得出程序 B 每次取数都要访问主存，所以程序 A 的执行比程序 B 快得多。

4. 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：

15	11	10	9	8	7	0
00000		C	Z	N	OFFSET	

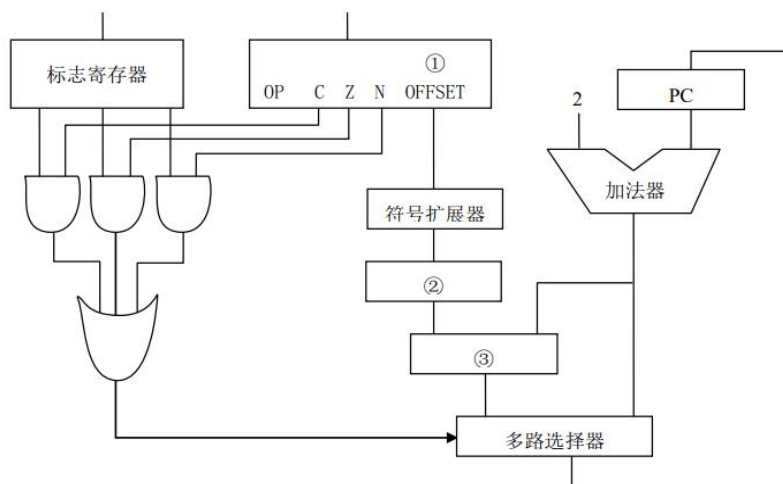
其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志，需检测的标志位中只要有一个为 1 就转移，否则不转移，例如，若 $C=1, Z=0, N=1$ ，则需检测 CF 和 NF 的值，当 $CF=1$ 或 $NF=1$ 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $PC+2+2 \times \text{OFFSET}$ ；顺序执行时，下条指令地址为 $PC+2$ 。请回答下列问题。

(1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后最多可跳转多少条指令？

(2) 某条件转移指令的地址为 200CH，指令内容为 00000 011 11100011，若该指令执行时 $CF=0, ZF=0, NF=1$ ，则该指令执行后 PC 的值是多少？若该指令执行时 $CF=1, ZF=0, NF=0$ ，则该指令执行后 PC 的值又是多少？请给出计算过程。

(3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？

(4) 以下是该指令对应的数据通路示意图，要求给出图中部件①~③的名称或功能说明。



【参考答案】

(1) 因为指令长度为16位，且下条指令地址为PC+2，故编址单位是字节。

偏移OFFSET为8位补码，范围为-128~127，故相对于当前条件转移指令，向后最多可跳转127条指令。

(2) 指令中C=0，Z=1，N=1，故应根据ZF和NF的值来判断是否转移。当CF=0，ZF=0，NF=1时，需转移。已知指令中偏移量为1110 0011B=E3H，符号扩展后为FFE3H，左移一位（乘2）后为FFC6H，故PC的值（即转移目标地址）为200CH+2+FFC6H=1FD4H。

当CF=1，ZF=0，NF=0时不转移。PC的值为：200CH+2=200EH。

(3) 指令中的C、Z和N应分别设置为C=Z=1，N=0。

(4) 部件①：指令寄存器（用于存放当前指令）；部件②：移位寄存器（用于左移一位）；部件③：加法器（地址相加）。

5. 某16位计算机中，带符号整数用补码表示，数据Cache和指令Cache分离。题44表给出了指令系统中部分指令格式，其中Rs和Rd表示寄存器，mem表示存储单元地址，(x)表示寄存器x或存储单元x的内容。

题44表：指令系统中部分指令格式

名称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	(Rs)+(Rd)->Rd
算术/逻辑左移	SHL Rd	2*(Rd)->Rd
算术右移	SHR Rd	(Rd)/2->Rd
取数指令	LOAD Rd, mem	(mem)->Rd
存数指令	STORE Rs, mem	Rs->(mem)

该计算机采用5段流水方式执行指令，各流水段分别是取指（IF）、译码/读寄存器（ID）、执行/计算有效地址（EX）、访问存储器（M）和结果写回寄存器（WB），流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题。

(1) 若int型变量x的值为-513，存放在寄存器R1中，则执行“SHL R1”后，R1中的内容是多少？（用十六进制表示）

(2) 若在某个时间段中，有连续的4条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这4条指令所需的时钟周期数为多少？

(3) 若高级语言程序中某赋值语句为 $x=a+b$, x 、 a 和 b 均为 `int` 型变量, 它们的存储单元地址分别表示为 $[x]$ 、 $[a]$ 和 $[b]$ 。该语句对应的指令序列及其在指令流中的执行过程如题 44 图所示。

```

I1 LOAD R1, [a]
I2 LOAD R2, [b]
I3 ADD R1, R2
I4 STORE R2, [x]

```

	时间单元													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I1	IF	ID	EX	M	WB									
I2		IF	ID	EX	M	WB								
I3			IF				ID	EX	M	WB				
I4							IF				ID	EX	M	WB

题 44 图 指令序列及其执行过程示意图

请解释为什么 I3 的 ID 段被阻塞? 为什么 I4 的 IF 段被阻塞?

(4) 若高级语言程序中某赋值语句为 $x=x*2+a$, x 和 a 均为 `unsigned int` 类型变量, 它们的存储单元地址分别表示为 $[x]$ 、 $[a]$, 则执行这条语句至少需要多少个时钟周期? 要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

【解析】

(1) x 的机器码为 $[x]$ 补 $=1111\ 1101\ 1111\text{B}$, 即指令执行前 $(R1)=\text{FDFFH}$, 右移 1 位后位 $1111\ 1110\ 1111\ 1111\text{B}$, 即指令执行后 $(R1)=\text{FEFFH}$ 。

(2) 至少需要 $4+(5-1)=8$ 个时钟周期数。

(3) I3 的 ID 段被阻塞的原因: 因为 I3 与 I1 和 I2 都存在数据相关, 需等到 I1 和 I2 将结果写回寄存器后, I3 才能读寄存器内容, 所以 I3 的 ID 段被阻塞。I4 的 IF 段被阻塞的原因: 因为 I4 的前一条指令 I3 在 ID 段被阻塞, 所以 I4 的 IF 段被阻塞。

(4) 因 $2*x$ 操作有左移和加法两种实现方法, 故 $x=x*2+a$ 对应的指令序列为

```

I1 LOAD    R1, [x]
I2 LOAD    R2, [a]
I3 SHL     R1           //或者 ADD    R1, R1
I4 ADD     R1, R2
I5 STORE   R2, [x]

```

这 5 条指令在流水线中执行过程如下图所示。

	时间单元																
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
I1	IF	ID	EX	M	WB												
I2		IF	ID	EX	M	WB											
I3			IF			ID	EX	M	WB								
I4						IF				ID	EX	M	WB				
I5										IF				ID	EX	M	WB

故执行 $x=x*2+a$ 语句最少需要 17 个时钟周期。

6. 一条双字长的取数指令(LDA)存于存储器的 100 和 101 单元, 其中第一个字为操作码和寻址特征 M, 第二个字为形式地址。假设 PC 当前值为 100, 变址寄存器 XR 的内容为 100, 基址寄存器的内容为 200, 存储器各单元的内容如下图所示。写出在下列寻址方式中, 取数指令执行结束后, 累加器 AC 的内容。

100	LDA	M		
101	300		寻址方式	AC 内容
102			(1) 直接寻址	
	⋮			
300	800		(2) 立即寻址	
	⋮			
			(3) 间接寻址	
400	700			
401	400		(4) 相对寻址	
402	500			
	⋮		(5) 变址寻址	
500	200			
	⋮		(6) 基址寻址	
800	600			

【答案】800; 300; 600; 500; 700; 200。

7. 假定有两个用来存储10TB数据的RAID系统。系统A使用RAID1技术，系统B使用RAID5技术。

(1) 系统A需要比系统B多用多少存储量？

(2) 假定一个应用需要向磁盘写入一块数据，若磁盘读或写一块数据的时间为30ms，则最坏情况下，在系统A和系统B上写入一块数据分别需要多长时间？

(3) 那个系统更可靠？为什么？

【参考答案】

(1) 系统A使用RAID1技术，所以存储10TB数据的情形下要使用20TB的磁盘。系统B使用RAID5技术，假设是使用5个磁盘阵列，那么10TB的数据需要2.5TB的磁盘来存放冗余的奇偶校验数据，所以系统A要比系统B多用7.5TB存储量。

(2) 系统A的写入速度取决于原磁盘和备份磁盘中速度慢的一块，但两个磁盘并行写。因为写一块数据的时间都是30ms，故系统A写入一块数据的时间是30ms。系统B在写入一块数据后可能要更改相关的校验数据，冗余数据分布在不同磁盘上，所以最坏的情况下，写一块数据的时间为2次读和2次写，即所用时间为 $4 \times 30 = 120\text{ms}$ 。

假定考虑一个有5个磁盘的阵列，且假设要写入的数据在磁盘X0上的块0，则与之相关的数据为X1到X3上的块1-3，以及X4中的奇偶校验数据P(0-3)，

可知： $p(i) = X3(i) \oplus X2(i) \oplus X1(i) \oplus X0(i)$

写操作后，可能改变的情况如下：

$P'(i) = X3(i) \oplus X2(i) \oplus X1(i) \oplus X'0(i)$

$\oplus X0(i) \oplus X0(i)$

化简后得到： $p'(i) = p(i) \oplus X0(i) \oplus X'0(i)$

(3) 相对来说系统A更可靠一些，因为系统对整个磁盘进行了完整备份，所以只有互为镜像的两个盘上的对应数据都损坏时才不能恢复；而系统B是分散记录了原数据的部分冗余信息，如果其中两个磁盘的相同位都损坏了就恢复不出来了。

8. 若某计算机有5级中断，中断响应优先级为 $1>2>3>4>5$ ，而中断处理优先级为 $1>4>5>2>3$ 。要求：

(1) 设计各级中断处理程序的中断屏蔽位（假设1为屏蔽，0为开放）；

(2) 若在运行主程序时，同时出现第2、4级中断请求，而在处理第2级中断过程中，又同时出现1、3、5级中断请求，试分析此程序的运行过程。

【参考答案】

(1) 如表所示

中断	屏蔽字
1	11111
2	01100
3	00100
4	01111
5	01101

(2) 在运行用户程序时，同时出现2、4级，因为用户程序对所有中断都开放，所以，(1)关中断，在中断响应优先级排队电路中，有2、4两级中断进行排队判优，根据中断响应优先级 $2>4$ ，因此先响应2级中断。在CPU执行2级中断服务程序过程中，首先保护现场、保护旧屏蔽字、设置新的屏蔽字01100，(2)在中断处理前先开中断。一旦开中断，则马上响应4级中断，因为2级中断处理优先级低于4级中断。则响应并处理4级中断，结束后才回到2级中断服务程序执行；(3)在处理2级中断过程中（此时开中断状态），同时发生了1、3、5级中断，因为2级中断对1、5级中断开放，对3级中断屏蔽，所以只有1和5两级中断进行排队判优，根据中断响应优先级 $1>5$ ，所以先响应1级中断。因为1级中断处理优先级最高，所以在其处理过程中不会响应任何新的中断请求，直到1级中断处理结束，然后返回2级中断；(4)因为2级中断对5级中断开放，所以在2级中服务程序中执行一条指令后，又转去执行5级中断服务程序，执行完后回到2级中断，(5)在2级中断服务程序执行过程中，虽然3级中断有请求，但是，因为2级中断对3级中断不开放，所以，3级中断一直得不到响应。直到2级中断处理完回到用户程序，才能响应并处理3级中断。