

TP1 : Compte Rendu

Bistable RS :

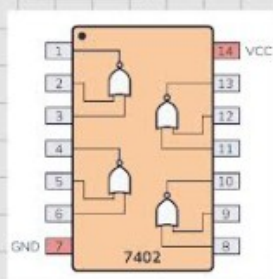
P2:

Bistable RS:

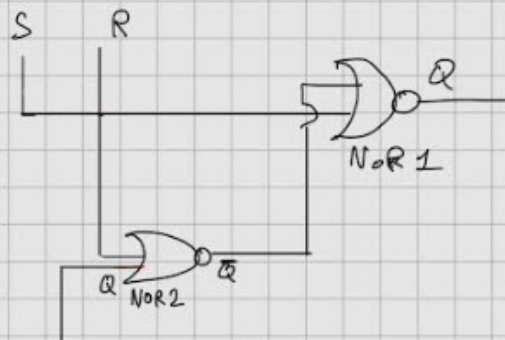
① Table d'Etat du Bistable RS:

R (reset)	S (set)	Q	\bar{Q}	Etat
0	0	Q	\bar{Q}	memoire
0	1	1	0	set
1	0	0	1	reset
1	1	0	0	Interdit $Q = \bar{Q} = 0$ (instable)

② 74HC02:



=>



③ CMOS

→ 74HC02

Technologie → Complementary Metal

Oxide - Semi conductor

Transistors → MOSFET (canal N et P)

Consommation → Très faibles (statique ~ nA)

Tension → 2V à 6V (souvent 3.3V ou 5V)

Vitesse → Rapide (t_{HC}: 8ns), très rapide (t_C)

Fan out → Élevé (>50)

Densité → Très élevée

coût → Bas

Utilisation → circuits modernes, portables, basse consommation.

TTL

→ 74LS02

→ Transistor - Transistor Logic

→ Bipolaires (NPN, PNP)

→ Élevée (à mA)

→ 5V fixe

→ Standard (LS: 3ns)

→ Limité (10-20)

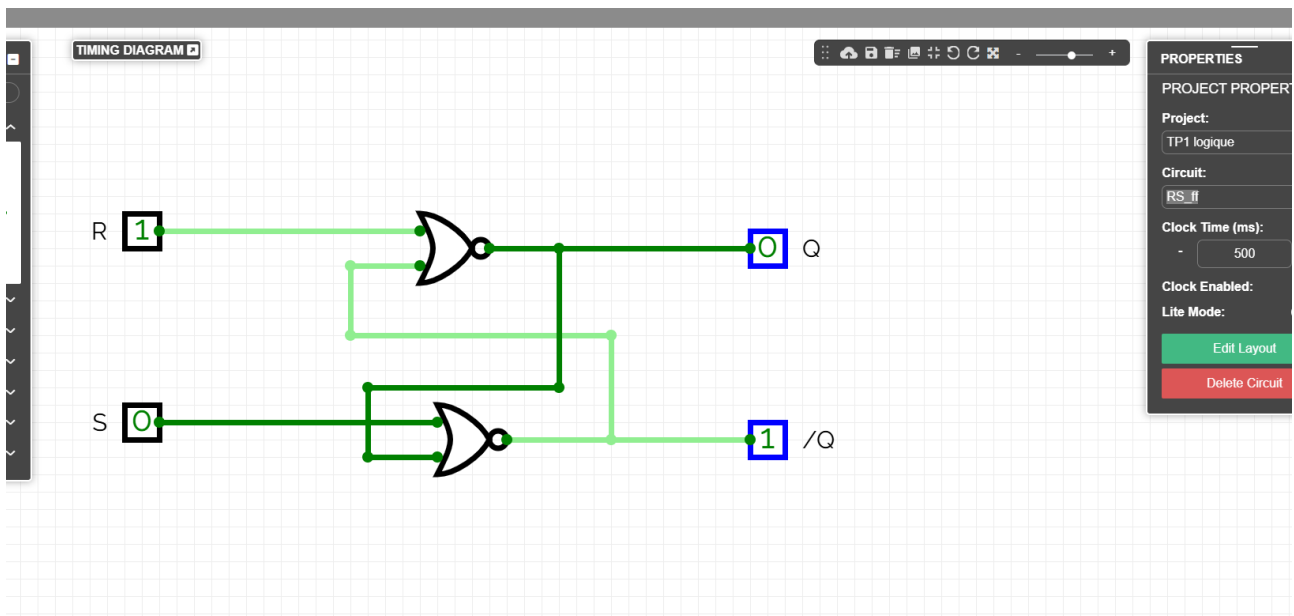
→ Moyenne

→ Historiquement bas

→ Anciens systèmes, industriels.

6 /Menu **Circuit** → **New Cricuit +**, réaliser l'interconnexion d'un bistable RS et nommer ce circuit comme *RS_ff*. On aura besoin de ce composant pour le reste de ce TP.

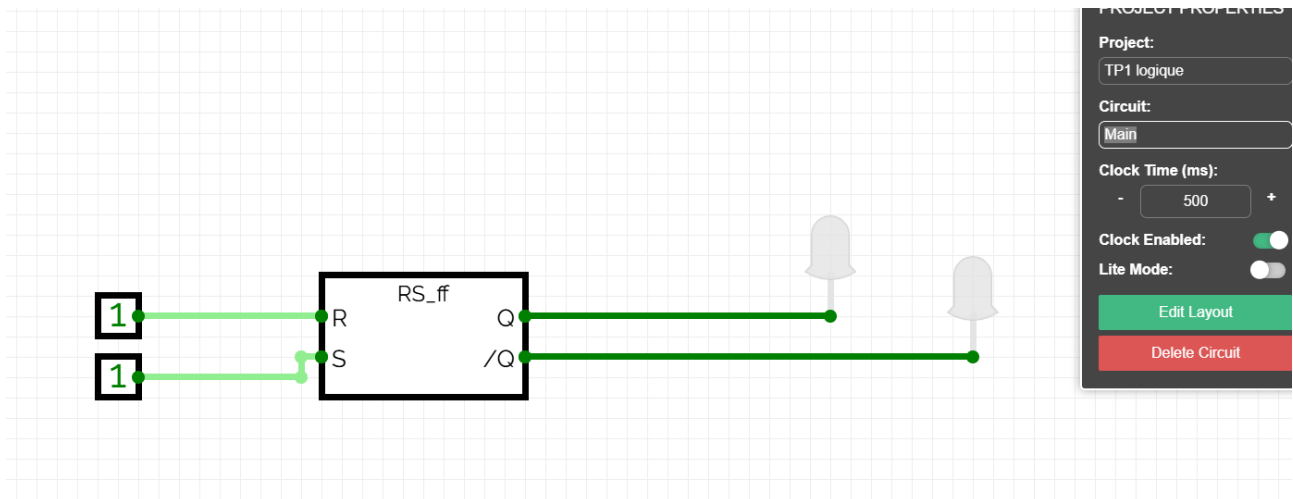
RS_ff :



7/ On voit apparaître le circuit *RS_ff* dans la barre des circuits. Dans la fenêtre *Main*, menu **Circuit** → **Insert SubCircuit** et choisir *RS_ff*.

8/ Ajouter des entrées puis des led aux sorties comme sur la figure.

Main :

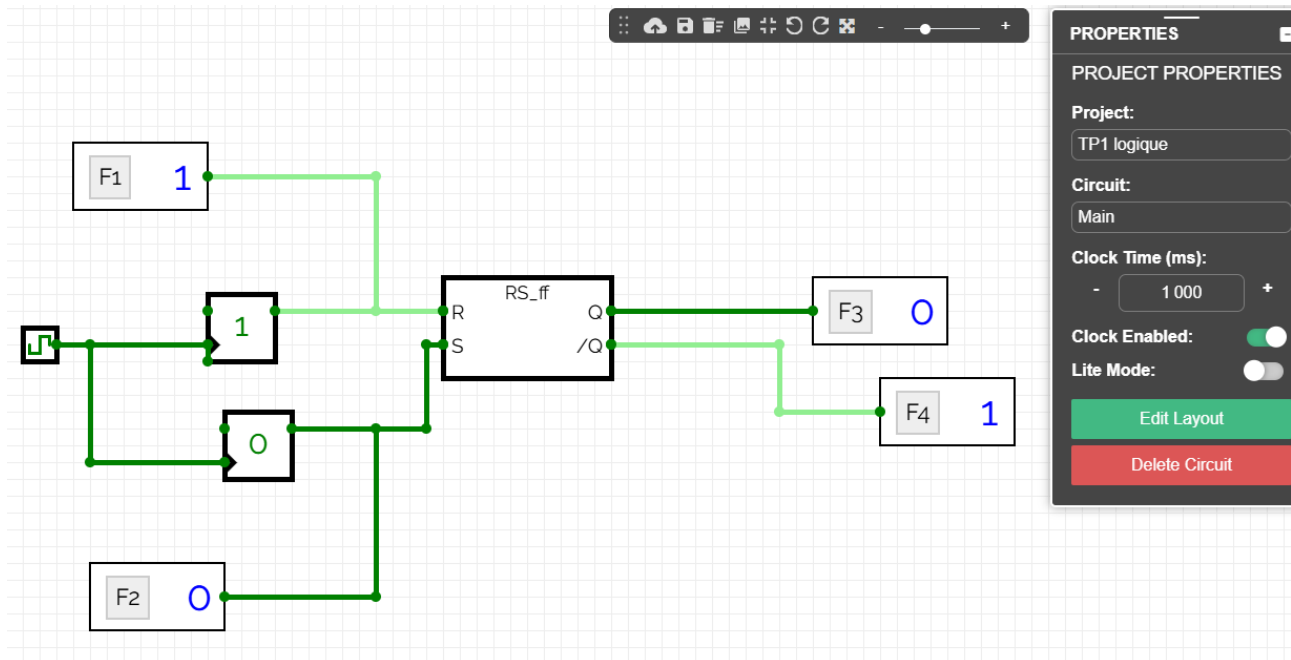


9 / Contrairement à un circuit combinatoire, un circuit séquentiel dépend des entrées mais aussi de l'état présent (noté Q) pour définir son état futur (noté Q^+). En manipulant les entrées R et S et en regardant les deux led de sortie, remplir la table suivante (Télécharger les tables de ce TP à partir de ce [lien](#)):

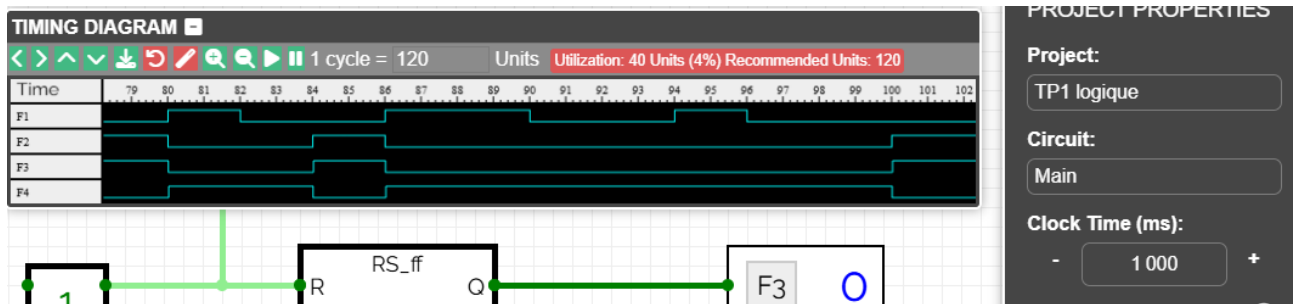
3. Dans la fenêtre *Main*, et en suivant la même procédure que pour le circuit bistable RS, étudier la table de vérité et le timing.

clk	D	Q	Q^+	$/Q^+$
0	0	0	0	1
1	0	0	0	1
0	0	1	1	0
1	0	1	1	0
0	1	0	0	1
1	1	0	1	0
0	1	1	1	0
1	1	1	1	0

11/ Dans la fenêtre *Main*, remplacer les entrées *R* et *S* par des composants *Random* pour avoir des entrées aléatoires. On ajoute une horloge *Clock* pour définir une base de temps pour le diagramme de timing. On définit la période d'horloge **Clock Time (ms)=1000**. Ajouter des *Flag* pour obtenir un diagramme de timing. L'interconnexion ressemblera un la figure suivante.



12/ Dans la barre **Timing Diagram**, changer la valeur **1 cycle=120 Units**. Cliquer sur **pause**, prendre une capture d'image. Commenter le diagramme timing obtenu (un exemple de résultat est illustré dans la figure ci-dessous).

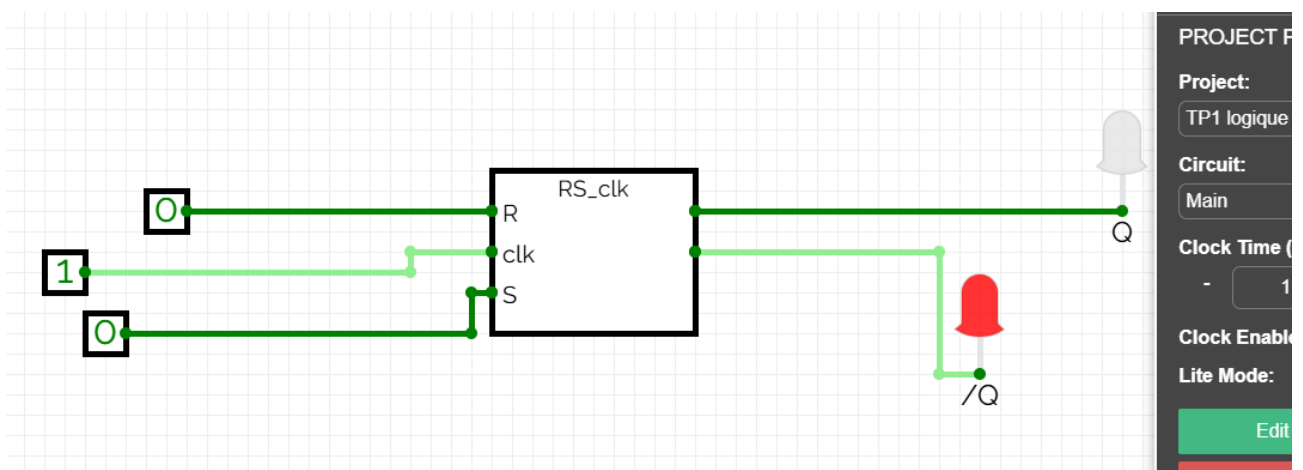
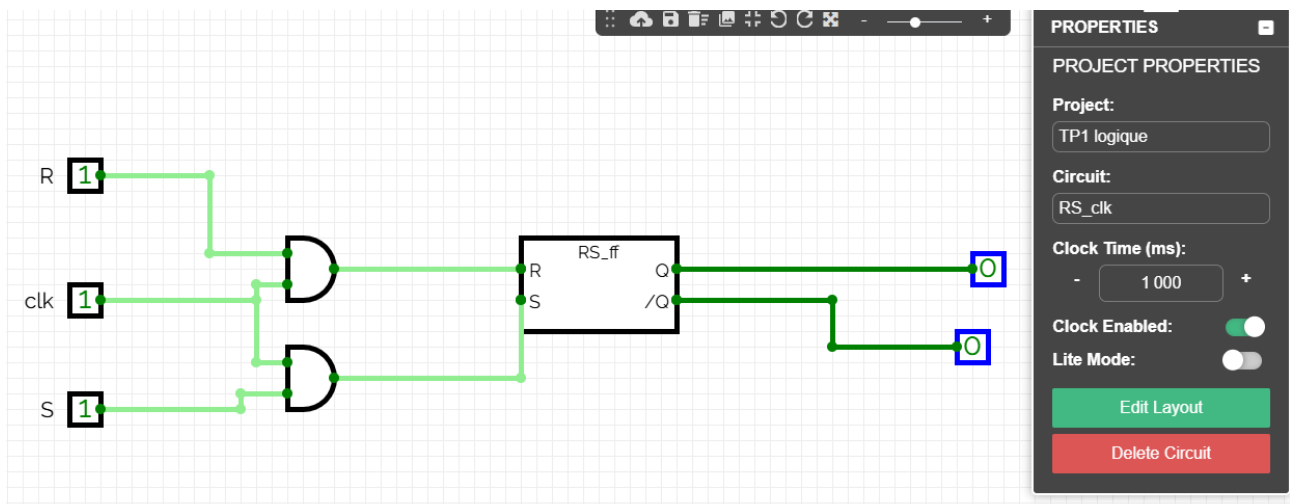


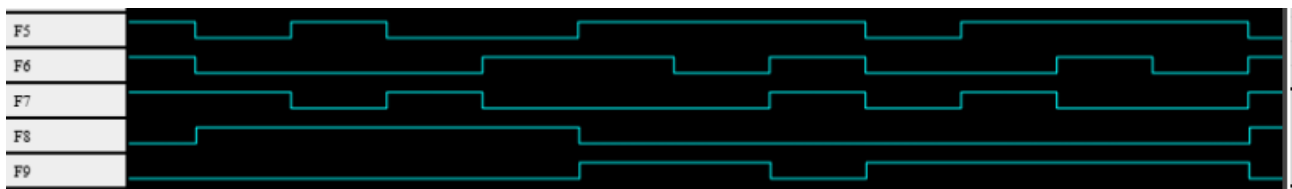
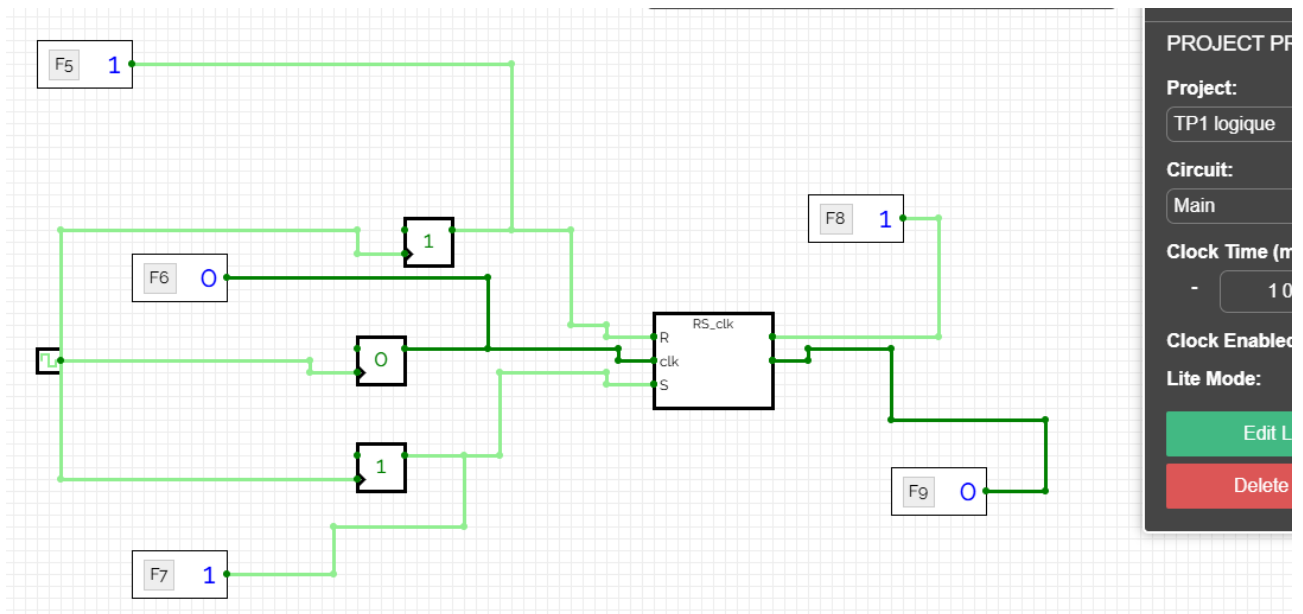
Le diagramme montre que le circuit est **asynchrone** : la sortie *Q* change immédiatement après une modification des entrées *S* ou *R* (après un court délai de propagation). On observe que *Q* passe à 1 dès que *S* est activé et reste à 1 même après le relâchement de *S*, prouvant l'effet de mémorisation.

Bascule RS synchrone

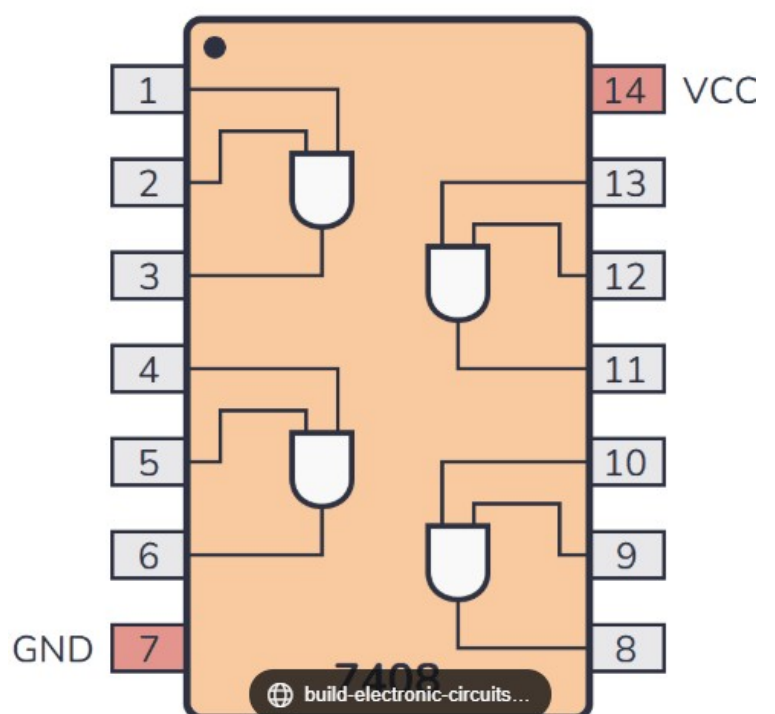
1 ET 2 / Menu **Circuit** → **New Cricuit +** et nommer ce circuit comme *RS_clk*.

Menu **Circuit** → **Insert SubCircuit** et choisir *RS_ff*. Compléter le circuit pour obtenir l'interconnexion de la figure.





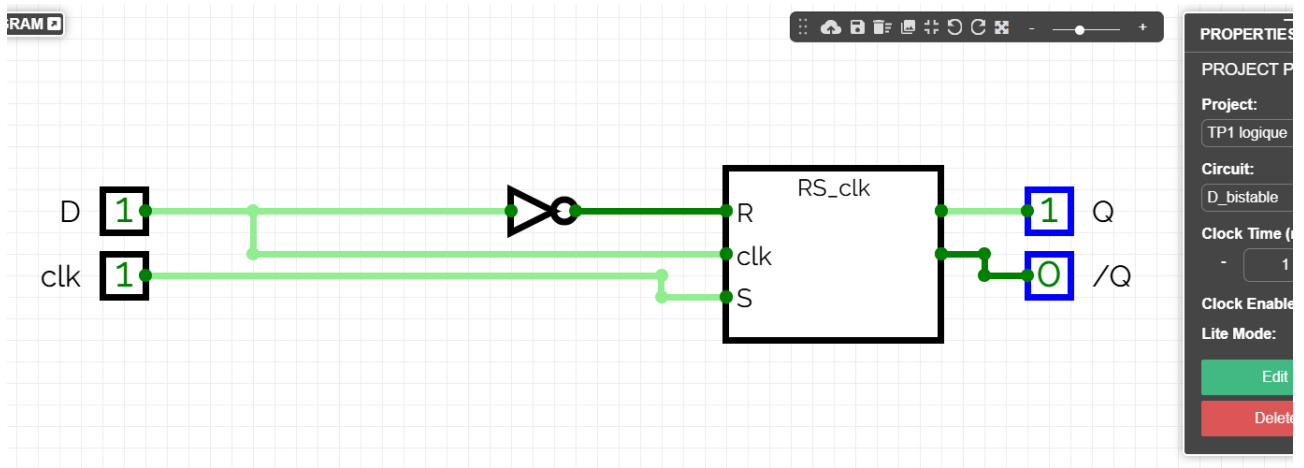
3/ Le circuit intégré 74HC08 propose 4 portes AND à deux entrées sous forme d'un boîtier DIP à 14 broches. Chercher sur le net le diagramme logique et le brochage. Réaliser le circuit de la figure en utilisant le 74HC08 et le 74HC02 (sur papier libre ou autre).



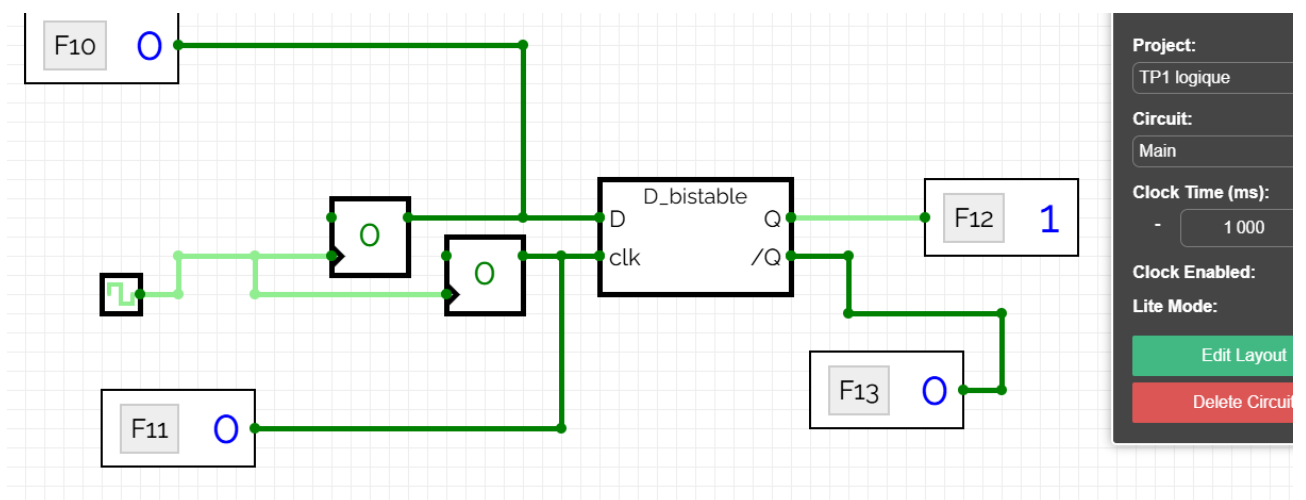
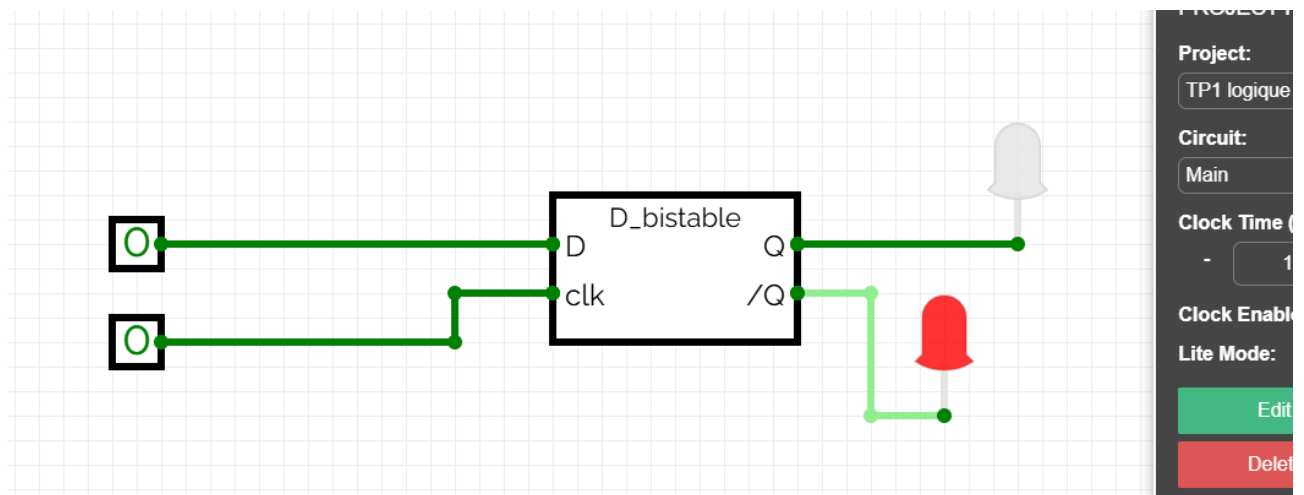
Bistable D

1 : Menu **Circuit** → **New Circuit +** et nommer ce circuit comme *D_bistable*.

2/ Menu **Circuit** → **Insert SubCircuit** et choisir *RS_clk*. Complétez le circuit pour obtenir l'interconnexion de la figure.



3/ Dans la fenêtre *Main*, et en suivant la même procédure que pour le circuit bistable RS, étudier la table de vérité et le timing.



Si CLK = 1 Q suit l'entrée D (transparence).

- Si CLK = 0, la sortie Q conserve sa valeur précédente (mémorisation).

4/ Comparer cette table de vérité avec celle donnée en cours.

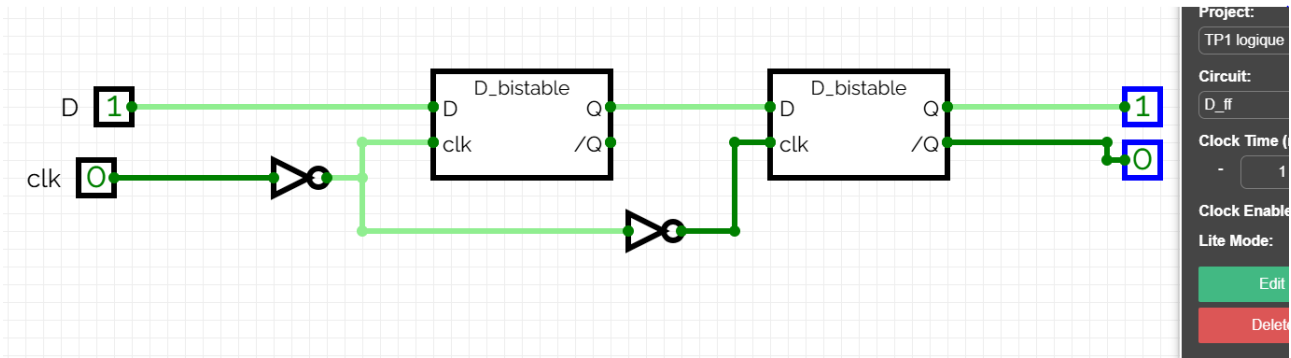
4. Comparer cette table de vérité avec celle donnée en cours.

clk	D	Q	Q ⁺	/Q ⁺
0	0	0	0	1
1	0	0	0	1
0	0	1	1	0
1	0	1	1	0
0	1	0	0	1
1	1	0	1	0
0	1	1	1	0
1	1	1	1	0

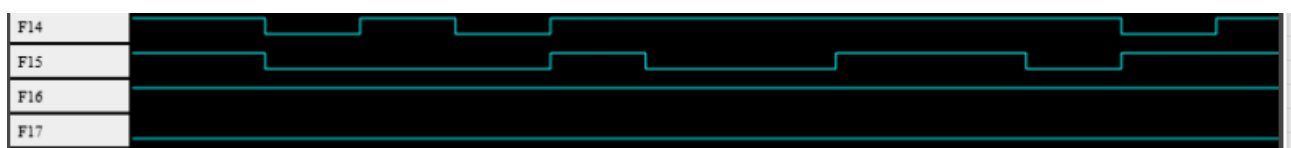
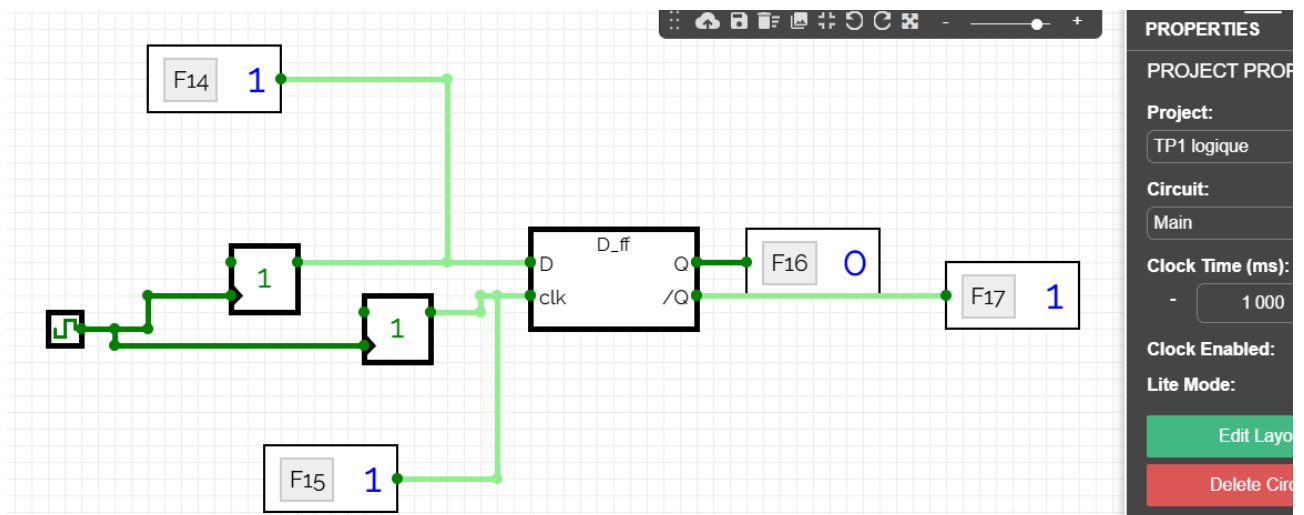
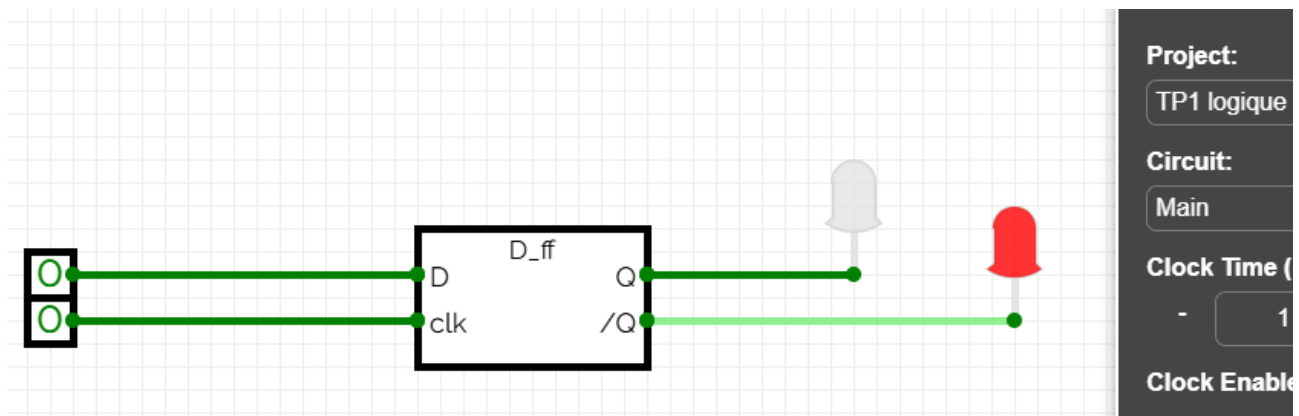
Bascule D :

1/ Menu **Circuit** → **New Circuit +** et nommer ce circuit comme **D_ff**.

2/ Menu **Circuit** → **Insert SubCircuit** et choisir **D_bistable**. Complétez le circuit pour obtenir l'interconnexion de la figure.



3/ Dans la fenêtre *Main*, et en suivant la même procédure que pour le circuit bistable RS, étudier la table de vérité et le timing.



Étude du timing

La différence majeure avec le D_bistable est que le D_ff est sensible au front (généralement le front montant de l'horloge) et non au niveau. La sortie Q ne prend la valeur de D qu'au moment précis de la transition de l'horloge de 0 vers 1.

commenter les cas où $K=1$ et $S=1$

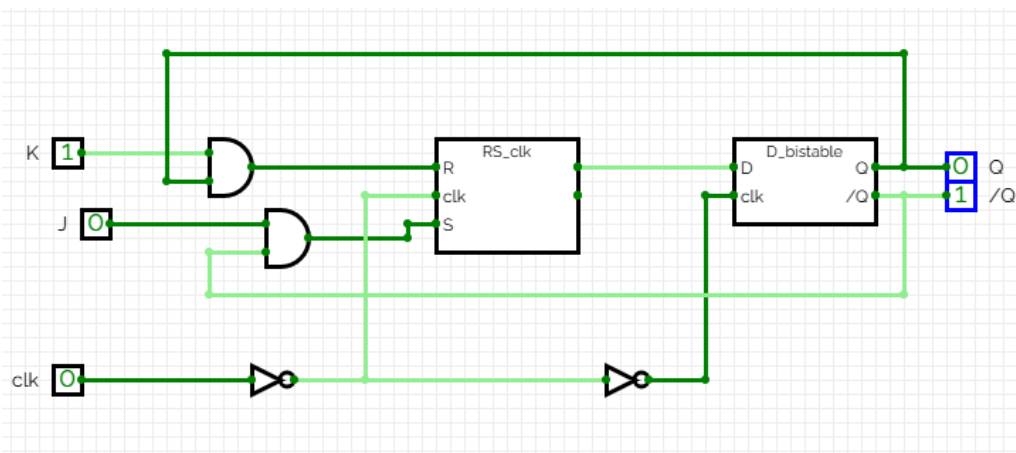
J K

clk	J	K	Q	Q ⁺	/Q ⁺
0	0	0	0	0	1
1	0	0	0	1	0
0	0	0	1	1	0
1	0	0	1	1	0
0	0	1	0	0	1
1	0	1	0	1	0
0	0	1	1	1	0
1	0	1	1	1	0
0	1	0	0	0	1
1	1	0	0	1	0
0	1	0	1	1	0
1	1	0	1	1	0
0	1	1	0	0	1
1	1	1	0	1	0
0	1	1	1	1	0

Bistable JK

1/ Menu **Circuit** → **New Cricuit +** et nommer ce circuit comme *JK_bistable*.

2/ Menu **Circuit** → **Insert SubCircuit** et choisir *RS_clk* et *D_bistable*. Complétez le circuit pour obtenir l'interconnexion de la figure.



Project:
TP1 logique

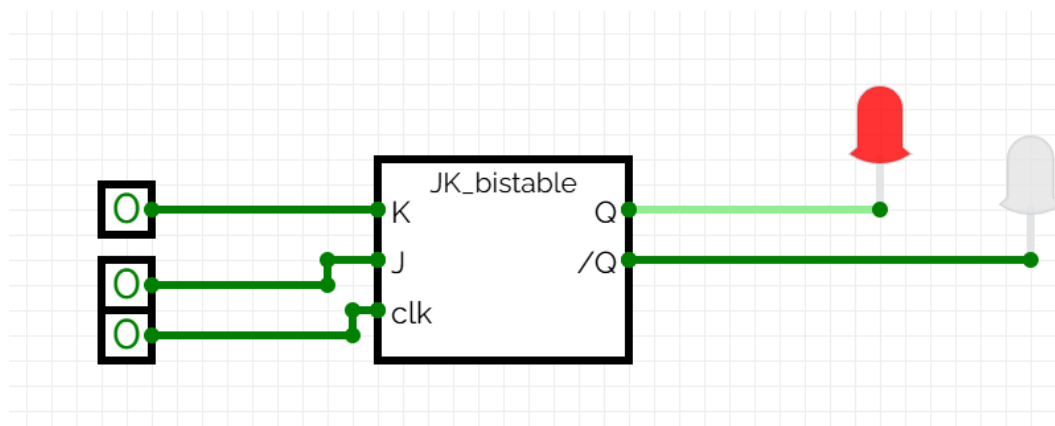
Circuit:
JK_bistable

Clock Time (ms):
1

Clock Enable:

Lite Mode:

3/ Dans la fenêtre *Main*, et en suivant la même procédure que pour le circuit bistable RS, étudier la table de vérité et le timing.



Project:
TP1 logique

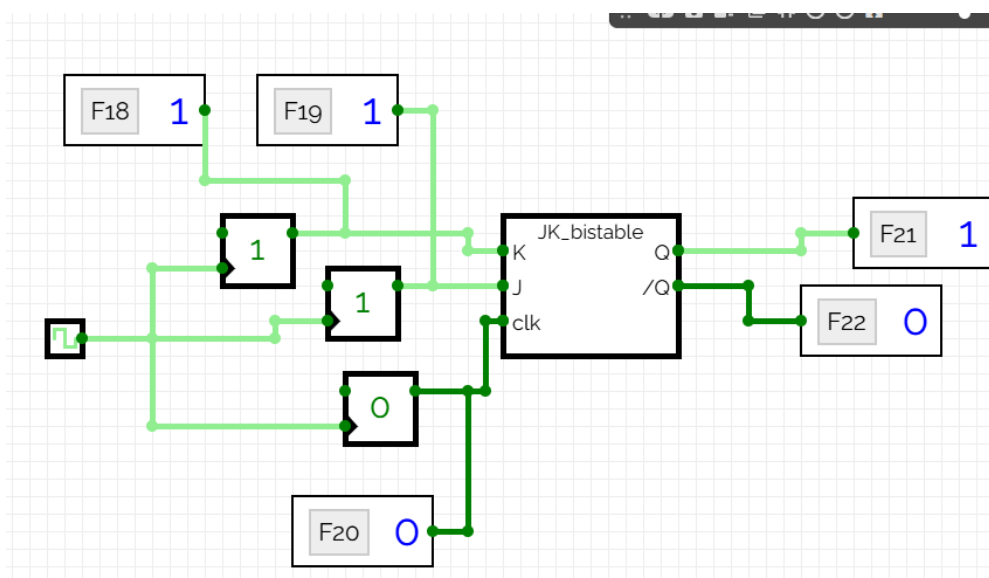
Circuit:
Main

Clock Time (ms):
1

Clock Enable:

Lite Mode:

Edit



PROPERTIES

PROJECT PROPERTIES

Project:
TP1 logique

Circuit:
Main

Clock Time (ms):
1 000

Clock Enabled:

Lite Mode:

Edit Layout

Delete Circuit



9. Contrairement à un circuit combinatoire, un circuit séquentiel dépend des entrées mais aussi de l'état pour définir son état futur (noté Q^+). En manipulant les entrées R et S et en regardant les deux led de la table suivante (Télécharger les tables de ce TP à partir de ce [lien](#)):

R	S	Q	Q^+	$\neg Q^+$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	0
1	1	1	0	0

