



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ

ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА

КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент

ИУ7И-42Б

(Группа)

(Подпись, дата)

Бу Хай Данг

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Цель работы – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

1. Исследование линейного двухвходового дешифратора с инверсными выходами:

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A_0, A_1 задать в выходы Q_0, Q_1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора (рисунок 1.1)

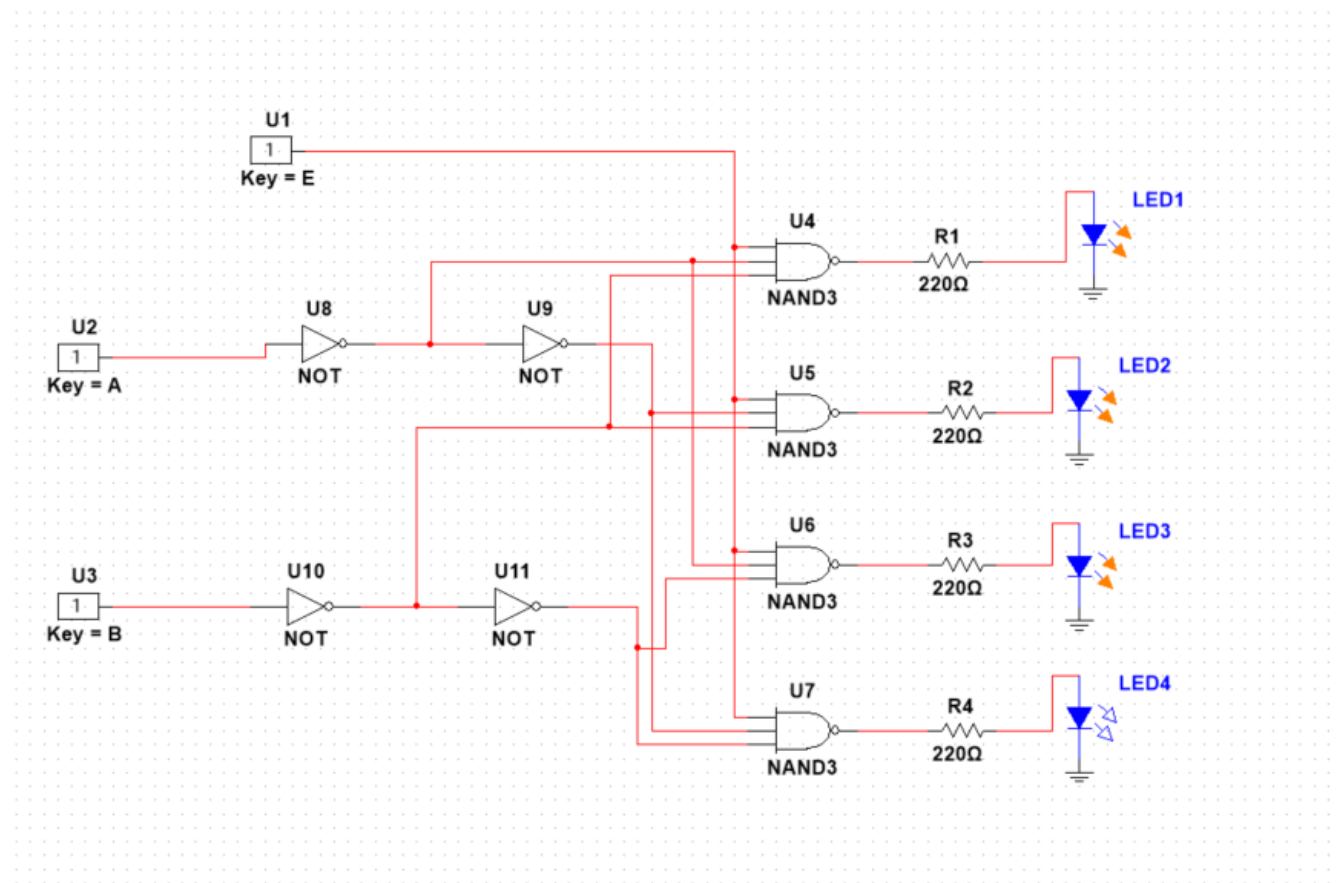


Рисунок 1.1 - Линейный стробируемый дешифратор

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$) (таблица 1.1)

Таблица 1.1 Таблица истинности нестробируемого дешифратора

EN	A1	A2	F1	F2	F3	F4
0	x	x	1	1	1	1

1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

в) подать на вход счетчика сигнал генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе (рисунок 1.2)

Изменяем схему:

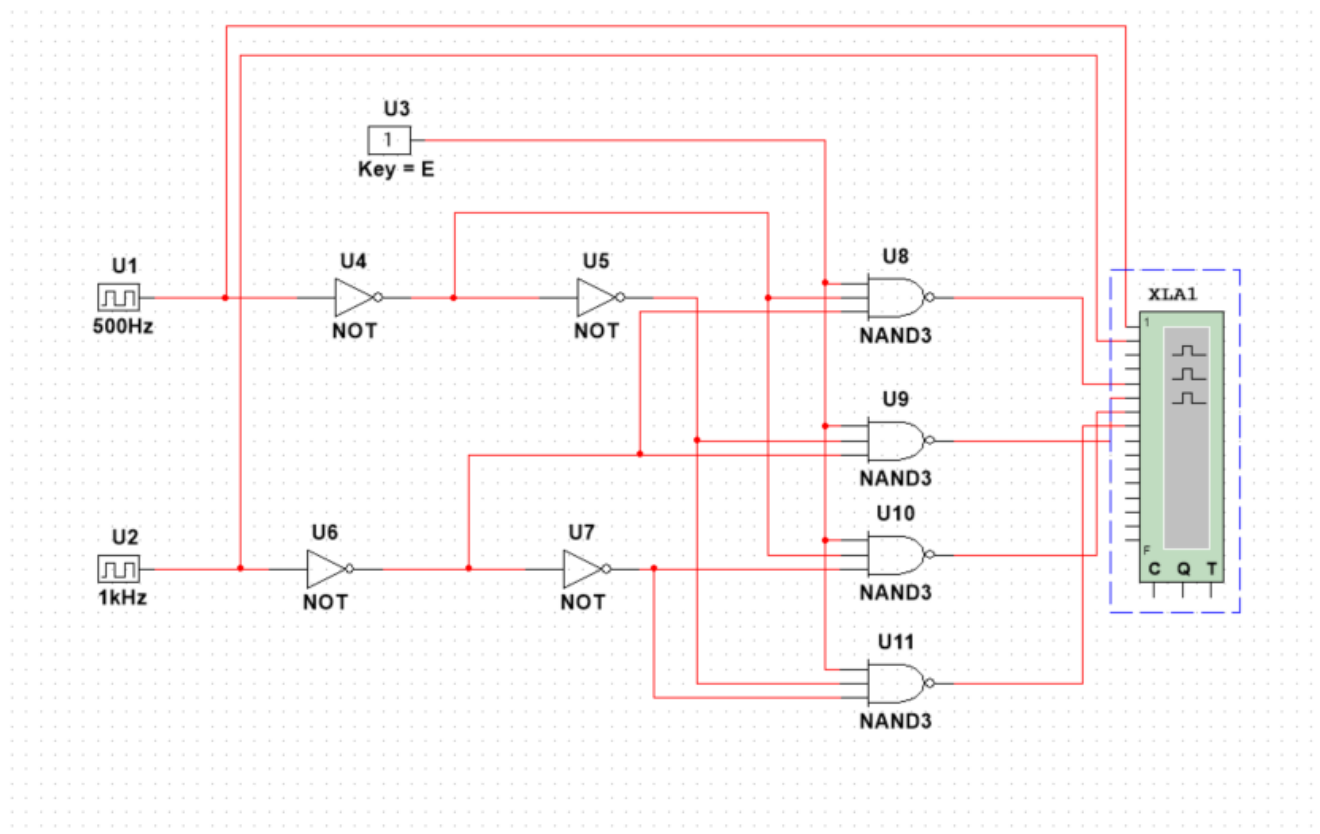


Рисунок 1.2 - Линейный стробируемый дешифратор с сигналом генератора на входе

Снимаем временные диаграммы (рисунок 1.3):

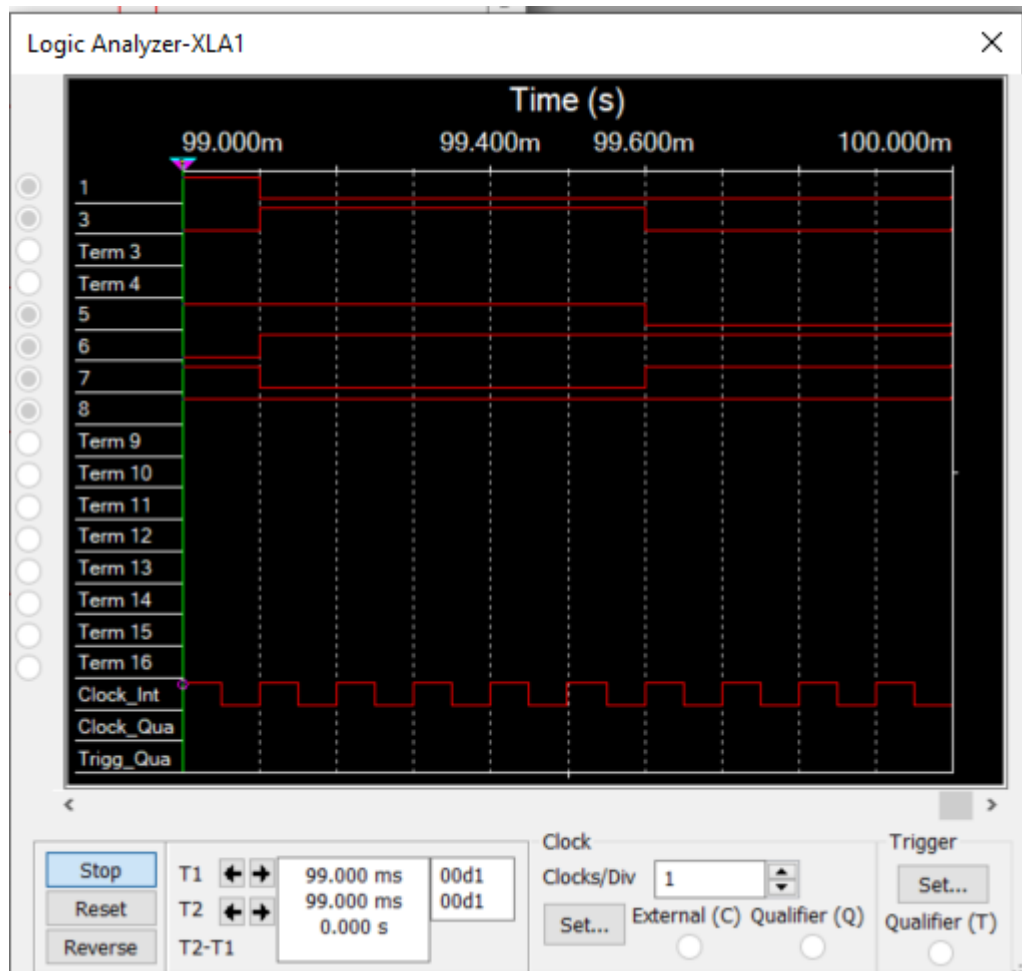
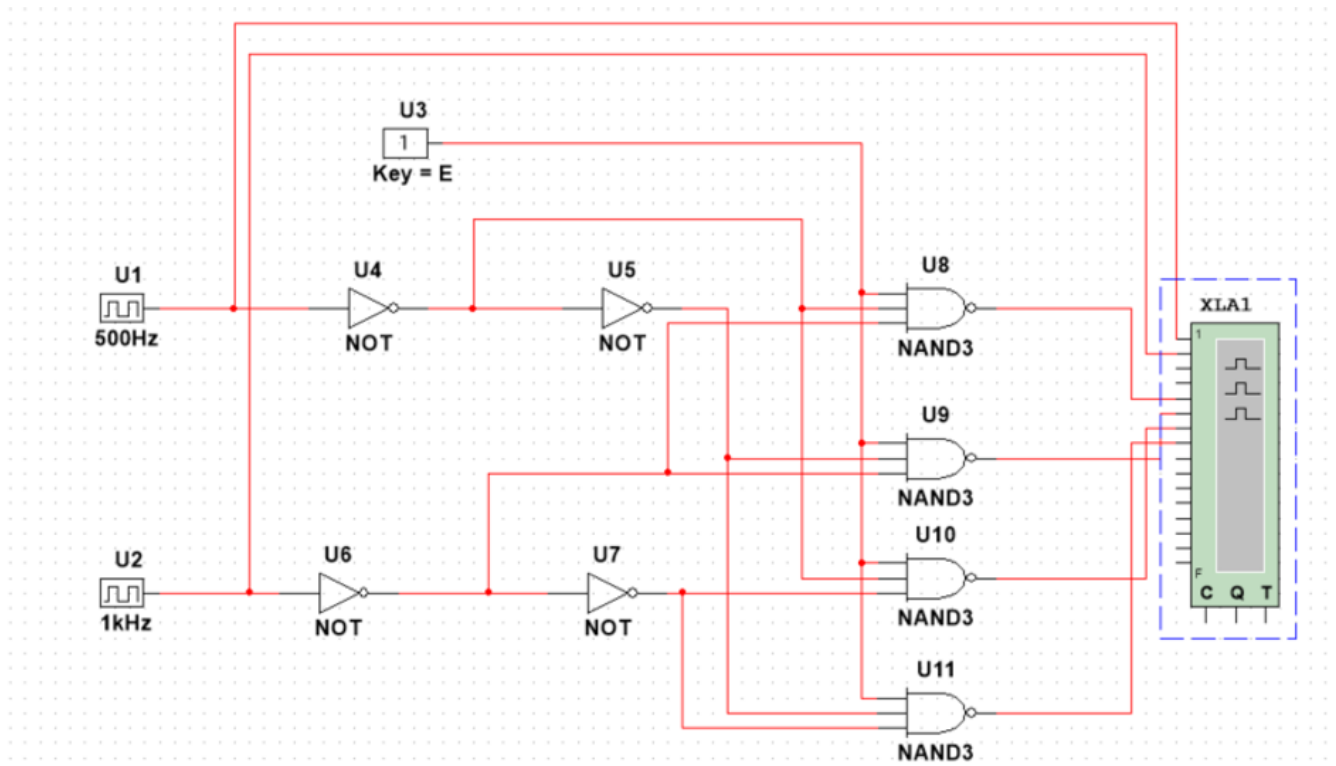


Рисунок 1.3 - Временные диаграммы линейного дешифратора

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора



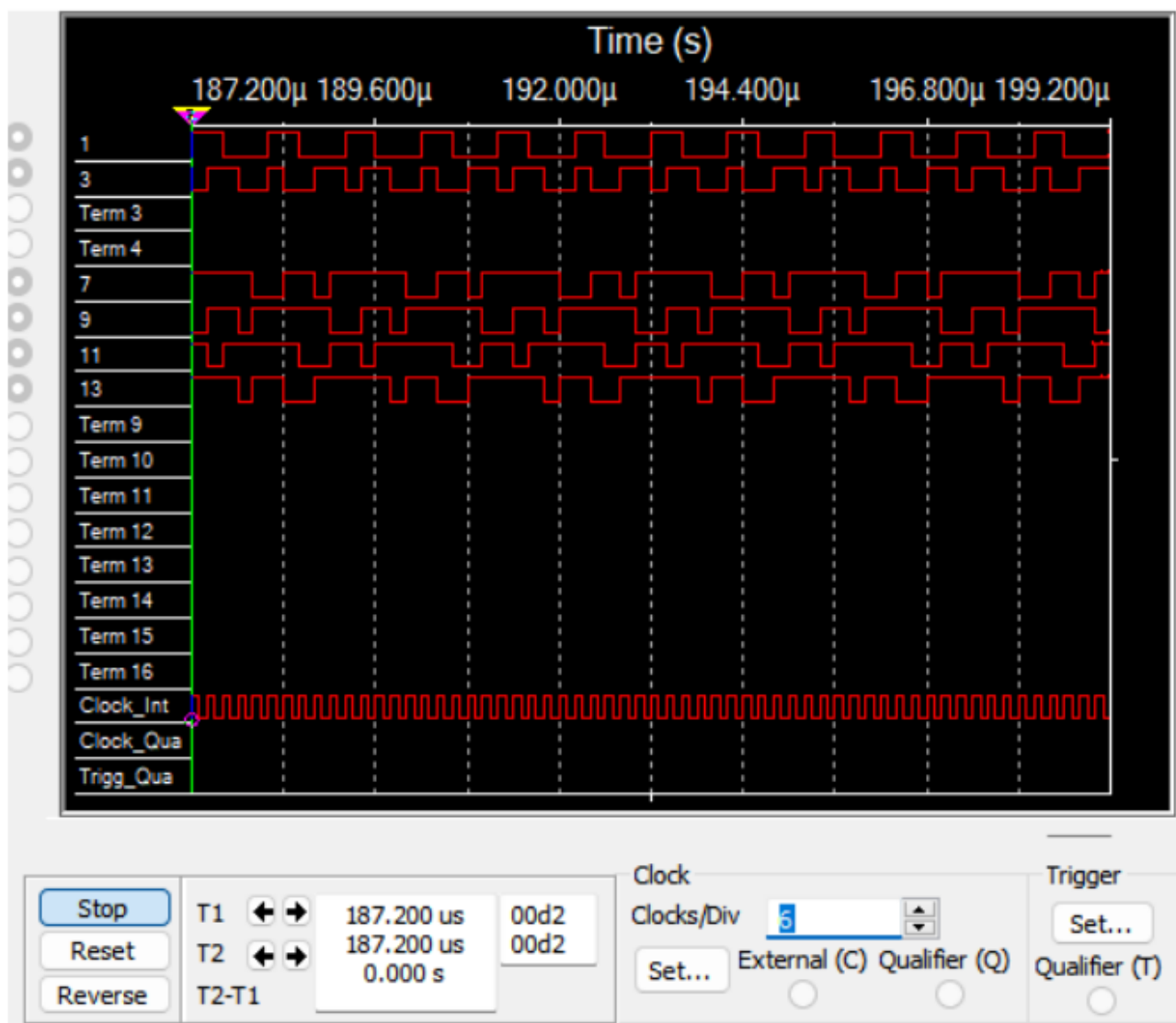
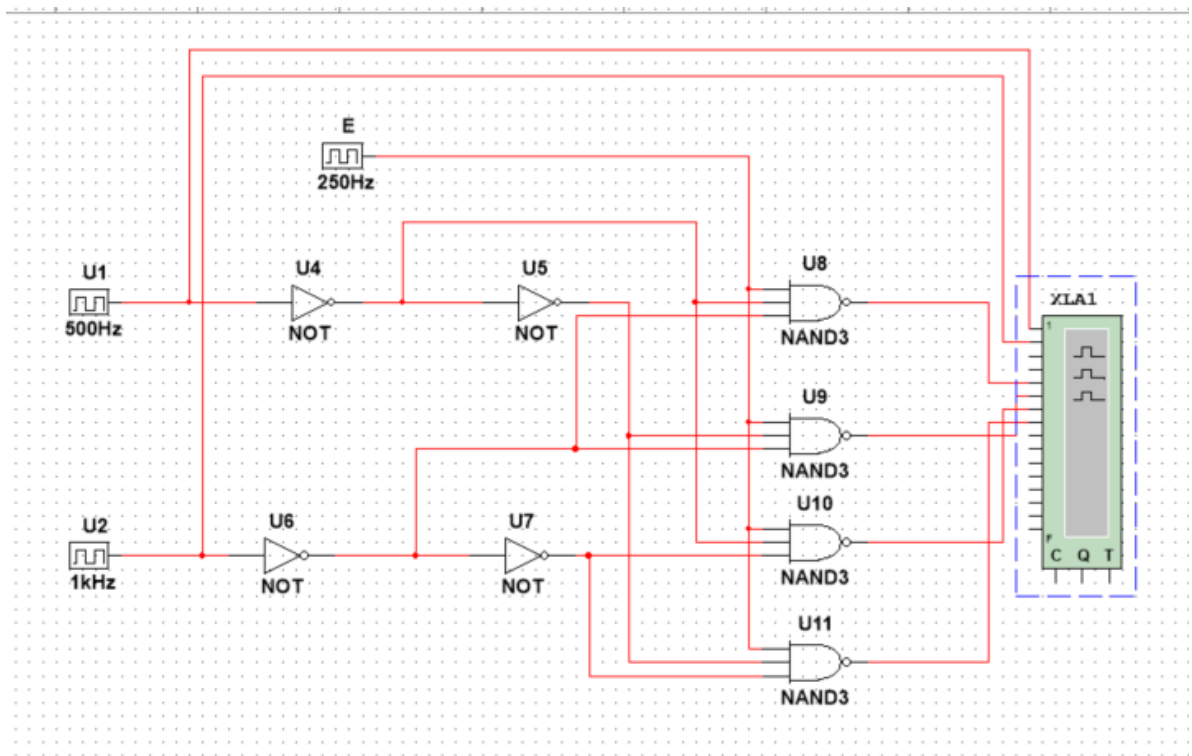
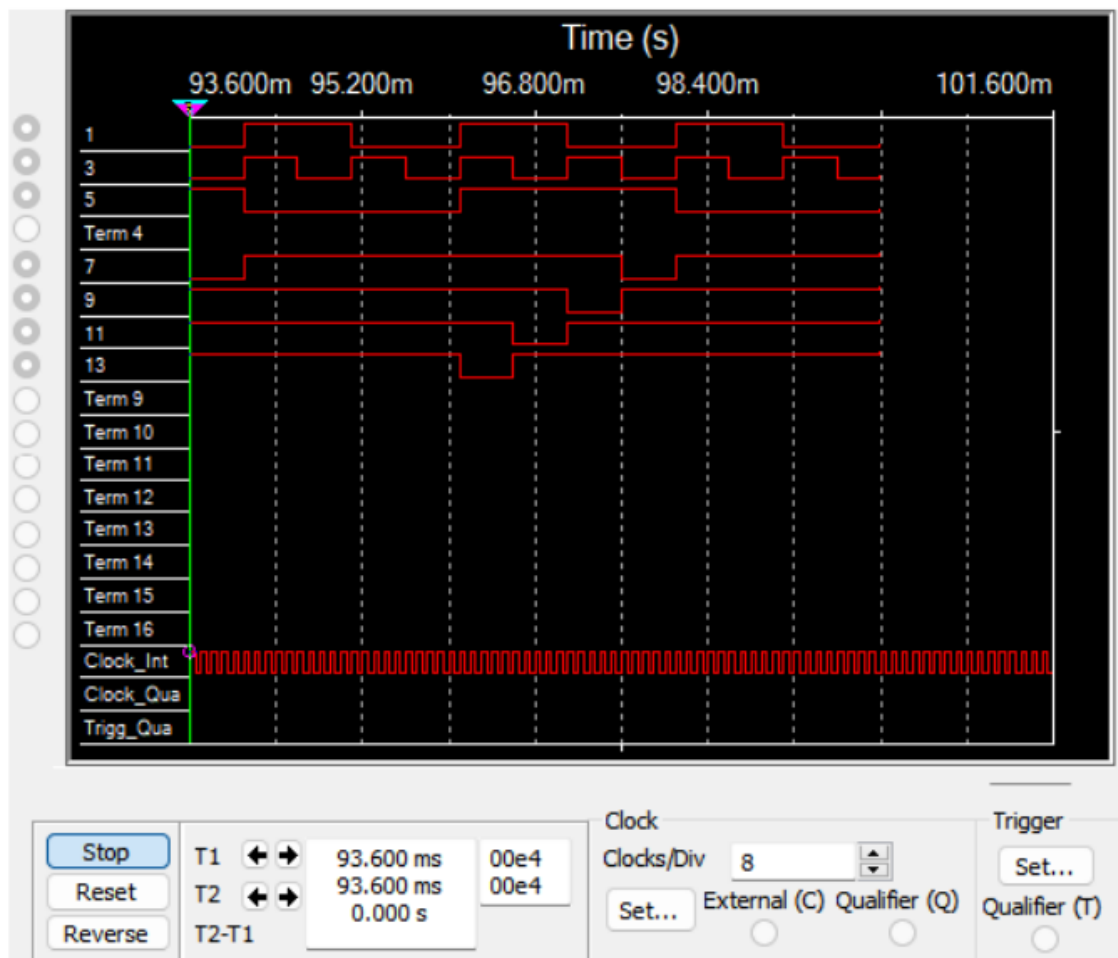


Рисунок 1.4 - Амплитуда помех

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов)



Logic Analyzer-XLA1



е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Рассчитаем время задержки сигнала стробирования для И-НЕ 74HC10N_6V и инвертора 74HC04N_6V:

AC CHARACTERISTICS

Family 74HC04

GND = 0 V; $t_r = t_f \leq 6.0$ ns; $C_L = 50$ pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = 25 °C							
t _{PHL} /t _{PLH}	propagation delay nA to nY	see Figs 6 and 7	2.0	–	25	85	ns
			4.5	–	9	17	ns
			6.0	–	7	14	ns
t _{THL} /t _{TLH}	output transition time	see Figs 6 and 7	2.0	–	19	75	ns
			4.5	–	7	15	ns
			6.0	–	6	13	ns

over operating free-air temperature range; typical values measured at T_A = 25°C (unless otherwise noted).

PARAMETER		FROM	TO	TEST CONDITIO NS	V _{CC}	Operating free-air temperature (T _A)									UNIT
						25°C			−40°C to 85°C			−55°C to 125°C			
						MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t _{pd}	Propagation delay	A, B, or C	Y	C _L = 50 pF	2 V	100			125			150			ns
					4.5 V	20			25			30			
					6 V	7			21			26			
		A, B, or C	Y	C _L = 15 pF	5 V	8									

$$t_{\text{зд.р.ср}} = 2t_{\text{зд.р.ср.1}} + t_{\text{зд.р.ср.2}} = 14 * 2 + 7 = 35 \text{ нс}$$

2. Исследование дешифраторов ИС К155ИД4 (74LS155)

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы E3 и E4 – импульсы генератора, задержанные линией задержки;

Схема (рисунок 2.1):

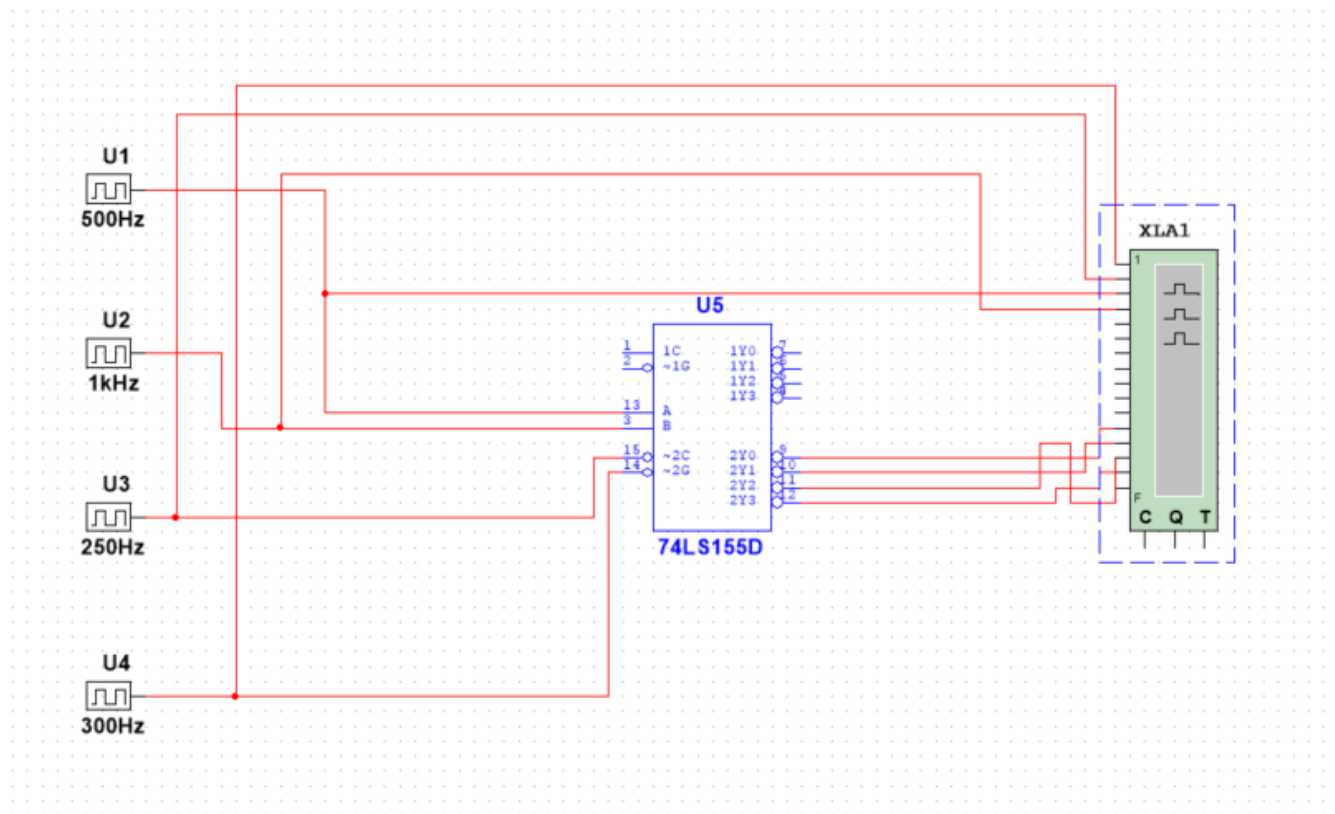


Рисунок 2.1 - Дешифратор 74LS155

Построим временные диаграммы(рисунок 2.2):

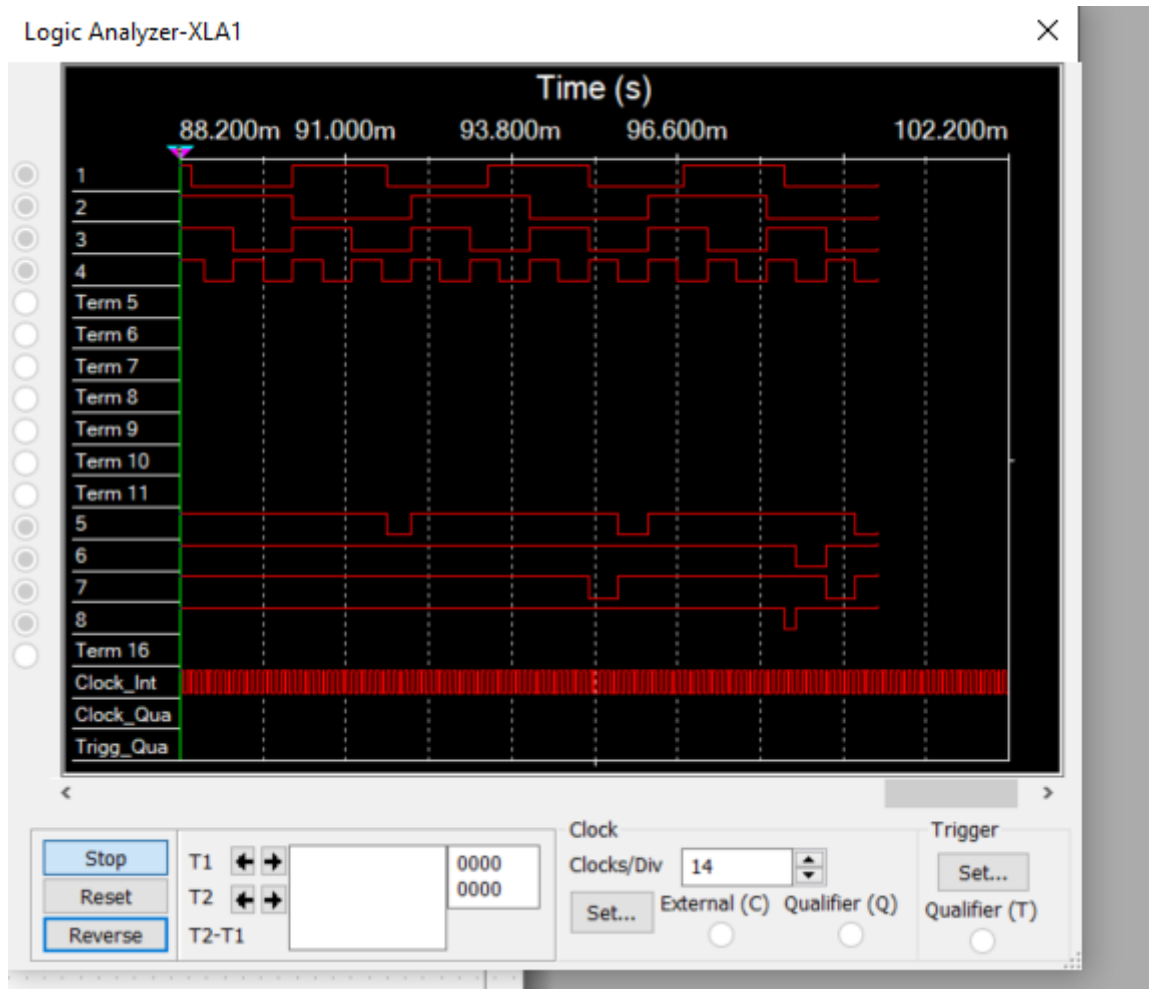


Рисунок 2.2 - Временные диаграммы дешифратора 74LS155

в) собрать схему трехвходового дешифратора на основе дешифратора K155ИД4, задавая входные сигналы A_0 , A_1 , A_2 с выходов Q_0 , Q_1 , Q_2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности(рисунок 2.4).

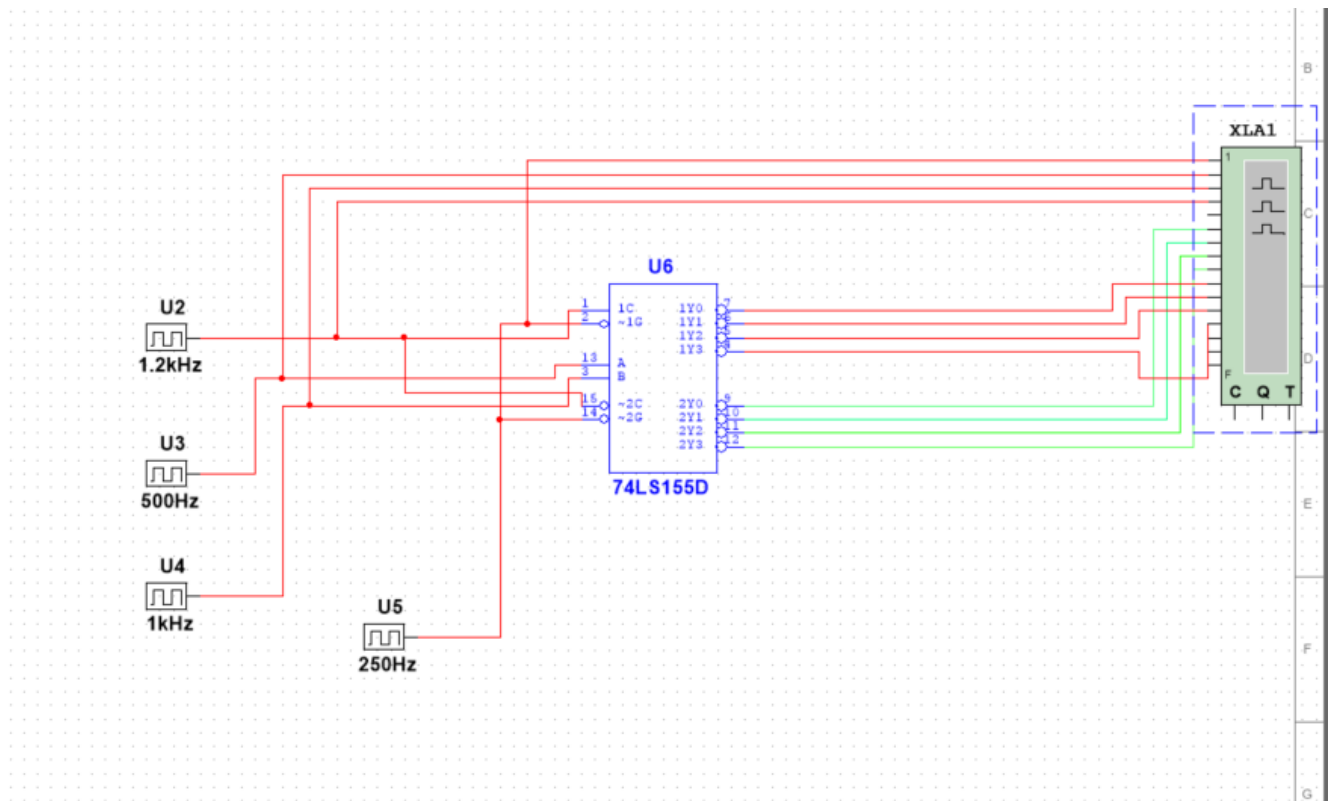


Рисунок 2.4 - Трёхвходовый дешифратор

Построим временные диаграммы(рисунок 2.5):

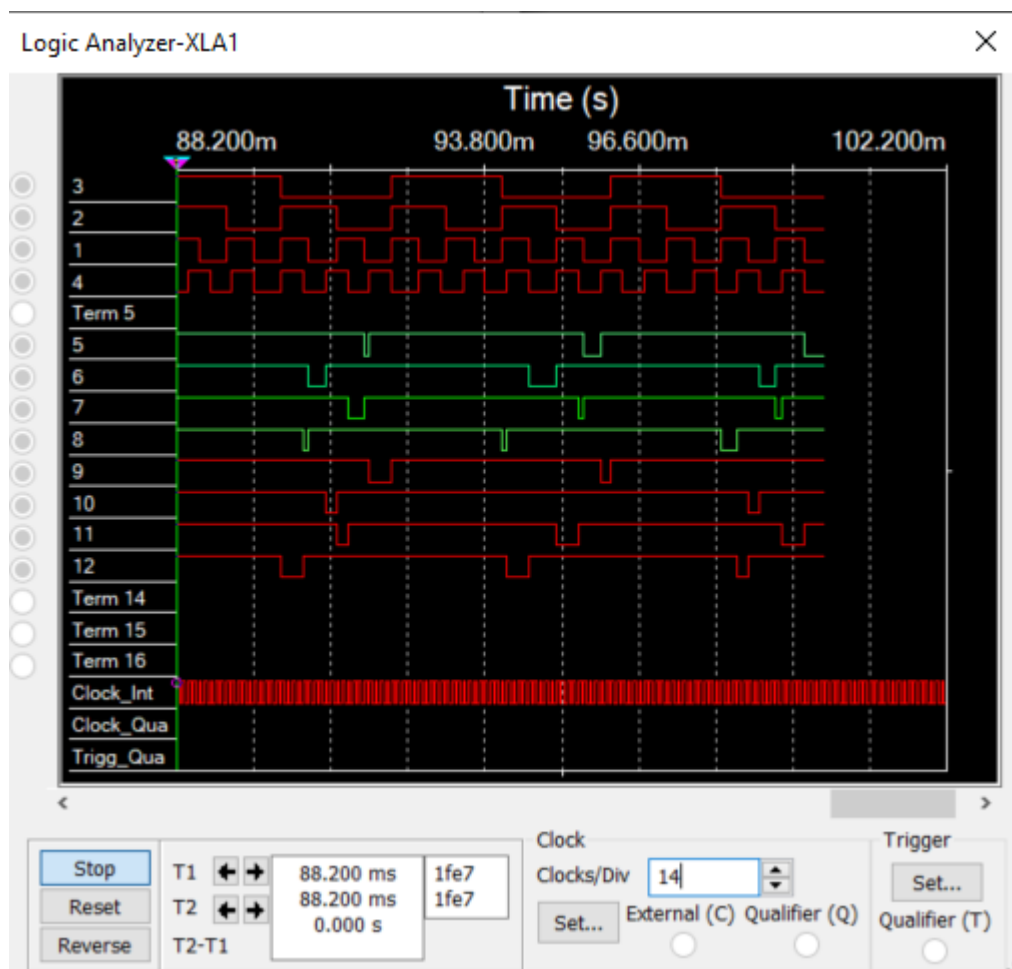


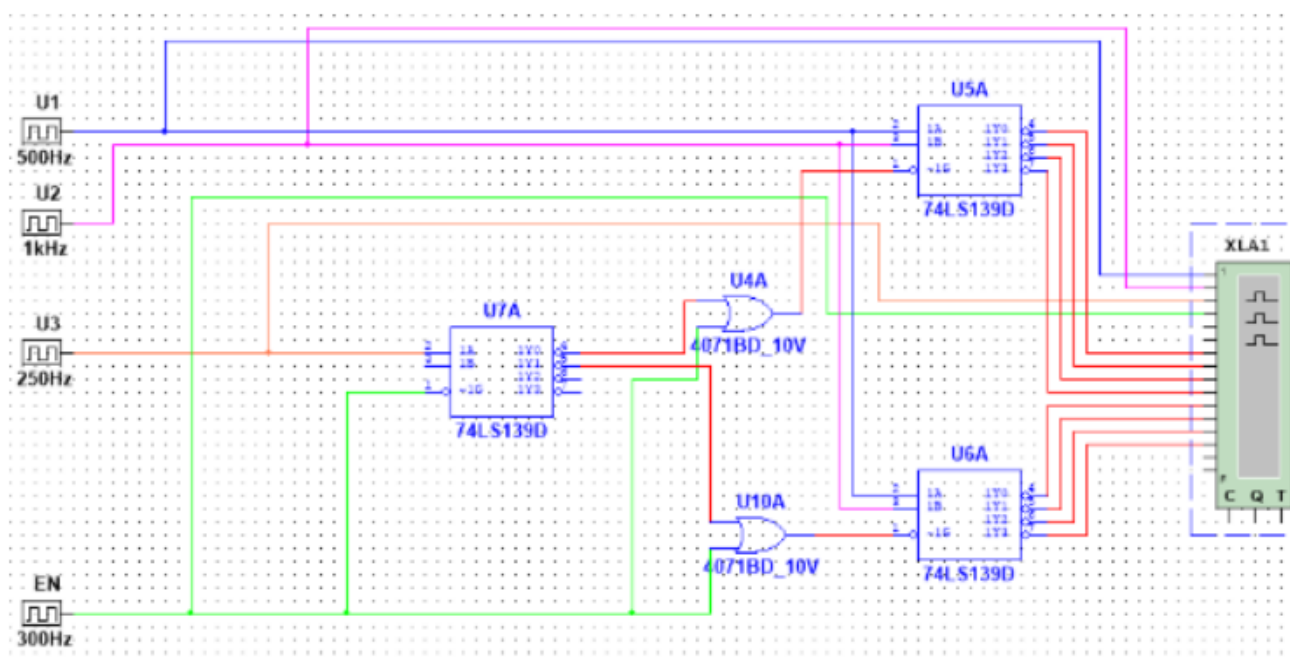
Рисунок 2.5 - Временные диаграммы трёхвходового дешифратора

Опираясь на временные диаграммы, построим таблицу истинности:

Таблица 2.1 Таблица истинности дешифратора 74LS155

Q0	Q1	Q2	F0	F1	F2	F3	F4	F5	F6	F7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

3. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2.



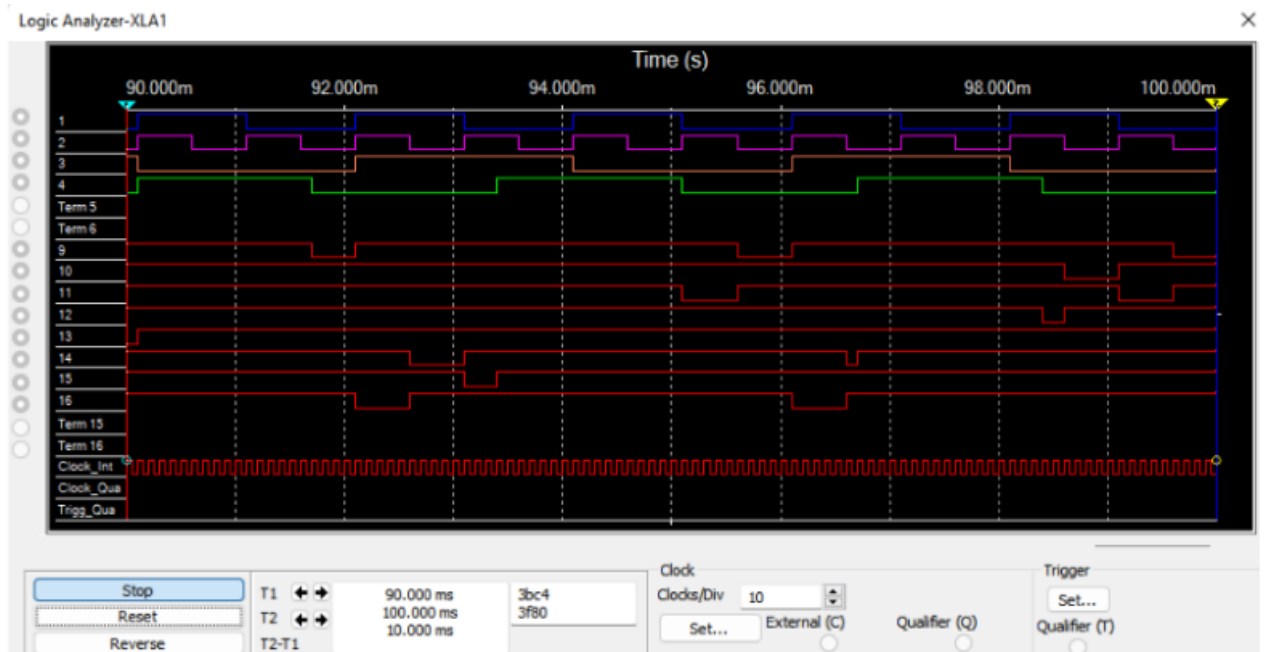


Рисунок 3.1- Два дешифратора DC 2-4

4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q_0 , Q_1 , Q_2 с выходов счетчика, а на входы разрешения E_1 , E_2 , E_3 – сигналы лог. 1, 0, 0 соответственно (рисунок 4.1 и 4.2)

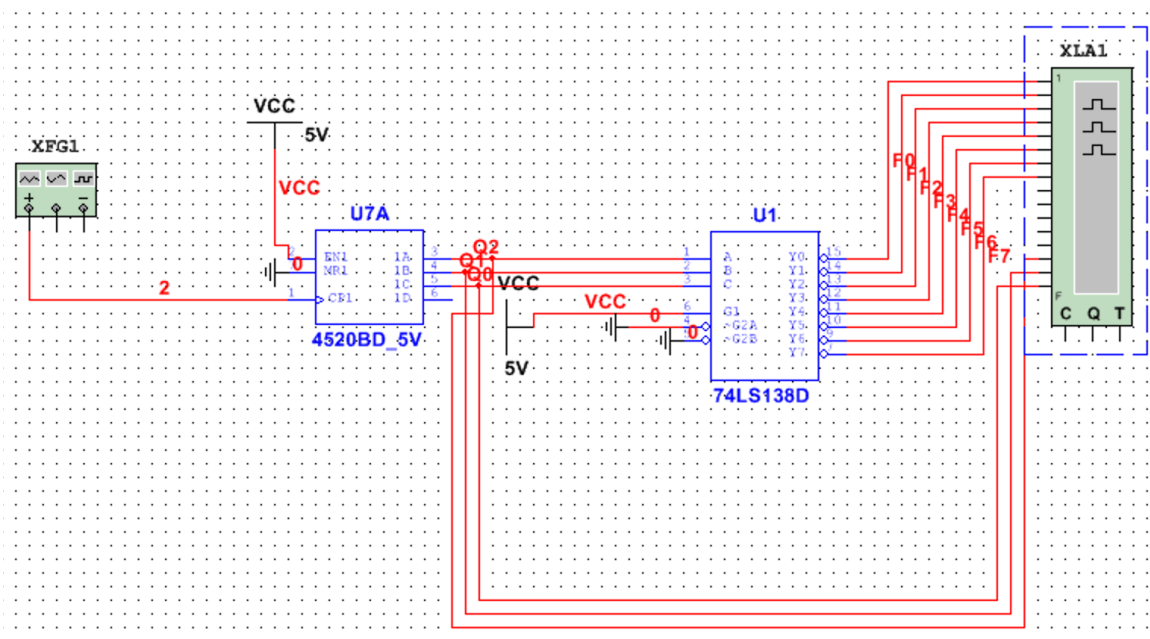


Рисунок 4.1 - Дешифратор DC 3-8 (74LS138)

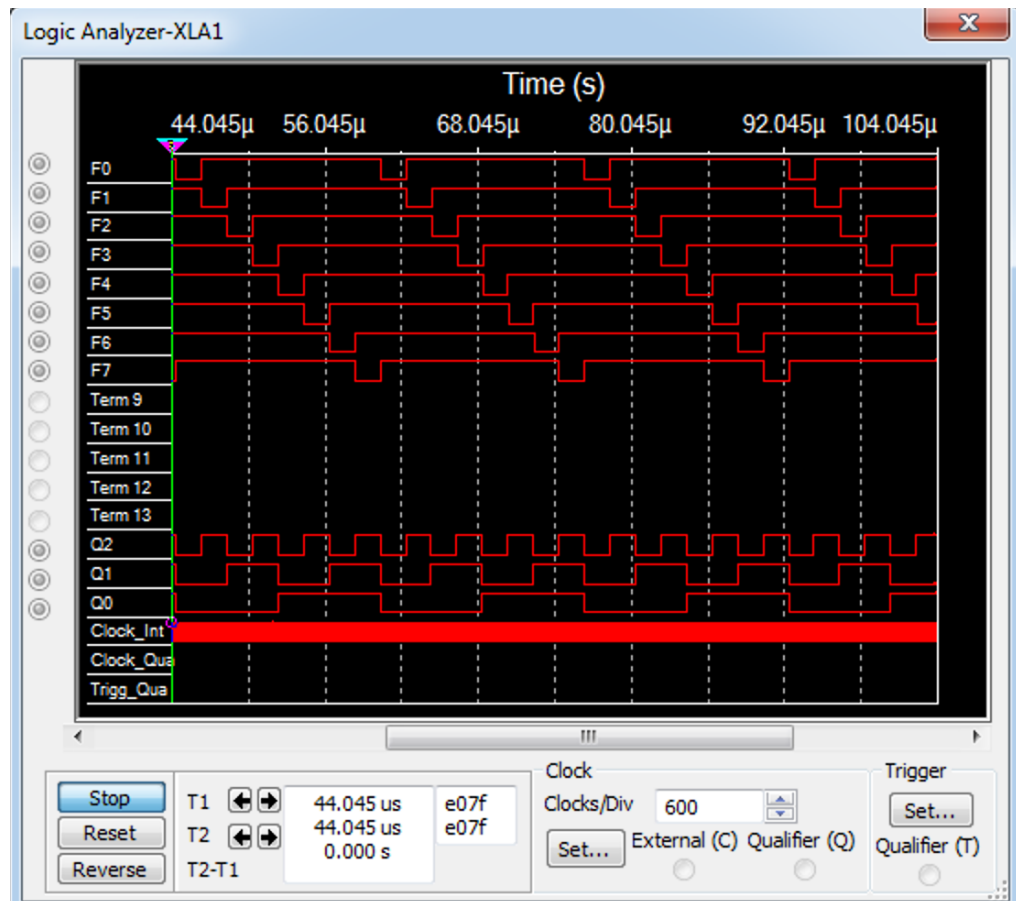


Рисунок 4.2 - Временные диаграммы дешифратора DC 3-8 (74LS138)

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q_0 , Q_1 , Q_2 , Q_3 , Q_4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета (рисунок 4.3 и 4.4)

5-32 и 3-8

$$K = \frac{n}{n_1} = \frac{5}{3} = 2$$

$$\frac{N}{N_1} = \frac{32}{8} = 4 \quad \frac{N}{N_1^2} = \frac{4}{2}$$

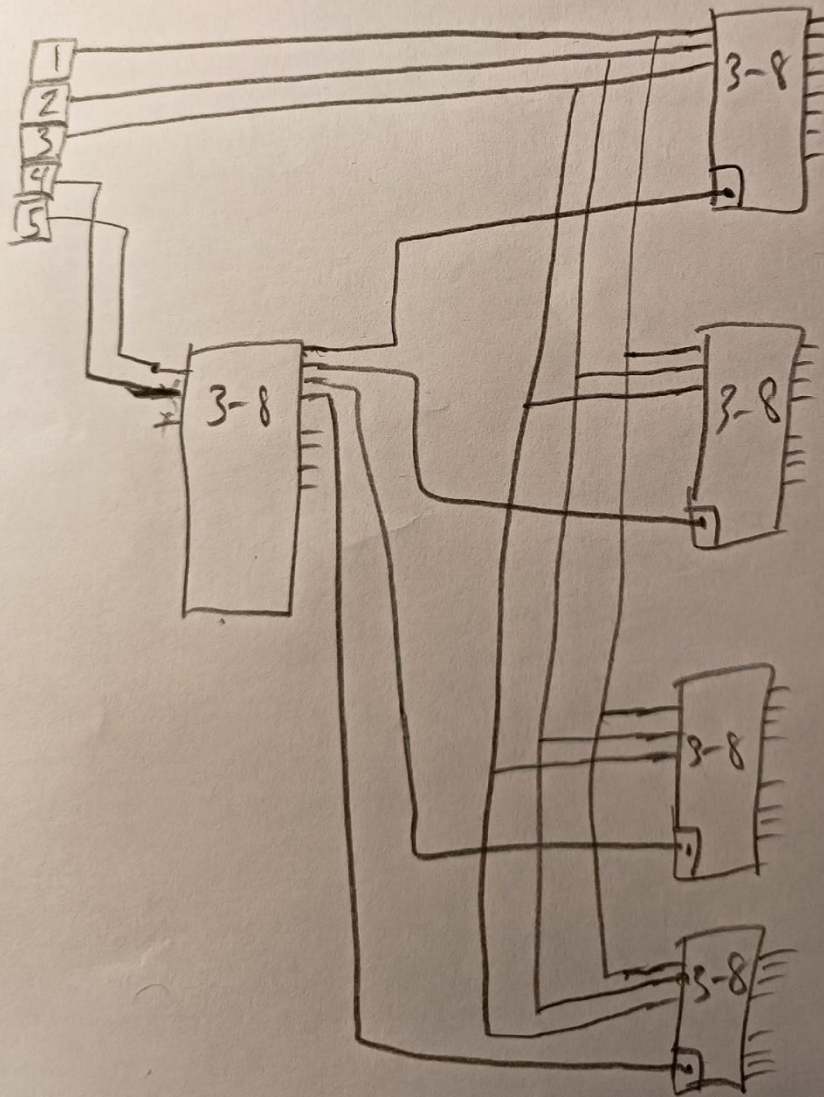


Рис 4.3 - Дешифратор 5-32

Вывод: Были изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов.

Контрольные вопросы

1. Что называется дешифратором?

Дешифратор - это комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора $DC\ n - N$ определяется таблицей истинности:

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
...
...
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой из предыдущего вопроса, и представляет собой 2^n конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $(n + 1)$ входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются

конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную $A_2(\overline{A_2})$. На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на $A_3(\overline{A_3})$ и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. *Что называется гонками и как устраняются ложные сигналы, вызванные гонками?*

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. *Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?*

Пусть для построения сложного дешифратора $DC\ n - N$ используются простые дешифраторы $DC\ n_1 - N_1$, причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $\frac{n}{n_1}$. Если K – целое число, то во всех каскадах используются полные дешифраторы $DC\ n_1 - N_1$. Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор $DC\ n_1 - N_1$.

2. Количество простых дешифраторов $DC\ n_1 - N_1$ в выходном каскаде равно $\frac{N}{N_1}$, в предвыходном – $\frac{N}{N_1^2}$, в предпредвыходном – $\frac{N}{N_1^3}$ и т.д.; во входном каскаде – $\frac{N}{N_1}$ к. Если $\frac{N}{N_1}$ к – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.