

001.txt

X01

Układ XC95144XL ma przerzutniki o wspólnym globalnym sygnale CE :

TAK

NIE

002.txt

X01

W języku VHDL sygnały niezainicjowanie jawnie mają nieokreślone wartości początkowe :

TAK

NIE

003.txt

X00001

Wskaż sekwencje obliczona dla wyrażenia: S1 and S2, jeśli oba argumenty S1 oraz S2 są typu std_logic oraz zmieniają się co 100ns przechodząc przez następujący ciąg wartości:
 S1: 1 1 0 0
 S2: X

W W X

1 1 X X

X W X X

1 1 0 0

X W 0 0

X X 0 0

004.txt

X0100

Układ XC95144XL ma liczbę przerzutników w jednym bloku funkcyjnym równą:

54

18

3

144

005.txt

X0100

Wybierz technologię, która odznacza się najdłuższym czasem przygotowania projektu:

GA

SC

FPGA

CPLD

006.txt

X01

Czy w języku VHDL instrukcje sekwencyjne mogą wystąpić bezpośrednio w treści architektury?

TAK

NIE

007.txt

X10

Czy układy CPLD rodziny XC9500XL mają bufor WY, które przy odpowiednim napięciu VCCIO mogą sterować układami TTL?

TAK

NIE

008.txt

X0010

Pewien sygnał typu std_logic ma dwa sterowniki S1 oraz S2. Wskaż ciąg obliczeniowy przez jego funkcję rozstrzygającą, jeśli oba sterowniki zmieniają się co 100 ns przez następujące sekwencje wartości:
 S1: Z L L 1
 S2: W L H U

X L W 1

X L U 1

W L W U

W L L 1

009.txt

X01

Układ XC9536XL ma przerzutniki w blokach WE/WY :

TAK

NIE

010.txt

X0001

Układ XC9572XL ma liczbę bloków funkcyjnych równą :

54

8

18

4

011.txt

X1000

Która technologia jest tradycyjnie wykorzystywana do konfigurowania układów FPGA?

SRAM

EEPROM

AFROM

EPROM

012.txt

X1000

Pewien sygnał typu std_logic ma dwa sterowniki S1 oraz S2. Wskaż ciąg obliczeniowy przez jego funkcję rozstrzygającą, jeśli oba sterowniki zmieniają się co 100 ns przez następujące sekwencje wartości:
 S1: 0 0 1 1
 S2: X 1 1 L

X X 1 1

X U 1 L

0 X 1 1

X U 1 U

013.txt

X01

Układ PAL16R8 ma bufony trojstanowe sterowane globalnym sygnałem OE z pinu zewnętrznego :

TAK

NIE

014.txt

X01

W języku VHDL instrukcja przypisania zmiennej może wystąpić wprost w bloku architektury :

TAK

NIE

015.txt

X0100

Układ XC9536XL ma maksymalną liczbę WE/WY :

144

36

18

54

016.txt

X1000

Wskaż sekwencje obliczona dla wyrażenia: S1 or S2, jeśli oba argumenty S1 oraz S2 są typu std_logic oraz zmieniają się co 100ns przechodząc przez następujący ciąg wartości:
 S1: 1 1 0 0
 S2: X

W W X

1 1 X X

X W X X

1 1 0 0

X W 0 0

017.txt

X001

Posiada tylko konfigurowalną matrycę sum:

PAL

PLA

PLE

018.txt

X0001

Wybierz element, który narzędzie syntezy powinno utworzyć dla poniższego opisu VHDL:

```

process(A, C)
begin
    if A = '1' then
        B <= '0';
    elsif rising_edge( C ) then
        B <= We;
    end if;

end process;

```

Zatrask typu D z synchronicznym kasowaniem
 Zatrask typu D z asynchronicznym kasowaniem
 Przerzutnik typu D z synchronicznym kasowaniem
 Przerzutnik typu D z asynchronicznym kasowaniem

019.txt

X10

Czy układy CPLD rodziny XC9500XL mają bufory WY, które przy odpowiednim napięciu VCCIO mogą sterować układami CMOS 2.5V?

TAK

NIE

020.txt

X0001

W których z podanych układów osiąga się najniższy koszt przygotowania projektu?

FC

GA

SC

FPGA

021.txt

X0010

Wybierz rodzinę układów, w której konfiguracja przechowywana jest w statycznej pamięci RAM:

GS

SC

FPGA

CPLD

022.txt

X00100

Wprowadzanie elektronów o dużej energii kinetycznej dotyczy :

FROM

EEPROM

EPROM

AFROM

SRAM

023.txt

X0100

Układ XC95144XL ma liczbę bloków funkcyjnych równą :

54

8

18

4

024.txt

X1000

Układ XC95144XL ma liczbę wejść w jednym bloku funkcyjnym równą:

54

18

3

144

025.txt

X1000

Układ XC9572XL ma liczbę sygnałów dochodzących do każdego bloku funkcyjnego równą :

54

18

3

144

026.txt

X10

Układ XC9572XL może przy odpowiedniej konfiguracji sterować wyjściami układów CMOS 2.5V :

TAK

NIE

027.txt

X001

Najgorsze wykorzystanie powierzchni układu:

SC

GA

FPGA

028.txt

X0010

Wybierz technologię, która jest najdroższa wśród układów programowalnych po stronie użytkownika:

GA

SC

FPGA

CPLD

029.txt

X01

Układ XC9572XL zawiera linie szybkich wewnętrznych sprezen zwrotnych w kazdym bloku funkcyjnym :

TAK

NIE

030.txt

X10

W jezyku VHDL w tresci architektury moga wystapic wylacznie instrukcje wspolbiezne :

TAK

NIE

031.txt

X00010

Jednokrotne programowanie przez zwieranie antybezpiecznikow dotyczy :

FPROM

EEPROM

EPROM

AFPROM

SRAM

032.txt

X1000

Kolejnosc nazw sygnalow interfejsow JTAG na schemacie (od gory do dolu) :

TDI, TDO, TMS, TCK

TDO, TDI, TMS, TCK

TDO, TDI, TCK, TMS

TDI, TDO, TCK, TMS

033.txt

X10

Czy układy CPLD rodziny XC9500XL zawieraja bufory WY o konfigurowanej szybkości narastania zbocza?

TAK

NIE

034.txt

X0010

Z ponizszych wskaz układy programowalne z ulotna pamięcia konfiguracji:

GA

SC

FPGA

PAL

035.txt

X0100

Układ XC9572XL jest przystosowany do pracy z minimalnym napięciem zasilania Vcc równym :

2.5 V

3.3 V

1.4 V

5 V

036.txt

X0010

W języku VHDL ciąg bitowy B"000_1111_0001_11" można zapisać jako:

X"0F" & O"013"

X"0F0" & O"7"

X"0F" & O"07"

X"0F" & O"0" & "11"

037.txt

X10

W języku VHDL lista warunków instrukcji case ... when musi być rozłączna i wyczerpująca :

TAK

NIE

038.txt

X1000

Mając Y1 i Y2 to Y dla H + L jest równy

W

H

L

X

039.txt

X01

W języku VHDL proces z listy wrażliwości sygnałów zostanie wykonany w każdym cyklu symulacji, w którym dowolny sygnał z listy jest aktywny :

TAK

NIE

040.txt

X01

Czy układy CPLD rodziny XC9500XL zawierają jedną globalną matrycę połączeń sygnałów pomiędzy blokami funkcyjnymi?

NIE

TAK

041.txt

X0001

Układy TTL wykorzystują zasilanie :

2.5V

1.4V
3.3V
5V

042.txt
X1000

Układ XC95144XL ma liczbę globalnych sygnałów Set/Reset równą :

1
2
3
4

043.txt
X0010

Układ XC95144XL ma liczbę globalnych sygnałów zegarowych równą:

54
18
3
144

044.txt
X10

Czy układ PALCE22V10 ma jednakową liczbę bramek iloczynu dołączonych do bramek OR w matrycy?

TAK
NIE

045.txt
X10

W języku VHDL instrukcje for ... generate można zagnieżdżać :

TAK
NIE

046.txt
X1

W symbolu układu PAL litera V (np. w PAL22V10) oznacza:
układ wykonany w technologii CMOS

047.txt
X10

Czy w języku VHDL każdy sygnał mający w pewnym cyklu symulacji zdarzenie jest także w tym cyklu aktywny?

TAK
NIE

048.txt

X10

W języku VHDL proces z lista wrażliwości sygnałów zostanie wykonany w każdym cyklu symulacji, w którym dowolny sygnał z listy posiada zdarzenie :

TAK

NIE

049.txt

X00100

Kasowanie promieniem jonizującym dotyczy:

FROM

EEPROM

EPROM

AFROM

SRAM

050.txt

X01

Czy w języku VHDL każda instrukcja instancji komponentu musi mieć etykiety?

NIE

TAK

051.txt

X0001

Mając Y1 i Y2 to Y dla 1 + 0 jest równy

1

0

U

X

052.txt

X01

Czy w języku VHDL typ STD_LOGIC jest typem wbudowanym, który można używać bez dołączania bibliotek zewnętrznych?

TAK

NIE

053.txt

X0001

Układ XC95144XL ma liczbę globalnych sygnałów trzystanowych GTS-OE równą :

1

2

3

4

054.txt

X1000

Mając Y_1 i Y_2 to Y dla $1 + U$ jest równy

U

H

L

X

055.txt

X01000

Nieulotne programowanie wielokrotne układów wlotowanych dotyczy:

FPROM

EEPROM

EPROM

AFROM

SRAM

056.txt

X0001

Układ XC95144XL ma ogólną liczbę przerzutników równą:

54

18

3

144

057.txt

X1000

W której technologii możliwe jest nieulotne i wielokrotne programowanie ukł. wlotowanych (in-system programming)?

EEPROM

AFROM

FPROM

EPROM

058.txt

X00001

Programowanie wielokrotne bez użycia tranzystorów z bramką swobodną dotyczy:

FPROM

EEPROM

EPROM

AFROM

SRAM

059.txt

X00010

Programowanie jednokrotne układów wykonanych w technologii CMOS dotyczy:

FPROM

EEPROM

EPROM

AFROM
SRAM

060.txt

X10

W języku VHDL każda instrukcja instancji komponentu musi mieć etykietę :

TAK

NIE

061.txt

X1000

W której technologii występuje najdłuższy proces kasowania pamięci konfiguracji?

EPROM

EEPROM

AFROM

SRAM

062.txt

X10

Układ PAL16L8 ma programowalną matrycę iloczynów :

TAK

NIE

063.txt

X10

W języku VHDL w cyklu symulacji aktualizacja wartości wszystkich sygnałów odbywa się przed wykonaniem procesów :

TAK

NIE

064.txt

X0010

W której technologii występuje starzenie się (drygt w czasie) rezystancji punktu programowalnego?

EEPROM

AFROM

EPROM

FPRAM

065.txt

X0010

Układ PAL16R8 ma łączną liczbę WE do matrycy programowalnej równą :

8

16

32

4

066.txt

X1

Czy układ PALCE22V10 ma programowalny typ przerzutników D/T?
w klasycznej bramce CMOS

067.txt

X100

Najwyższy koszt przygotowania projektu:

SC

GA

FPGA

068.txt

X1000

W bramkach CMOS jedna para komplementarna tworzą:

tranzystor NEMOS + tranzystor PEMOS

tranzystor NDMOS + tranzystor PDMOS

tranzystor PEMOS + tranzystor PDMOS

tranzystor NEMOS + tranzystor NDMOS

069.txt

X01

W języku VHDL każdy sygnał aktywny w pewnym cyklu symulacji ma także w tym cyklu zdarzenie :

TAK

NIE

070.txt

X0100

Układ XC95144XL ma liczbę makrokomórek w jednym bloku funkcyjnym równą:

54

18

3

144

071.txt

X0001

Układ XC95288XL ma napięcie zasilania VCCINT wynoszące:

2.5V

5.0V

3.0V

3.3V

072.txt

X01

W języku VHDL po wykonywaniu procesu wartości sygnałów w nim przypisywanych nie zmieniają się :

TAK
NIE

073.txt

X0001

Pewien sygnał typu std_logic ma dwa sterowniki S1 oraz S2. Wskaz ciąg obliczeniowy przez jego funkcję rozstrzygającą, jeśli oba sterowniki zmieniają się co 100 ns przez następujące sekwencje wartości:
 S1: 1 W Z H
 S2: U L L L

1 X Z W
U W Z X
1 W L W
U W L W

074.txt

X0010

Ktorej z poniższych funkcji czterech zmiennych NIE MOŻNA zrealizować w jednej bramce CMOS łącząc tranzystory w odpowiednie struktury równoległo-szeregowe?

not(A and B and C and D)
not(A or B or C or D)
not((A or B) and (C or D))
A or B or C or D

075.txt

X0001

W symbolu układu PAL litera L (np. PAL 16L8):

układ o WY kombinacyjnych aktywnych poziomem wysokim
układ o WY rejestrowych
układ z makrokomórkami konfigurowalnymi
układ o WY kombinacyjnych aktywnych poziomem niskim

076.txt

X1000

Układ PAL16R8 ma liczbę WY rejestrowych równą :

8
16
32
64

077.txt

X0010

Układy konfigurowalne po stronie użytkownika:

SC
GA
FPGA
FC

078.txt

X100

Najlepsze wykorzystanie powierzchni układu:

SC

GA

FPGA

079.txt

X0010

Pewien sygnał typu std_logic ma dwa sterowniki S1 oraz S2. Wskaz ciąg obliczeniowy przez jego funkcję rozstrzygającą, jeśli oba sterowniki zmieniają się co 100 ns przez następujące sekwencje wartości:
 S1: 0 0 1 1
 S2: H 0 0 X

H 0 X 1

0 0 U U

0 0 X X

H 0 U X

080.txt

X010

Posiada konfigurowalną matrycę iloczynów i sum :

PAL

PLA

PLE

081.txt

X10

Układ PALCE22V10 ma przerzutniki ze wspólnym sygnałem zegarowym :

TAK

NIE

082.txt

X001

Najkrótszy czas przygotowania projektu :

SC

GA

FPGA

083.txt

X0100

Wskaz najbardziej rozpowszechniony rodzaj prostych układów PLD:

PLA

PAL

PLE

FPGA

084.txt

X00010

Programowanie jednokrotne układow CMOS o dużym stopniu scalenia dotyczy :

FPROM

EEPROM

EPROM

AFROM

SRAM

085.txt

X01

Czy układ PALCE22V10 ma programowalną matrycę iloczynów?

NIE

TAK

086.txt

X0100

Wybierz układy w których jest programowalna matryca sum przy stałej matrycy iloczynów:

PAL

PLE

PLA

CPLD

087.txt

X10000

Jednokrotne programowanie przez rozwieranie połączeń dotyczy :

FPROM

EEPROM

EPROM

AFROM

SRAM

088.txt

X01

W języku VHDL opis na poziomie RTL nie może zawierać instrukcji sekwencyjnych :

TAK

NIE

089.txt

X0100

Wybierz układ PLD funkcjonujący jak pamięć PROM:

PLA

PAL

PLE

CPLD

090.txt

X10

W języku VHDL jest wbudowany operator potęgowania :

TAK

NIE

091.txt

X10

Układ PALCE22V10 ma 22 sygnały dostępne komplementarnie w matrycy programowalnej :

TAK

NIE

092.txt

X0100

Układ XC9572XL ma liczbę termów przypadających na jedno makrokomórkę równą :

8

5

3

54

093.txt

X01000

Kasowanie z wykorzystaniem efektu tunelowego dotyczy :

FROM

EEPROM

EPROM

AFROM

SRAM

094.txt

X0100

W symbolu układu PAL litera R (np. w PAL16R6) oznacza:

układ o WY kombinacyjnych aktywnych poziomem wysokim

układ o WY rejestrowych

układ z makrokomórkami konfigurowalnymi

układ o WY kombinacyjnych aktywnych poziomem niskim

095.txt

X01

Układ XC9536XL ma ulotną pamięć konfiguracji :

TAK

NIE

096.txt

X0010

Układ PAL16L8 ma łączną liczbę wejść do matrycy programowalnej równą :

8

16
32
4

097.txt

X010

Projektowanie przez użytkownika tylko warstw metalizacji układu scalonego dotyczy :

SC

GA

FPGA

098.txt

X01

Czy układy CPLD rodziny XC9500XL zawierają dodatkowe przerzutniki w blokach WE/WY do zatrzymywania sygnałów WE?

TAK

NIE

099.txt

X01

W języku VHDL w cyklu symulacji aktualizacja wartości sygnałów odbywa się po wykonaniu wszystkich procesów :

TAK

NIE

100.txt

X01

Układ PAL16R8 ma programowalną matrycę sum :

TAK

NIE

101.txt

X0001

Wybierz technologię w której użytkownik projektuje największą liczbę masek układu scalonego:

PAL

GA

SC

FPGA

102.txt

X100

Posiada tylko konfigurowalną matrycę iloczynów :

PAL

PLA

PLE

103.txt

X01

Układ PAL16L8 ma 8 przerzutników :

TAK

NIE

104.txt

X01

Układ XC95144XL ma alokatory termów pozwalające na wymianę termów między blokami funkcyjnymi :

TAK

NIE

105.txt

X0001

Układ PAL16R8 ma całkowitą liczbę termów równą :

8

16

32

64

106.txt

X10000

Najwyższa niezawodność połączenia programowania dotyczy:

FEPROM

EEPROM

EPROM

AFEPROM

SRAM

107.txt

X10000

Technologia programowania układów bipolarnych dotyczy :

FEPROM

EEPROM

EPROM

AFEPROM

SRAM

108.txt

X0010

Tranzystor w bramce CMOS, który otwiera się przy podaniu poziomu zera logicznego (napięcia niskiego), to tranzystor:

NDMOS

PDMOS

PEMOS

NEMOS

109.txt

X01

Układ XC9536XL zawiera przerzutniki których sygnał taktujący może być pobrany tylko z wyprowadzenia zewnętrznego :

TAK

NIE

110.txt

X001

Układy programowalne przez użytkownika :

SC

GA

FPGA

111.txt

X01

Układ PALCE22V10 ma programowalną matrycę sum :

TAK

NIE

112.txt

X10

W języku VHDL typ STD_LOGIC można stosować wyłącznie do sygnałów, które mają tylko jeden sterownik :

TAK

NIE

113.txt

X01

W języku VHDL lista warunków instrukcji przypisania sygnału when ... else musi być rozłączna i wyczerpująca :

TAK

NIE

114.txt

X0100

Układ XC9536XL ma całkowitą (we wszystkich blokach funkcyjnych) liczbę termów równą :

36

180

130

5

115.txt

X01

Czy układy CPLD rodziny XC9500XL mają przerzutniki, których sygnał taktujący może być pobrany tylko z wypr. zewnętrznego?

TAK

NIE

116.txt

X10

Układ PAL16R8 ma programowalną matrycę iloczynów :

TAK

NIE

117.txt

X0001

Jaki sygnał wykorzystują układy CPLD z rodziny XC9500XL jako alternatywę dla GTS :

GSR

GCK

PTCK

PTOE

118.txt

X10

Układ PALCE22V10 ma 10 przerzutników :

TAK

NIE

119.txt

X010

Najkrótszy czas produkcji wśród układów z programowalną maską :

SC

GA

FPGA

120.txt

X01

W języku VHDL instrukcja for ... generate może wystąpić wewnątrz procesu :

TAK

NIE

121.txt

X100

Najniższy koszt jednostkowy 1 układu scalonego dotyczy :

SC

GA

FPGA

122.txt

X0010

Układ XC95288XL ma liczbę termów w każdym bloku funkcyjnym równą:

32

54

90

288

123.txt

X1000

W klasycznych bramkach CMOS jedynka logiczna jest osiągana przez zwarcie jej wyjścia:
do dodatniego napięcia zasilającego przez otwarte tranzystory MOS z kanałem typu N
do dodatniego napięcia zasilającego przez otwarte tranzystory MOS z kanałem typu P
do ujemnego napięcia zasilającego przez otwarte tranzystory MOS z kanałem typu N
do ujemnego napięcia zasilającego przez otwarte tranzystory MOS z kanałem typu P

124.txt

X10

W języku VHDL instrukcja iteracyjna for ... loop może wystąpić wyłącznie wewnątrz procesu :

TAK

NIE

125.txt

X1000

Pewien sygnał typu std_logic ma dwa sterowniki S1 oraz S2. Wskaz ciąg obliczeniowy przez jego funkcję rozstrzygającą, jeśli oba sterowniki zmieniają się co 100 ns przez następujące sekwencje wartości:
 S1: L O O X
 S2: 1 1 O O

1 X O X

L U O U

1 U O X

X X O U

126.txt

X00001

Standardowa technologia dla układów CMOS :

FPROM

EEPROM

EPROM

AFROM

SRAM

127.txt

X10

W języku VHDL opisy przerzutników muszą pośrednio lub bezpośrednio odwoływać się do atrybutu
EVENT :

TAK

NIE

128.txt

X01

Układ PALCE22V10 jest wykonany w technologii antifuse :

TAK

NIE

129.txt

X010

Wykorzystanie powierzchni układu niewiele poniżej 80% :

SC

GA

FPGA

130.txt

X01

Układ PAL16R8 ma bufony trojstanowe sterowane globalnym sygnałem CE z pinu zewnętrznego :

TAK

NIE

131.txt

X01

Czy układy CPLD rodziny XC9500XL mają bufony WY, które przy odpowiednim napięciu VCCIO mogą sterować układami CMOS 1.8V?

TAK

NIE

132.txt

X010

Najtansza technologia wśród układów programowalnych maska :

SC

GA

FPGA

133.txt

X01

W języku VHDL instrukcja instancji komponentu może wystąpić wewnątrz procesu :

TAK

NIE

134.txt

X10

Układ XC95144XL można skonfigurować na poziomie każdej makrokomórki w trybie obniżonego poboru mocy :

TAK
NIE

135.txt

X0001

Która technologia konfigurowania używa lawinowe wprowadzanie elektronów o dużej energii kinetycznej?

SRAM

FPROM

AFROM

EPROM

136.txt

X10

W języku VHDL funkcja rozstrzygająca jest konieczna w przypadku sygnałów z wieloma sterownikami :

TAK

NIE

137.txt

X10

W języku VHDL podczas wykonywania procesu wartości sygnałów w nim przypisywanych nie zmieniają się :

TAK

NIE

138.txt

X10

Układ XC9536XL ma alokatory termów służące do wymiany termów między makrokomórkami w bloku funkcyjnym :

TAK

NIE

139.txt

X100

Możliwość wykorzystania gotowych dużych bloków funkcyjnych tzw. mega cores :

SC

GA

FPGA

140.txt

X1000

Układ PAL16L8 ma liczbę WY kombinacyjnych równą :

8

64

32

141.txt

X0001

Wybierz układ, w których występuje wiele identycznych matryc programowalnych w jednej strukturze układu:

PLA

PLE

FPGA

CPLD

142.txt

X10

Czy w języku VHDL z jedną jednostką (entity) może być skojarzonych dowolnie wiele architektur?

TAK

NIE

143.txt

X01

W języku VHDL wielkość liter jest rozróżnialna :

TAK

NIE

144.txt

X0010

W oznaczeniach układów PAL druga z dwóch liczb (np. 8 w symbolu PLA16L8) to:

całkowita liczba wyprowadzeń obudowy

całkowita liczba wejść atricy programowalnej

całkowita liczba WY w ogóle lub WY rejestrowych

całkowita liczba przezeń zwrotnych wracających do matrycy programowalnej

145.txt

X01

Czy w języku VHDL każda architektura jest skojarzona z dokładnie jedną jednostką?

NIE

TAK

146.txt

X01

Układ PAL16L8 ma bufony trójstanowe sterowane globalnym sygnałem CE z pinu zewnętrznego :

TAK

NIE

147.txt

X01

Układ XC95144XL zawiera przerzutniki o blokach WE/WY :

TAK

NIE

148.txt

X01

Układ XC95144XL do programowania wykorzystuje EPROM (sporne z opracowania) :

TAK

NIE

149.txt

X01

W języku VHDL instrukcje procesów można zagnieżdżać :

TAK

NIE

150.txt

X100

Projektowanie większości/wszystkich masek układu scalonego :

SC

GA

FPGA

151.txt

X10

Czy w języku VHDL wyrażenie: (a and b or c) (gdzie a, b oraz c są sygnałami typu std_logic) jest poprawne?

NIE

TAK